

HABILITATION A DIRIGER DES RECHERCHES

présentée devant

l'Institut National des Sciences Appliquées de Lyon
et l'Université Claude Bernard LYON I

Titre

**Technologie pour l'intégration de composants semiconducteurs à large bande
interdite**

SPECIALITE :
Génie Électrique

par
Mihai Lazar

Soutenue le 27 avril 2018 devant la Commission d'examen

(par ordre alphabétique)

Noms Prénom Fonction

ALQUIER Daniel	PU - Lab GREMAN - Univ. de Tours
BRYLINSKI Christian	PU - LMI - Univ. Claude Bernard Lyon 1
CONTRERAS Sylvie	CR CNRS - Lab Charles Coulomb (L2C) - Univ. de Montpellier - HDR
DI CIOCCIO Lea	DR - CEA/LETI Grenoble- HDR
DUSSART Rémi	PU - Lab GREMI - Université d'Orléans
LISSORGUES Gaëlle	PU - Lab ESYCOM - Université Paris Est
MORANCHO Frédéric	PU - LAAS - Univ. Paul Sabatier Toulouse
MOREL Hervé	DR CNRS - Lab AMPERE – INSA Lyon

SOMMAIRE

Liste des abréviations, des sigles et des acronymes.....	4
Introduction.....	6
I. Contexte administratif	7
I.1. Mini - CV.....	8
I.2. Laboratoire AMPERE – unité d'affectation	10
I.3. Les principaux axes de mes recherches scientifiques.....	11
I.3.1. Quelques mots pour se situer par rapport à ma thèse de doctorat	11
I.3.2. Mes axes de recherche	11
I.4. Partenariats et valorisation.....	13
I.4.1. Pôle technologique SiC lyonnais	13
I.4.2 Principaux contrats et thèses encadrées	15
I.4.3. Conclusion	16
II. Bilan de mes activités de recherche	17
II.1 Introduction	18
II.2 Intérêts des semiconducteurs à large bande interdite	19
II.3 Technologie pour les composants de puissance à grand-gap	25
II.3.1. Le dopage type p localisé dans le SiC.....	26
II.3.1.1 Implantation ionique d'Al - la méthode classique	27
II.3.1.1.1 Conclusion sur l'implantation ionique.....	34
II.3.1.2 Croissance VLS - techniques alternatives de dopage aluminium	35
II.3.1.2.1 Conclusion sur le dopage type p par VLS	44
II.3.2. La gravure des matériaux à grand gap.....	45
II.3.2.1 Gravure sèche du SiC	45
II.3.2.2. Périphérie de jonction pour des composants haute tension basée sur la gravure profonde	55
II.3.2.3. Gravure humide du SiC par voie électrochimique	60
II.3.2.4. Gravure plasma d'autres grand-gaps	61
II.3.2.5 Conclusion sur la gravure des matériaux grand-gap	62
II.3.3. Contacts ohmiques sur le SiC type p.....	63
II.3.3.1. Alliage SiC-Al/Ti.....	64
II.3.3.2. Alliage SiC-Ni/Al	65
II.3.3.3. Alliage SiC-Ti/Ni.....	67
II.3.3.4. Alliage SiC-Ni/Ti/Al	68
II.3.3.5. Etude approfondie sur la formation du Ti_3SiC_2	74
II.3.3.6. Ohmicité des contacts sur des couches p^+ créées par VLS	77
II.3.3.7 Conclusion sur les contacts ohmiques sur le SiC type p	80
II.4. Réalisation d'un bras onduleur monolithique en SiC	81
II.4.1 Objectif et applications visés.....	81
II.4.2 Définition de la structure de l'onduleur monolithique.....	83
II.4.3 Analyse des résultats des projets ANR JFET-SB et COTHT	86
II.4.3.1 L'étage de puissance	86
II.4.3.2 L'étage de commande	88
II.4.4. JFET latéraux complémentaires intégrés monolithiquement	90
II.4.5. JFET latéraux avec caissons p^+ réalisés par VLS	91
II.4.6 Conclusion sur l'intégration latérale des JFET complémentaires et sa technologie.....	93

II.5. Capteurs SiC pour environnement sévère	94
II.5.1. Photodétecteurs UV en SiC-4H.....	94
II.5.2. Détecteurs de neutrons en SiC-4H	96
II.5.3. Couches carboniques sur SiC pour la détection électrochimique	100
II.5.4 Conclusion sur les capteurs SiC pour environnement sévère.....	104
III. Perspectives de mes recherches	105
III.1. Introduction sur mes perspectives de recherche. Vers une technologie grand-gap d'intégration avec des nouvelles applications et fonctions	106
III.2. Robustesse et fiabilité de composants grand-gap : SiC et GaN.....	110
III.3. Les diélectriques sur le SiC : SiO ₂ , Al ₂ O ₃	112
III.4. Nouvelles applications pour les détecteurs électrochimiques.....	115
III.5. Nouvelles applications – technologie de traitement de l'information, photonique quantique avec des centres colorés en SiC	117
III.6. Nouveaux matériaux grand-gap - oxydes de gallium Ga ₂ O ₃ . Composants grand-gap à hétérojonctions	120
Liste des publications scientifiques.....	125
Revue internationale (RI) à comité de lecture	125
Actes de colloques internationaux (CI) à comité de lecture	131
Actes de colloques nationaux (CN) à comité de lecture	137
Références.....	139

Liste des abréviations, des sigles et des acronymes

AFM	Atomic Force Microscopy
ALD	Atomic Layer Deposition
ANR	Agence Nationale de la Recherche
at%	Concentration atomique
BJT	Bipolar Junction Transistor
BOE	Buffer Oxide Etching
BQR	Bonus Qualité Recherche
C-cap	Couche d'encapsulation carbonique
CEGELY	Centre de Génie Electrique de Lyon
CMOS	Complementary metal oxide semi-conductor
COTHT	Convertisseurs à Très Haute Température (projet ANR)
CTLM	Circular Transfer Length Method
CVD	Chemical vapor deposition
DEP	Dispositifs électroniques de puissance
DLTS	Deep-level transient spectroscopy
DRX	Diffraction à rayons X
DT ²	Deep Trench Termination
e-beam	à faisceau d'électrons (dépôt par évaporation ou lithographie)
ECL	Ecole Centrale de Lyon
ECR	Electron Cyclotron Resonance
EDI	Eau désionisée
EDX	Energy-dispersive X-ray spectroscopy
ESYCOM	Le laboratoire d'Electronique, SYstèmes de COmmunications et Microsystèmes
FUI	Fonds unique interministériel
GeePs	Group of electrical engineering, Paris
HBT	Heterojunction bipolar transistor (Transistor Bipolaire à Hétérojonction)
HR-TEM	High Resolution Transmission Electron Microscopy
IBE	Ion Beam Etching
ICP	Inductively Coupled Plasma
IM2NP	Institut Matériaux Microélectronique Nanosciences de Provence
IN2P3	Institut national de physique nucléaire et de physique des particules
INL	Institut de Nanotechnologies de Lyon
INSP	Institut des NanoSciences de Paris
IPNL	Institut de Physique Nucléaire de Lyon
JFET	Junction Field Effect Transistor
JFET-SB	JFET Switch-Bridge (projet ANR)
JTE	Junction termination extension
LMI	Laboratoire de Multimatériaux et Interfaces
LPM	Laboratoire de Physique de la Matière
MEB	Microscopie électronique à balayage
MET	Microscopie électronique à transmission
MIS	Méthodes pour l'ingénierie des systèmes
MIS	Métal Isolant Semiconducteur
MOS	Métal Oxyde Semiconducteur
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
PECVD	Plasma-Enhanced Chemical Vapor Deposition
PL	Photoluminescence

PVD	Physical Vapour Deposition
R _a	Rugosité moyenne arithmétique
RBS/C	Rutherford backscattering spectrometry in channeling mode- Spectroscopie de rétrodiffusion de Rutherford en mode canalisation
RCA	Radio Corporation of America – nettoyage chimique
RESURF	reduced surface field
RIE	Reactive ion etching
RMS	Root mean square
R _{sh}	Résistance carrée
RT	Room temperature
RTA	Rapid Thermal Annealing
SATIE	Laboratoire Systèmes et Applications des Technologies de l'Information et de l'Energie
sccm	Standard Cubic Centimeters per Minute - débit volumique, en cm ³ /min, à des conditions standard de température et de pression
SEM	Scanning electron microscope - Microscopie électronique à balayage
SIMS	Secondary ion mass spectrometry - Spectrométrie de masse à ionisation secondaire
slm	Standard Liter per Minute- débit volumique, en l/min, à des conditions standard de température et de pression
SPS	Single Photon Source
TEM	Transmission Electron Microscopy
TLM	Transfer Length Method
UHV	Ultra High Vacuum
VHVD	Very High Voltage Devices (projet ANR)
VLOC	Croissance localisée par VLS d'hétéromatériaux (projet ANR)
VLS	Vapeur-Liquide-Solide
XPS	X-ray photoelectron spectroscopy
XTEM	Cross-Sectional Transmission Electron Microscopy
ZCE	Zone de charge d'espace

Introduction

Ce document est un bilan de mes activités de recherches sur la technologie des composants semiconducteurs à large bande interdite. Cette technologie vise l'intégration de plusieurs fonctionnalités, tout particulièrement pour l'électronique de puissance, haute température et capteurs pour différents environnements sévères.

Ce manuscrit est structuré en trois parties. Tout d'abord je présente le contexte administratif, le cadre dans lequel ces recherches ont été menées: mon unité d'affectation avec ses thèmes de recherches ainsi que d'autres unités et équipes lyonnaises sur lesquelles je me suis appuyé. Ces équipes lyonnaises, y compris mon laboratoire, avaient une expérience reconnue sur les matériaux grand-gap ou disposaient des moyens expérimentaux, surtout technologiques, pour l'aboutissement de mes projets. Ainsi, un pôle technologique SiC lyonnais s'est créé et n'a pas cessé de se développer à travers un certain nombre de projets. Ces différents projets ainsi que les thèses dans lesquelles je me suis impliqué (co-encadrement) sont énumérés à la fin de cette première partie.

La deuxième partie de ce document présente une synthèse de mes principaux résultats de recherches qui se veut un petit socle utile pour des futurs projets basés sur la technologie des matériaux et composants grand-gap. Après une courte introduction sur l'état de l'art et l'intérêt de ces matériaux, des étapes technologiques spécifiques (dopage, gravure, prise de contact...) que nous avons optimisées, sont présentées avec les différentes difficultés et verrous que nous avons dû dépasser. Ensuite sont montrés des exemples de dispositifs réalisés. Un premier paragraphe est consacré à la réalisation d'un bras d'onduleur à base de transistors complémentaires JFET et un deuxième présente différents types de capteurs (électrochimiques, UV, neutrons) qui ont été fabriqués en utilisant cette technologie SiC développée initialement pour les composants de puissance.

Mes perspectives de recherche sont présentées dans la troisième partie. Tout d'abord, ce savoir-faire technologique est d'un réel intérêt pour comprendre le fonctionnement des composants commercialisés actuellement un peu à la hâte. Ces composants souffrent de déviations de comportements qui sont inhabituels pour un électronicien de puissance familiarisé au Si. Des étapes technologiques spécifiques doivent encore être améliorées, comme l'interface diélectrique/SiC pour augmenter la robustesse et la fiabilité de ces composants. Pour cela, il est nécessaire de comprendre en profondeur la physique des défauts dans le "bulk" ou aux différentes interfaces, tributaires à la technologie spécifique employée.

Dans cette partie concernant mes perspectives de recherche, seront également donnés des exemples de nouvelles structures de composants basées sur la technologie que nous avons développée, non seulement pour des composants de puissance, mais également pour des nouvelles applications, comme l'informatique quantique avec des qubits basés sur les "centres colorés" des matériaux grand-gap. Les plus connus sont les centres NV dans le diamant, mais, depuis seulement quelques années, on montre aussi le potentiel énorme des défauts équivalents qu'on peut créer dans le SiC.

L'utilisation de nouveaux matériaux grand-gap pourra également amener un nouveau souffle, en surclassant les performances des composants existants ou permettant d'imaginer des nouvelles structures.

A la fin de ce document se trouve la liste de mes publications. Dans ces articles, le lecteur pourra trouver des détails que je n'ai pas développés dans ce manuscrit.

I. Contexte administratif

I.1. Mini - CV

Mihai Lazar

CHARGE DE RECHERCHE CNRS- CR1

Laboratoire AMPERE - UMR CNRS 5005
INSA de Lyon, Bat. L. de Vinci,
69621 Villeurbanne Cedex, France
mihai.lazar@insa-lyon.fr
tél: 0472437963; fax: 0472438530

Français - 43 ans

Titres et Diplômes

- 2002 : **Thèse de doctorat** de l'Institut National des Sciences Appliquées de Lyon, **spécialité Génie Electrique**, "*Réalisation des composants de puissance en carbure de silicium par implantation ionique et recuit par induction à haute température*"
- 1998 : **DEA-Dispositifs d'Electroniques Intégrées**. Stage au Laboratoire Physique de la Matière: "*Caractérisation électrique des composants et matériaux en carbure de silicium*"
- 1998 : **Ingénieur - Institut National des Sciences Appliquées de Lyon**
Département Génie Physique Matériaux
Spécialité: Matériaux et Dispositifs Semiconducteurs
- 1996 : Licence de Mathématiques à l'Université Claude Bernard, Lyon1

Carrière

2002- à ce jour **Chargé de Recherche au CNRS**, Laboratoire AMPERE (ex. CEGELY), UMR CNRS 5005

Recherche scientifique

Compétences scientifiques - domaines de recherche

- Physique des semiconducteurs et des composants semiconducteurs
- Technologie de fabrication de semiconducteurs
- Conception et caractérisation électrique de composants semiconducteurs
- Caractérisation physique et structurale des matériaux: SIMS, RBS, XPS, SEM...
- Composants pour l'électronique de puissance

Encadrements

- 10 postdocs et 2 ingénieurs
- 6 doctorants et 10 masters de recherche et professionnels

Publications scientifiques

- Fin 2016 auteur ou co-auteur de 83 papiers dans des revues internationales, 2 articles dans des revues nationales, 91 communications dans des conférences internationales avec comité de lecture et actes et 14 communications dans des conférences nationales avec comité de lecture et actes.

Contrats - valorisation et partenariat

- Coordinateur et participants dans des projets nationaux avec des financements publics, ANR, FUI, "Investissements d'avenir": JFET-SB (coordinateur), COTHT, VHVD, VLOC, Tours 2015...
- Coordinateur de projets de coopération CNRS
- Contrats industriels avec Thales, ST Tours et la DGA
- Participant et coordinateur du partenaire lyonnais pour le projet européen ISMART (2012-2015).du programme KIC InnoEnergy.

Activités éditoriales

- Relecteur pour évaluation (peer review) des articles des revues IEEE (Trans. On Electron Devices, Trans. On Device and Materials Reliability), Elsevier (Superlattices and Microstructures, Microelectronic Engineering, Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms), TTP (Materials Science Forum, Advanced Materials Research), IOP (Journal of Physics D: Applied Physics, Journal of Physics: Condensed Matter)...

Enseignement

- 3^{ème} cycle M2R (Univ. Lyon1, INSA, ECL) "Physique et technologie des composants" – cours magistraux et travaux pratiques 2012-2014 (25h eqTD/an)
- 1^{er} cycle INSA Lyon: "Physique" – travaux dirigés, 2000-2007 (70h eqTD/an)

Sélection de publications (5 articles)

- 1) S. Sejil, M. Lazar et al., "Further optimization of VLS localized epitaxy for deeper 4H-SiC p-n junctions" *Physica Status Solidi (a)*, Volume 214, Issue 4, April 2017, 1600454 (7p) DOI: 10.1002/pssa.201600454
- 2) J. Pezard, M. Lazar et al., "Realization of a graphene gate field effect transistor for electrochemical detection and

- biosensors”, *Thin Solid Films* (2016), Vol. 617, Part B, Pages 150–155, <http://dx.doi.org/10.1016/j.tsf.2016.04.031>
- 3) D. Szalkai; R. Ferone; F. Issa; A. Klix; M. Lazar et al., "Fast Neutron Detection With 4H-SiC Based Diode Detector up to 500 °C Ambient Temperature" *IEEE Transactions on Nuclear Science*, Year: 2016, Volume: 63, Issue: 3 Pages: 1491 - 1498, DOI: 10.1109/TNS.2016.2522921
- 4) M. Lazar, F. Laariedh et al., "The channeling effect of Al and N ion implantation in 4H-SiC during JFET integrated device processing", *Nucl. Instr. Meth. Phys. Res.*, Vol. 365/15 pp 256–259 (2015)
- 5) F. Laariedh, M. Lazar et al., "The role of nickel and titanium in the formation of ohmic contacts on p-type 4H-SiC", *Semiconductor Science and Technology* Volume: 28 Issue:: 045007 DOI: 10.1088/0268-1242/28/4/045007 (2013)

I.2. Laboratoire AMPERE – unité d'affectation

Le laboratoire AMPERE a comme objectif scientifique de gérer et utiliser de façon rationnelle l'énergie dans les systèmes en relation avec leur environnement. Avec un socle autour de trois disciplines, le Génie Électrique, l'Automatique et la Microbiologie environnementale, les recherches au laboratoire AMPERE s'articulent autour d'un spectre relativement large de domaines de compétences:

- de l'approche système, à l'automatique, au génie électrique, en passant par l'électromagnétisme et la bio-ingénierie;
- du matériau, au composant et au système;
- du statique aux hautes fréquences (GHz);
- des recherches fondamentales à la recherche industrielle.

Avec quatre tutelles (CNRS, ECL, INSA Lyon et Université Lyon 1), réparti géographiquement entre les trois sites universitaires lyonnais, le laboratoire AMPERE est structuré en trois départements (MIS, Energie Electrique, Bio-ingénierie) et 7 priorités scientifiques (fig. I.2.1).

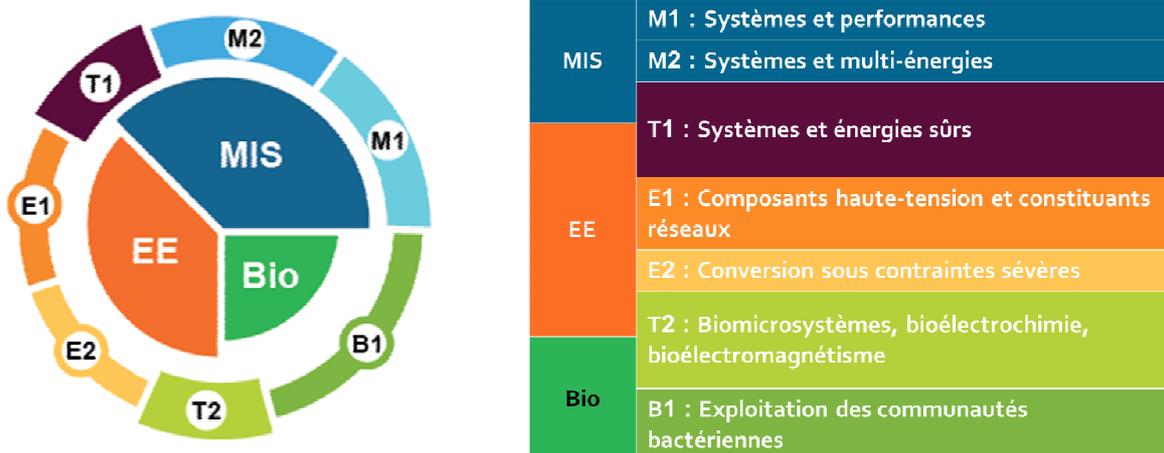


Fig. I.2.1 : Organisation scientifique du laboratoire AMPERE

Département Energie Electrique

Son objectif scientifique général est de créer et optimiser les dispositifs de transport, de distribution et de conversion de l'énergie électrique en prenant en compte leur environnement.

Les recherches de ce département sont orientées vers le développement de nouveaux convertisseurs, l'augmentation de l'efficacité énergétique, la compacité, la haute tension, la haute température et la réduction des perturbations électromagnétiques.

Les mots-clés sont:

- conception et caractérisation de composants de puissance,
- matériau semi-conducteur à grand gap (SiC, GaN, diamant),
- intégration de puissance,
- gestion d'énergie et réduction de la consommation.

I.3. Les principaux axes de mes recherches scientifiques

I.3.1. Quelques mots pour se situer par rapport à ma thèse de doctorat

En 2002 j'ai soutenu ma thèse de doctorat sur le dopage par implantation ionique du SiC pour des dispositifs de puissance [Laza'02]. Durant cette thèse je me suis focalisé uniquement sur cette étape de dopage du SiC par implantation ionique d'aluminium pour la création de couches de type p et l'étude des recuits à haute température pour la guérison des défauts créés par implantation et l'activation des dopants (leur mise en sites substitutionnelles). Les résultats les plus importants sont synthétisés et complétés dans le §II.3.1.1.

Depuis, le spectre de mes recherches s'est élargi vers une technologie complète en SiC (et d'autres matériaux grand-gap), pour laquelle le dopage ne représente qu'une étape élémentaire dans la réalisation d'un composant électronique. Les problématiques que posent encore ce dopage par implantation ionique dans le SiC (ainsi que dans la plupart des matériaux grand-gap) nous a même amené à chercher des méthodes alternatives au dopage par implantation ionique, pour éviter son utilisation. Des multiples structures de composants ont été réalisées avec l'objectif d'intégrer dans le semiconducteur des fonctionnalités pour l'électronique de puissance ou pour des applications sous d'autres contraintes sévères (haute température, milieu corrosif, rayonnant/ionisant...).

I.3.2. Mes axes de recherche

Jusqu'à maintenant mes **principaux axes de recherche (~60%)** ont visé :

- l'intégration de composants de puissance en allant vers l'**intégration monolithique**,
- des structures basées sur des **semiconducteurs à large bande d'énergie interdite**,
- des **applications de forte puissance et haute température**.

Pour aboutir à ces objectifs mes recherches se sont focalisées sur la réalisation de ces composants en passant par des procédés technologiques innovants et des nouvelles architectures intégrées et adaptées aux spécificités de ces matériaux semiconducteurs.

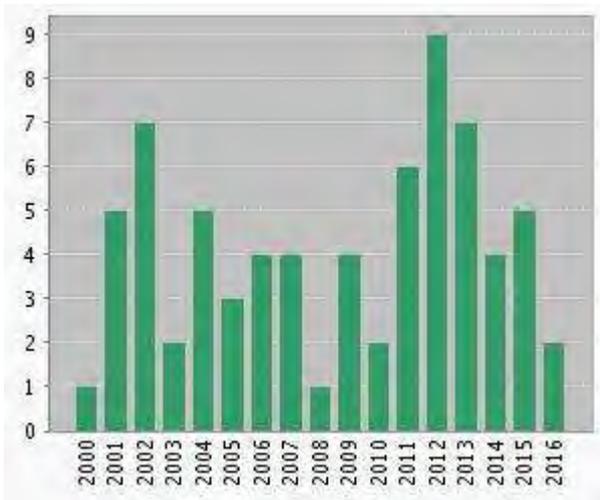
En complément de ces travaux, d'autres **activités connexes** peuvent être mentionnées et qui profitent de la technologie grand-gap développée. Ces activités ont pris une part considérable de mon temps ces dernières années (**~40%**). L'intégration monolithique de nouvelles fonctions basées sur la technologie grand-gap développée pour les dispositifs électroniques de puissance (DEP) ont permis l'étude et la réalisation d'un certain nombre de capteurs dédiés à un fonctionnement sous contraintes sévères :

- **capteurs de neutrons** avec la partie de **commande haute température** intégrée
- **biocapteurs** et **capteurs électrochimiques** sur support SiC
- **photodétecteurs UV** basés sur des jonctions p^+n en SiC.

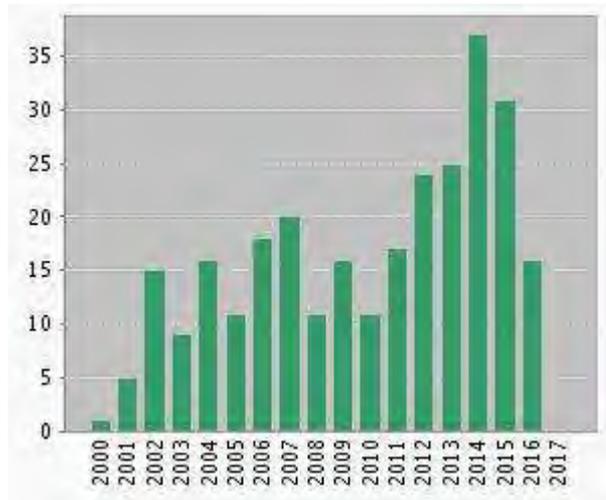
Des éléments significatifs des deux catégories seront présentés dans la deuxième partie de ce manuscrit.

L'ensemble de ces recherches a donné lieu à un certain nombre de publications et communications qui fin 2017 ont été recensées à 88 revues internationales à comités de lecture et 93 communications dans des congrès internationaux à comités de lecture. Parmi ceux-ci au moins 71 sont répertoriées dans la base Thomson WeB of ScienceTM. La figure suivante les classe par année

en nombre et en nombre de citations. La liste complète de mes publications se trouve à la fin de ce manuscrit.



(a)



(b)

Fig. I.3.1 : Nombre d'articles (a) et nombre de citations (b) extraits de la base bibliographique Thomson WeB of Science™ pour mes publications

I.4. Partenariats et valorisation

I.4.1. Pôle technologique SiC lyonnais

En 2002, lors de mes prises de fonction au CNRS j'ai visité plusieurs centrales technologiques dans toute la France et j'ai trouvé que finalement l'une des plus adaptées à la technologie SiC à l'époque était la plateforme Nanolyon. Elle était parfaitement adaptée à la petite taille des plaquettes, le coût exorbitant des substrats nous obligeant même à morceler davantage ces échantillons pour augmenter le nombre des essais.

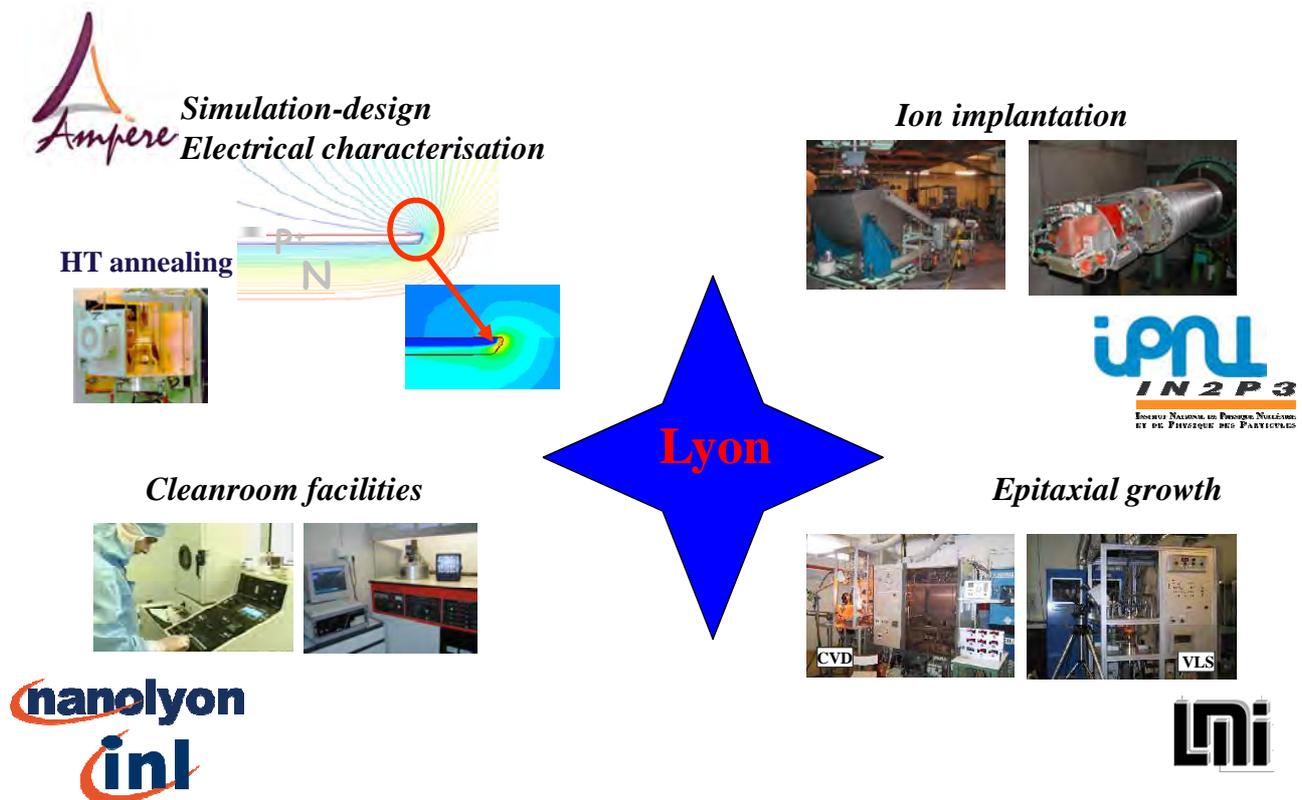


Fig. I.4.1 : Présentation schématique du pôle technologique lyonnais avec les unités de recherche et les moyens impliqués

De plus, dans la région lyonnaise, il existait déjà plusieurs équipes de recherches focalisées sur le matériau et les composants en SiC, chacune avec sa spécificité complémentaire. Le laboratoire AMPERE (ex-CEGELY) était spécialiste dans le design et la caractérisation de composants de puissance en SiC, le laboratoire LMI sur l'élaboration des couches épitaxiales en SiC et le laboratoire INL (ex-LPM) sur la caractérisation physico-chimique du matériau SiC et l'analyse de ses défauts par des techniques comme: SIMS, PL, DLTS...

Une des étapes clés dans la fabrication technologique des composants SiC est le dopage par implantation ionique. Hélas, les dopants utilisés dans le cas du SiC, l'aluminium pour le type p et l'azote pour le type n, ne sont pas présents dans les sources habituelles utilisées par les implanteurs classiques Eaton qu'on trouve dans les grandes centrales technologiques en France (Nanolyon ne dispose pas d'implanteur ionique). Mais à l'Institut de Physique Nucléaire de Lyon j'ai trouvé un implanteur "home-made", tout particulièrement adapté au SiC. Il avait une gamme large d'énergie, tension d'accélération jusqu'à 400 kV, deux fois supérieure à un implanteur Eaton classique, et disposant des sources pour planter des ions azote et aluminium.

Ainsi, basé sur ces compétences et moyens, un pôle technologique SiC lyonnais a pu se créer depuis 2003 qui s'est développé à travers plusieurs projets. Nous avons commencé avec des petits projets de type BQR (Bonus-Qualité-Recherche) pour enchaîner ensuite avec des projets ANR (dont je cite COTHT, JFET-SB, VHVD, VLOC), FUI, européens et industriels. Le laboratoire AMPERE, à travers ces projets, tout en améliorant ses propres plateformes de caractérisation électrique et design de composants, a également beaucoup soutenu le développement des moyens technologiques lyonnais. L'implanteur d'IPNL s'est amélioré en offrant maintenant la possibilité de réaliser des implantations ioniques à chaud et la salle blanche Nanolyon de l'INL n'a pas cessé de s'agrandir et renouveler son parc d'équipements. Nous avons participé directement à l'achat de nouveaux équipements comme des bâtis de lithographie (UV classique et laser), PVD, gravure plasma... En 2014, le laboratoire AMPERE a transféré son four de recuit haute température (un de ses équipement SiC phare et historique) sur la plateforme Nanolyon de l'ECL.

Ci-après sont inventoriés les principaux contrats et thèses que j'ai encadrés ces dernières années, profitant de la synergie de ce pôle technologique lyonnais.

Néanmoins, il faut signaler qu'après plus de dix ans de bons et loyaux services, la plateforme Nanolyon commence à montrer ses limites. Ceci est dû notamment à la taille des échantillons actuels qui devient incompatible avec les équipements de la plateforme Nanolyon, ainsi que la nécessité de se focaliser sur des nouveaux équipements technologiques, absents de cette plateforme, pour améliorer les procédés de fabrication et les performances des composants actuels.

Concernant la taille des échantillons actuels, la figure I.4.2 présente l'évolution du diamètre des plaquettes SiC, commercialisées aujourd'hui en 100 et 150 mm. Notons que l'augmentation du diamètre des plaquettes a été accompagnée en même temps d'une forte amélioration de la qualité cristalline. L'intérêt des couches GaN réalisées par épitaxie sur des substrats silicium demande également la manipulation en salle blanche de substrats de grande taille (100 et 150 mm, voire davantage).

Les dérives en fonctionnement des composants SiC, notamment MOSFET, demandent de se focaliser sur des techniques de croissance et de dépôt de diélectriques ainsi que sur des recuits spécifiques aux matériaux grand-gap pour améliorer l'interface MOS ou MIS (métal-oxyde ou isolant- semiconducteur). Ces études nécessitent des équipements dont la plateforme Nanolyon est en manque actuellement.

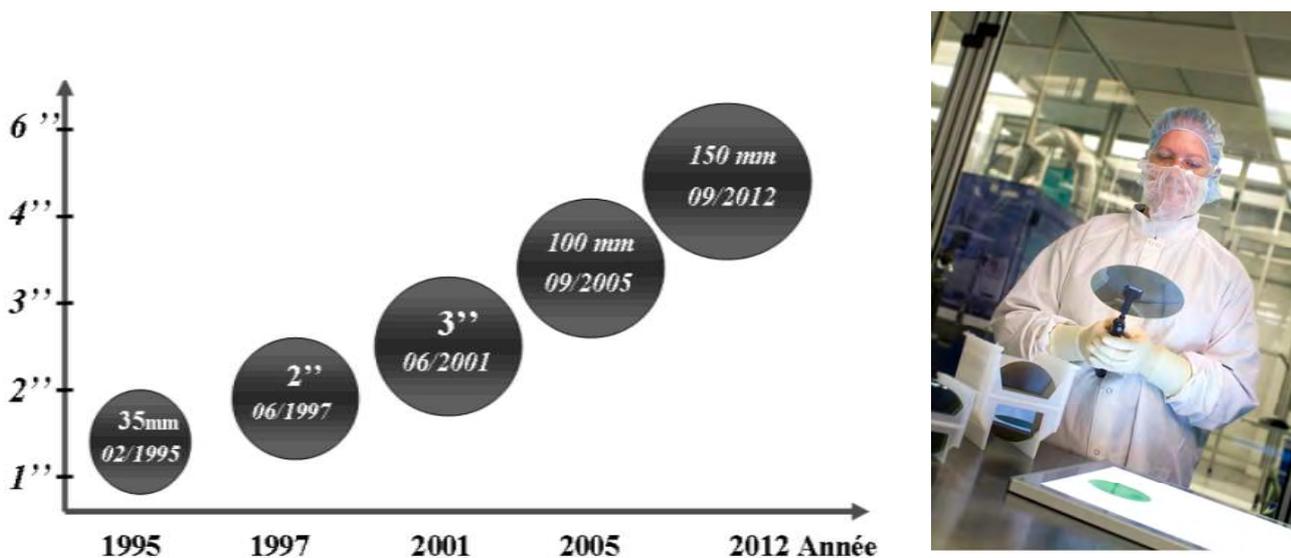


Fig. I.4.2 : Evolution de la taille des wafers SiC commercialisés par la société américaine CREE™ à gauche et un wafer SiC fabriqué et inspecté par Dow Corning à droite

I.4.2 Principaux contrats et thèses encadrées

Les tableaux ci-dessous présentent les contrats et les thèses encadrés en cours ou récemment terminés.

Contrats industriels

Acronyme	durée	Nom complet	Partenaire	Rôle
VELSIC	2013-2017	Réalisation de Dopages Localisés dans 4H-SiC par Epitaxie VLS et Applications aux Composants de Puissance SiC	STM Tours, LMI	Participant, co-encadrant
Capa HDHT	2015-2018	Réalisation de capacités haute densité pour des applications haute température	IPDIA	Participant, co-encadrant
MOSPATEM	2016-2019	Structuration de surface de cathodes thermo-ioniques	LMI, THALES TED	Participant, co-encadrant
TOPAZE	2012-2016	Mise en place de procédés technologiques pour des composants thermoïoniques et transfert technologique	LMI, THALES TED	Participant

Contrats ANR, Investissements d'Avenir

Tours'2015	2012-2017	Composants innovants pour la conversion de l'énergie utilisant de nouveaux matériaux semiconducteurs tels que le GaN	LETI, GREMAN, LMI, GREMI, STM Tours	Participant
VLOC	2011-2014	Croissance localisée par transport VLS d'hétéromatériaux pour des applications en électronique de puissance	LMI, LSPM, L'institut Néel	Participant, co-encadrant
VHVD	2009-2012	Very High Voltage Devices in Silicon Carbide: target 15kV	GES, ISL, LMI	Participant
JFET-SB	2006-2009	JFET Switch-Bridge "Réalisation d'un onduleur SiC"	LMI, IPNL	Responsable
COTHT	2006-2009	Convertisseurs à Très Haute Température	CIRIMAT, INL, LAPLACE	Participant

Contrats européens

ISMART	2012-2015	Innovative Sensor for Material Aeging and Radiation Testing	CEA, IM2NP, KTH, KIT, Schlumberger...	Responsable partenaire INSA Lyon
--------	-----------	---	---------------------------------------	----------------------------------

Thèses de doctorat- en cours ou terminés récemment

Nom	Durée	Etabl.	Financement	Titre
Selsabil Sejlil	2013 – 2017	UCB	CIFFRE	Optimisation de l'épitaxie VLS du semiconducteur 4H-SiC. Réalisation de dopages localisés dans 4H-SiC par épitaxie VLS et application aux composants de puissance SiC
Thi Thanh Huyen Nguyen	2013 – 2017	INSA	Coopération	Terminaisons verticales de jonction en SiC remplies avec des couches diélectriques isolantes
Maxime Lemenager	2015-2018	INSA	CIFFRE	Dépôt de films minces diélectriques par couches atomiques (ALD) pour capacités de forte densité à haute fiabilité
Benjamin Renouf	2016-2019	UCB	CIFFRE	Etude de l'intégration de la grille masque sur la surface d'une cathode thermoïonique
Julien Pezard	2012 – 2015	ECL	Contrat doctoral	Synthèse d'électrodes carbonées sur SiC pour la détection électrochimique et intégration dans un système microfluidique
Arthur Vo-Ha	2011 – 2014	UCB	ANR – VLOC	Croissance localisée par transport VLS de carbure de silicium sur substrats SiC et diamant pour des applications en électronique de puissance
Farah Laariedh	2009 – 2013	INSA	Contrat doctoral	Technologie d'intégration monolithique des JFET latéraux

I.4.3. Conclusion

Ces 15 dernières années, avec un nombre conséquent de projets, j'ai pu développer mes recherches au sein d'un pôle technologique lyonnais auquel j'ai donné une empreinte SiC (en l'élargissant récemment aux autres matériaux grand-gap). En commençant avec des petits projets, nous avons passé ensuite à des projets multipartenaires type ANR et européens ou soutenus par des industriels. La qualité des résultats se reflète dans la dynamique des publications. Un certain nombre de doctorants, ingénieurs, postdoc ou masters ont pu également être accueillis, formés et encadrés durant ces projets.

Cependant nous sommes arrivés aujourd'hui dans une impasse, une sorte de crise de croissance. Si au début de ma carrière la plateforme Nanolyon était parfaitement adaptée à la taille des échantillons que nous utilisons pour la fabrication de nos composants, aujourd'hui pour profiter pleinement des avancées sur les matériaux SiC et GaN nous devons transférer nos acquis vers une plateforme adaptée à la taille actuelle des substrats (100 à 150 mm voire 200 mm pour le GaN/Si). Une plateforme rodée au silicium tout en acceptant l'introduction et le développement de matériaux carbonés serait idéale.

De plus, nous devons nous focaliser sur des étapes technologiques complémentaires, comme celles concernant l'interface diélectrique/SiC afin d'améliorer la fiabilité et la robustesse de ces composants. Les équipements nécessaires pour ces études (bâti d'oxydation ou fours thermiques sous atmosphères bien particulières) nous ont manqué sur la plateforme actuelle.

II. Bilan de mes activités de recherche

II.1 Introduction

Dans ce chapitre, je présente des éléments de mes recherches sous forme de bilan. Tout d'abord, je vais présenter l'intérêt des semiconducteurs à large bande interdite en soulignant leurs remarquables propriétés physiques et applications potentielles en faisant également un court état d'art. L'état de l'art sera approfondi au début des paragraphes suivants avec des éléments spécifiques.

Par la suite, j'expose mes travaux de recherche d'une part sur l'optimisation des étapes technologiques (dopage, gravure et prise de contact) pour la fabrication de composants essentiellement SiC. Dans une deuxième partie, des exemples de dispositifs réalisés seront donnés.

Ces travaux de recherche sont présentés d'une manière très synthétique pour avoir une vision globale sur les spécificités et les contraintes de la technologie SiC et plus généralement des matériaux grand-gap. Si le lecteur cherche davantage des détails sur un point ou une étape bien précise, il les trouvera dans les manuscrits de thèses ou les articles référencés.

De même, par rapport aux composants fabriqués, notamment à ceux de puissance, je me limite aux JFET latéraux et à nos efforts d'intégration sur la même puce (intégration monolithique).

II.2 Intérêts des semiconducteurs à large bande interdite

Remplacer le silicium, qui est aujourd'hui le semiconducteur le plus utilisé en électronique de puissance, par des semiconducteurs à plus large bande interdite, permet d'améliorer l'efficacité énergétique des composants de puissance. Et même à terme, d'une part la réduction drastique de la taille des composants et d'autre part l'augmentation de la taille des substrats, pourront envisager également une diminution du coût global de fabrication.

Le tableau II.2.1 présente et compare avec le silicium et le GaAs les propriétés physiques du carbure de silicium (SiC), du nitrure de gallium (GaN) et du diamant, qui sont les principaux semiconducteurs à large bande interdite qui attirent aujourd'hui l'attention des communautés scientifiques académiques et industriels.

Tableau II.2.1 : Propriétés physiques des principaux matériaux semiconducteurs grands gaps comparés aux semiconducteurs classiques Si et GaAs

Matériau	E_g (eV)	n_i (cm^{-3})	ϵ_r	μ_n ($\text{cm}^2/\text{V/s}$)	μ_p ($\text{cm}^2/\text{V/s}$)	E_c (MV/cm)	v_{sat} (10^7cm/s)	λ (W/cm/K)
Si	1,1	$9,6 \times 10^9$	11,8	1450	500	0,2-0,8	1	1,5
2H-GaN	3,39	$1,9 \times 10^{-10}$	9	900	350	3,3	2,5	1,3
GaAs	1,42	$1,8 \times 10^6$	12,9	8000	400	0,4-0,9	0,7	0,46
3C-SiC	2,2	$1,5 \times 10^{-1}$	9,6	900	45	1,2	2	4,5
6H-SiC	3	$1,6 \times 10^{-6}$	9,7	370	90	2,4	2	4,5
4H-SiC	3,26	5×10^{-9}	10	600	115	2	2	4,5
Diamant	5,45	$1,6 \times 10^{-27}$	5,5	1900	3800	5,6	2,7	20

En se comparant au silicium, les champs électriques élevés qui peuvent se développer dans ces matériaux permettent de réaliser des composants avec une plus grande tenue en tension et de réduire leur taille d'un facteur d'au moins 100. Les résistances électriques à l'état passant des couches sont ainsi fortement réduites malgré une valeur plutôt faible de la mobilité des porteurs (sauf dans le cas du diamant ou dans des gaz 2D formés où la mobilité est exceptionnelle). Ainsi dans les circuits de convertisseurs de puissance on peut réduire le nombre de composants ou de convertisseurs en série, diminuer l'encombrement et réduire fortement les pertes en commutation. La vitesse de saturation élevée permet également des commutations rapides entre les états bloqués et passants.

Les larges bandes interdites de ces semiconducteurs impliquent une gamme plus étendue de température de fonctionnement avant que l'emballement thermique dû au régime intrinsèque intervienne. En effet, ces larges bandes interdites impliquent une faible concentration intrinsèque des porteurs (n_i) et qui a une autre conséquence sur les composants qui est le niveau extrêmement faible des courants de fuites obtenus en polarisation inverse. Remarquons que l'ionisation incomplète des dopants augmente avec la température en diminuant les résistances des couches.

Le SiC et le diamant présentent également de très fortes conductivités thermiques. Ainsi, avec des systèmes de refroidissement adaptés, une évacuation plus aisée des calories peut être envisagée dans les composants basés sur ces matériaux et des plus fortes densités de courant que dans le cas du silicium.

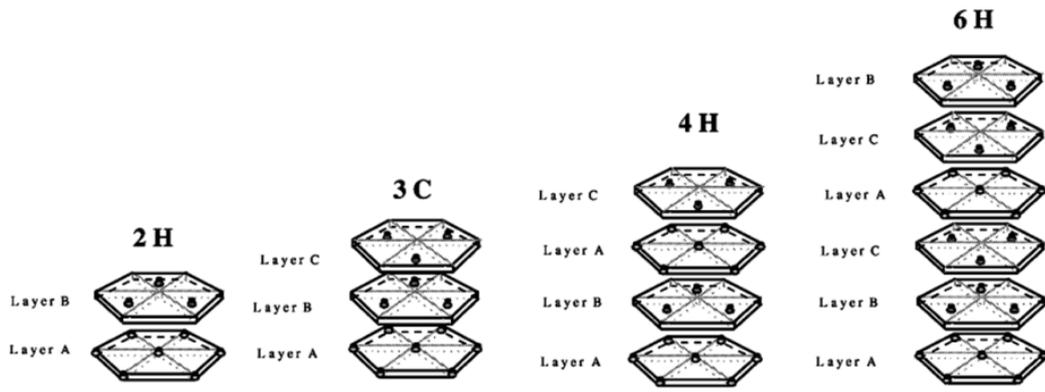


Fig. II.2.2: Présentation des structures cristallographiques compactes de quatre polytypes de SiC en notation de Ramsdell

Leurs structures cristallographiques compactes (figure II.2.2) et leurs fortes énergies de liaison interatomique, notamment pour le SiC et le diamant, rendent ces matériaux inertes chimiquement à la plupart des milieux acides, résistants aux radiations (plus longtemps que des semiconducteurs classiques) et d'une manière générale souhaitables pour une électronique ou la fabrication de capteurs capables de fonctionner dans un environnement sévère. Le SiC et le diamant sont bien connus pour leur dureté et leur utilisation dans la fabrication des outils abrasifs, ces matériaux se plaçant dans la partie la plus extrême, en haut à droite sur l'échèle de Mohs reprise dans la figure ci-dessous.

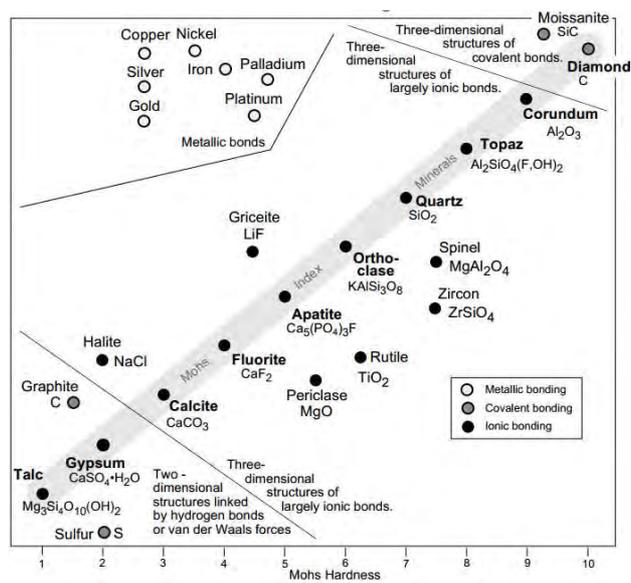


Fig. II.2.3: La dureté de différents matériaux dont SiC et diamant, sur l'échelle de Mohs.

Ces qualités remarquables font que ces matériaux soient regardés de près pour des applications dans les domaines de l'électronique de puissance comme le ferroviaire, la distribution et la gestion d'énergie ainsi que pour des applications visant la haute température ou d'autres environnements sévères parmi lesquelles on peut énumérer l'aéronautique, le forage pétrolier ou le spatial.

Toutefois, le caractère inerte et réfractaire de ces matériaux demande la mise en place d'une technologie plus délicate que celle classique utilisée pour la fabrication de composants en silicium. Ainsi, rien que la fabrication du "bulk", dans le cas du SiC, en absence d'une phase liquide à pression atmosphérique, la croissance des "lingots" se réalise par désublimation à des températures

supérieures à 2000 °C. La Figure II.2.4 présente le schéma d'un bâti de croissance et l'image d'une boule de SiC massif obtenue.



Fig. II.2.4 : Schéma d'un bâti de croissance du SiC par la méthode de Lely modifiée (à gauche). Image d'une boule de SiC obtenue (à droite).

Par rapport aux tirages classiques des lingots de silicium dans des bains liquides, les boules en SiC sont limitées en taille par la technique et la configuration des bâtis de croissance. Et par conséquent, un nombre réduit de plaquettes est obtenu après sciage. Ce nombre réduit de plaquettes et les conditions de croissance de ces matériaux très spécifiques par désublimation à très haute température impliquent un coût élevé final des substrats. La Fig. II.2.5 compare schématiquement la taille des "lingots" de silicium, SiC, Al₂O₃ et GaN en estimant le coût des wafers. Notons cependant que le coût des plaquettes SiC est en chute, concrètement si en 2001 le prix d'un wafer SiC 50 mm commercialisé par CREE était de 5000\$, en 2009 le prix d'un wafer SiC 100 mm descend sous les 1500\$ et en 2012 en dessous de 750\$ [Muth'16].

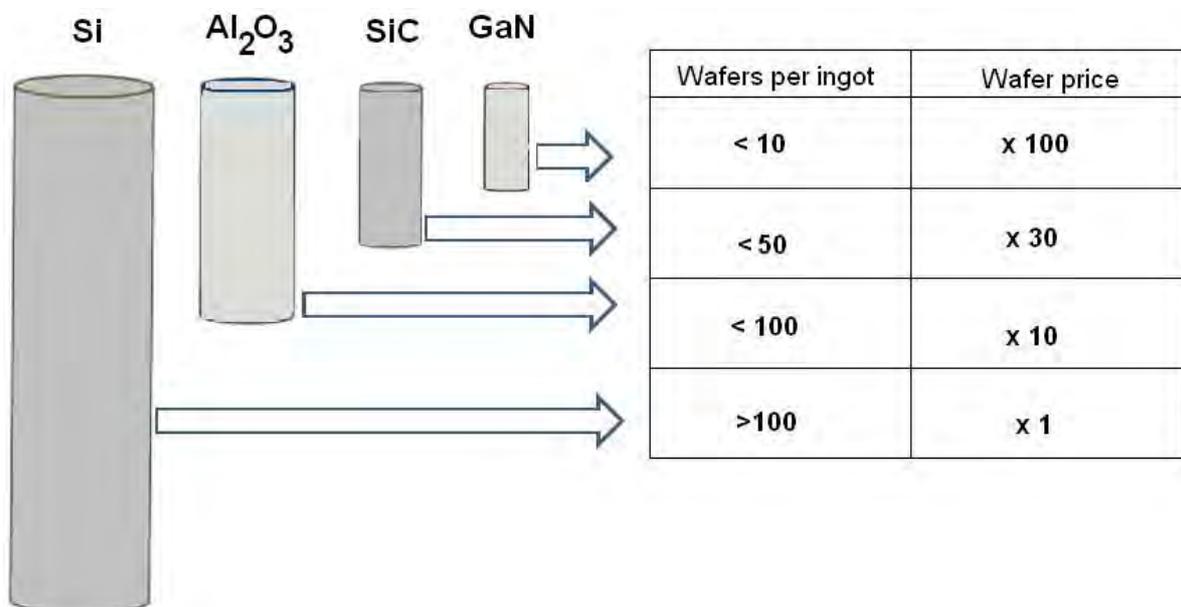


Fig. II.2.5 : Présentation schématique des hauteurs des "lingots" de croissance en Si, Al₂O₃, SiC et GaN avec le nombre de wafers obtenus après sciage et leurs coûts [Amor'15].

Le caractère inerte et réfractaire de ces matériaux grand-gap demande également le développement d'une technologie spécifique pour la fabrication des composants. Les faibles coefficients de diffusion des dopants et la forte liaison interatomique rendent les techniques de dopage par diffusion ou la gravure humide inopérantes dans le cas de ces matériaux. De même, pour la prise des contacts, à cause de la large bande interdite il est difficile de trouver des métaux

avec des travaux de sorties compatibles pour la réalisation de contacts ohmiques fiables et avec des faibles résistances, notamment dans le cas des SiC et GaN de type p. Ces différents aspects technologiques spécifiques aux matériaux grand-gap seront détaillés dans les paragraphes suivants.

Ces dernières années des progrès importants ont été réalisés sur ces matériaux grand-gaps, des verrous technologiques ont été levés, permettant, notamment dans le cas du SiC la mise sur le marché de composants discrets comme des diodes Schottky, JFET, MOSFET et BJT par CREE (devenue Wolfspeed pour sa filiale composants), Infineon, Rohm... La figure II.2.6 présente à titre d'exemple, un tableau avec les spécificités des composants MOSFET et modules commercialisés par Wolfspeed fin 2017 [Wolf'17] et quelques images de composants SiC mis en boîtier.

Wofspeed MOSFET

	Part Number	Blocking Voltage (V)	$R_{ds(on)}$ (mΩ)	Current Rating at 25°C (A)	Package
Discrete	C3M0065090J	900	65	35	TO-263-7
	C3M0065090D	900	65	36	TO-247-3
	C3M0120090J	900	120	22	TO-263-7
	C3M0120090D	900	120	23	TO-247-3
	E3M0280090J	900	280	11	TO-263-7
	E3M0280090D	900	280	11.5	TO-247-3
	E3M065100K	1000	65	35	TO-247-4
	C3M0065100J	1000	65	35	TO-263-7
	C3M0120100K	1000	120	22	TO-247-4
	C3M0120100J	1000	120	22	TO-247-4
	E2M0025120D	1200	25	90	TO-263-7
	E2M0040120D	1200	40	60	TO-247-3
	E3M0075120K	1200	75	30	TO-247-4
	E2M0080120D	1200	80	36	TO-247-3
	C2M0160120D	1200	160	19	TO-247-3
	E2M0280120D	1200	280	10	TO-247-3
	C2M0045170D	1700	45	72	TO-247-3
	C2M1000170D	1700	1000	5	TO-247-3
	C2M1000170J	1700	1000	5.3	TO-263-7
	Bare Die	CPM3-0900-0010A	900	10	196
CPM3-0900-0065B		900	65	36	Bare Die
CPM3-1000-0065B		1000	65	36	Bare Die
CPM2-1200-0025B		1200	25	98	Bare Die
CPM2-1200-0040B		1200	40	63	Bare Die
CPM2-1200-0080B		1200	80	36	Bare Die
EPM2-1200-0160B		1200	160	19	Bare Die
EPM2-1700-0045B		1700	45	72	Bare Die
CPM2-1700-0080B		1700	80	40	Bare Die



Wofspeed MODULES

Part Number	Blocking Voltage (V)	$R_{ds(on)}$ (mΩ)	Current Rating (A)	Package
CAS325M12HM2	1200	3.7	325	High-Performance 62mm
CAS300M12BM2	1200	5	300	Industry-Standard 62mm
WAS300M12BM2	1200	5	300	Industry-Standard 62mm
CAS120M12BM2	1200	13	120	Industry-Standard 62mm
CCS050M12CM2	1200	25	50	Industry-Standard 45mm
CCS020M12CM2	1200	80	20	Industry-Standard 45mm
CAS300M17BM2	1700	8	225	Industry-Standard 62mm



Fig. II.2.6 : Caractéristiques des composants MOSFET et modules commercialisés par Wolfspeed fin 2017 [Wolf'17] (à gauche) et quelques images de composants qu'on peut trouver dans les catalogues comme Farnell (à droite).

Les figures suivantes présentent sous forme de chronogrammes les principaux pas franchis ces dernières années dans le développement de composants SiC et GaN [Liao'16].

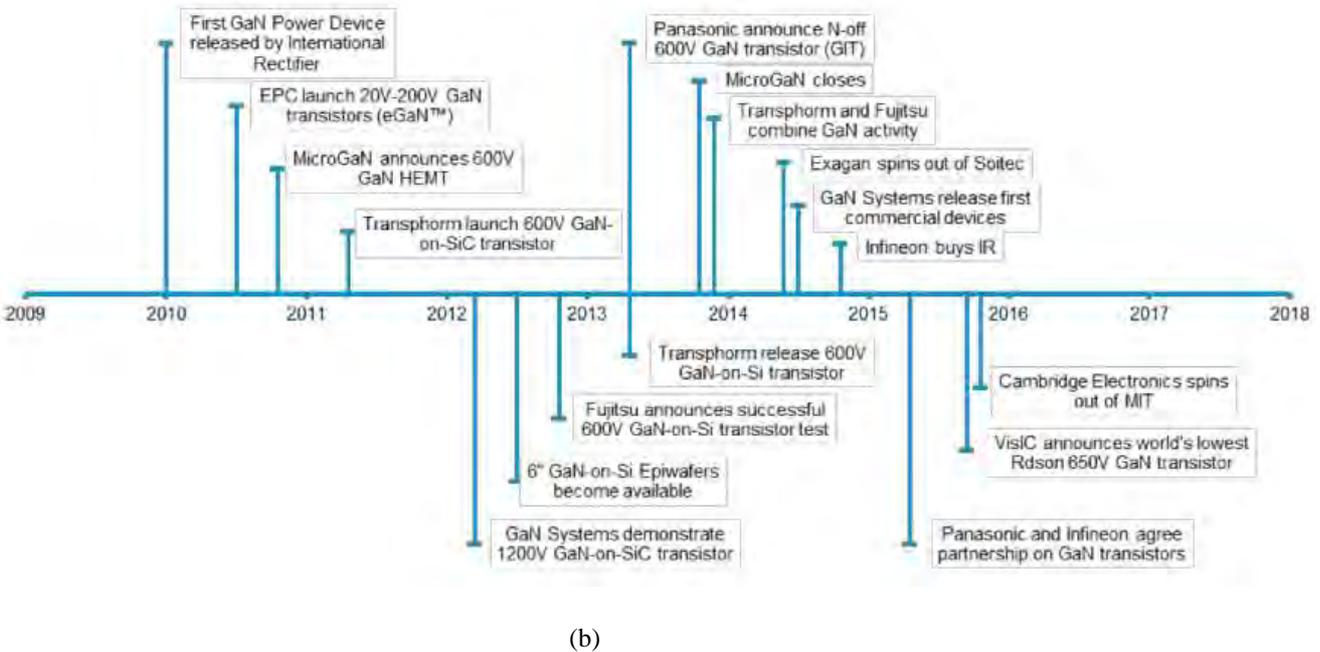
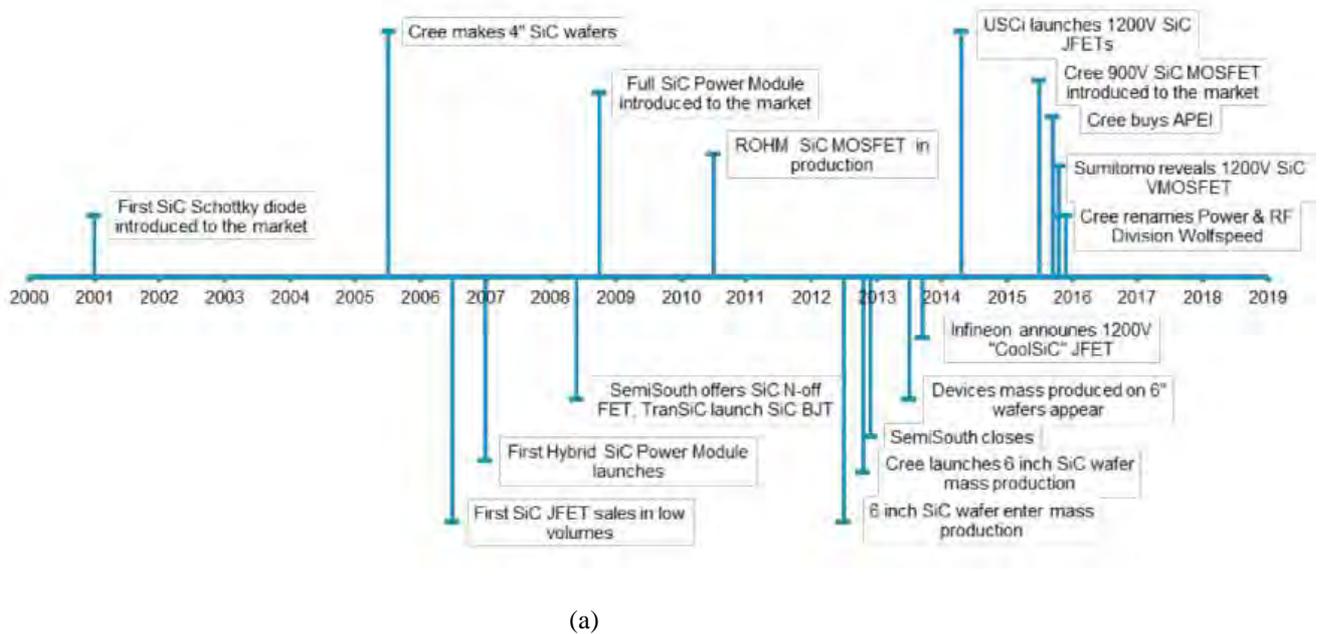


Fig. II.2.57 : Chronologies des principaux développements technologiques ces dernières années pour la fabrication de composants SiC (a) et GaN (b) [Liao'16]

Enfin, pour avoir une image de l'engouement et l'intérêt que suscitent ces matériaux, le tableau suivant présente les principaux fournisseurs chinois de plaquettes ou couches épitaxiales en SiC, qui sont arrivés en nombre ces dernières années et envahissent les stands des conférences internationales comme ICSCRM ou ECSCRM. Par ailleurs, on rappelle le fournisseur américain historique CREE ainsi que Dow Corning également aux Etats-Unis, SiCrystal, Ascatron en Europe et Novasic en France.

Major Chinese Silicon Carbide Enterprises and Their Product R&D, 2015

Company	Main Product	Capacity	Product Research and Development
	SiC single crystals	70,000 pcs	In 2009, 2-inch and 3-inch SiC crystals were produced on a large scale. In 2011, 4-inch SiC crystals were produced on a large scale. In 2014, 6-inch SiC single crystal substrate was developed.
	SiC single crystals	20,000 pcs	Products include 2-inch, 3-inch, and 4-inch SiC single crystal substrates.
	SiC epitaxial wafers	--	In 2012, 3-inch and 4-inch SiC semiconductor epitaxial wafers realized industrialization. In 2014, it put 6-inch SiC epitaxial wafer into production, thus becoming China's first manufacturer that provided commercialized 6-inch SiC epitaxial wafer.
	SiC epitaxial wafers	20,000-30,000 pcs	In 2012, 3-inch and 4-inch SiC epitaxial wafers were in mass production.
	SiC components	4,000 pcs	In 2014, SiC Schottky diodes were produced on a large scale, covering medium-high voltage range e.g. 600V-3300V. In 2015, 1200V/10A SiC BJT device was developed; 3300V/50A high-power SiC Schottky diodes were produced on a large scale.

Source: *China Silicon Carbide Industry Report, 2015-2019* by ResearchInChina

Fig. II.2.8 : Les principaux fournisseurs de substrats et épitaxies SiC de Chine

II.3 Technologie pour les composants de puissance à grand-gap

La figure II.3.1 présente la structure basique d'un composant de puissance vertical, en l'occurrence celle d'une diode PiN en SiC. Nous remarquons la couche épitaxiale à faible dopage et la protection périphérique JTE (Junction Termination Extension ou poche en français) nécessaires pour la tenue en tension, les couches de passivation et des contacts, la brasure sur un socle.

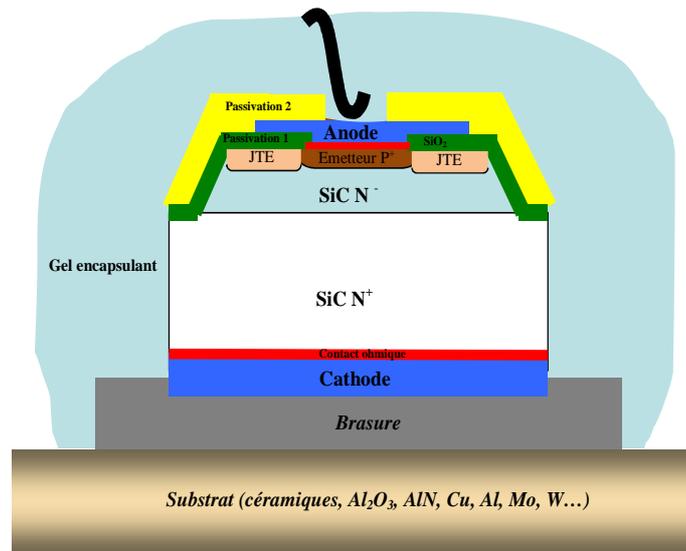


Fig. II.3.1 : Structure d'une diode PiN de puissance en SiC

On peut énumérer d'une manière générale les étapes technologiques clés pour la fabrication de composants à grand-gap:

- **le dopage**, qui se réalise soit in situ durant les croissances épitaxiales des couches soit localement par implantation ionique. L'implantation ionique peut générer un endommagement irréversible dans le matériau, comme la graphitisation du diamant ou l'induction de défauts structuraux qui peuvent se guérir en général partiellement par des recuits spécifiques, à très haute température dans le cas du SiC, ~ 1700°C et des recuits multflash dans le cas du GaN. Le dopage par diffusion thermique n'est pas envisageable à cause des valeurs extrêmement faibles des coefficients de diffusion des impuretés dopantes.
- **la gravure** pour définir la géométrie des composants et notamment les protections périphériques. A cause de la forte liaison interatomique, il n'existe quasiment pas de solutions chimiques pour envisager des gravures humides. On utilise des techniques de gravures sèches par plasmas, en général fluorées pour le SiC, chlorées pour le GaN et à base d'O₂ pour le diamant.
- **la prise des contacts**. La large bande interdite de ces matériaux semiconducteurs rend difficile la compatibilité des travaux de sortie des métaux avec l'affinité électronique de ces matériaux pour la réalisation de contacts ohmiques. Des surdopages sous les contacts sont nécessaires pour accroître l'effet tunnel ainsi que des recuits spécifiques pour créer des alliages et phases réactives pour baisser les barrières de potentiel.
- **la passivation et le packaging**. Des procédés spécifiques doivent être mis en œuvre pour améliorer la fiabilité des interfaces. En plus des matériaux mieux adaptés pour encapsuler ces semiconducteurs grand-gaps sont nécessaires, résistants à haute température et aux forts champs qui peuvent se développer autour de ces matériaux semiconducteurs à grand-gap.

Dans les paragraphes suivants, des recherches spécifiques sur ces étapes technologiques seront présentées principalement sur la technologie SiC. Des renvois aux GaN et diamant seront

également faits pour partager notre expérience acquise durant les projets plus récents où j'ai été impliqué.

II.3.1. Le dopage type p localisé dans le SiC

D'une manière générale, dans les matériaux grand-gaps, il est difficile de réaliser un dopage localisé à cause des fortes énergies d'ionisation des impuretés dopantes. Le cas du diamant type n est le plus ardu où le meilleur dopant semble être le phosphore avec une énergie d'ionisation de 0,6 eV (le niveau de l'azote est à 1,7 eV de la bande de conduction). De plus, la structure cristalline du diamant se trouve dans un état métastable, avec une transformation vers l'état stable graphite qui n'est pas observée à température ambiante, mais qui s'accélère à plus haute température. Ainsi, dans le cas du diamant, il est difficile d'utiliser l'implantation ionique pour le dopage localisé, l'endommagement du réseau cristallin par implantation ainsi que le recuit de recristallisation et d'activation des dopants risquent de le transformer en graphite.

Le tableau II.3.1 présente les impuretés dopantes de type p dans le SiC où nous remarquons que l'aluminium est le dopant avec l'énergie d'ionisation la plus faible.

Tableau II.3.1 : Les dopants de type p du SiC, leur masse et leur énergie d'ionisation correspondant à leur site de substitution commun.

Dopant	M _{ion} (u.a.m.)	Energie d'ionisation (meV)		Site de substitution	Coefficient de diffusion (cm ² /s)
		4H	6H		
Al	26,982	191-230	200-250	Si	3×10 ⁻¹⁴ à 6×10 ⁻¹²
B	11,009	285-390	300-400	Si	branche rapide: 2×10 ⁻⁹ à 10 ⁻⁷ branche lente: 2,5×10 ⁻¹³ à 3×10 ⁻¹¹
Ga	68,93	267	317-333	Si	

Dans le cas du SiC, bien que les techniques de dopage soient bien plus maîtrisées, les couches de type p restent encore trop résistives et en conséquence les contacts ohmiques présentent des résistances spécifiques élevées. Baisser les résistances des couches de type p en SiC reste un verrou technologique à lever afin de diminuer les résistances d'accès des composants au niveau de ces couches.

Les deux paragraphes suivants présentent deux techniques de dopage d'aluminium dans le SiC, une nommée classique avec ses limites que nous avons essayé de franchir à travers plusieurs thèses au laboratoire [Morv'99, Otta'99, Laza'02] et une autre méthode de dopage alternative que nous avons développée ces dernières années.

II.3.1.1 Implantation ionique d'Al - la méthode classique

Comme déjà dit, les valeurs extrêmement faibles des coefficients de diffusion des dopants dans le SiC (Tableau II.3.1) rendent impossible le dopage par diffusion dans les ouvertures des masques créés par lithographie à la surface du SiC. Les températures nécessaires sont incompatibles avec la tenue physique des masques. Ainsi, l'implantation ionique est devenue la méthode quasi incontournable pour le dopage localisé du SiC.

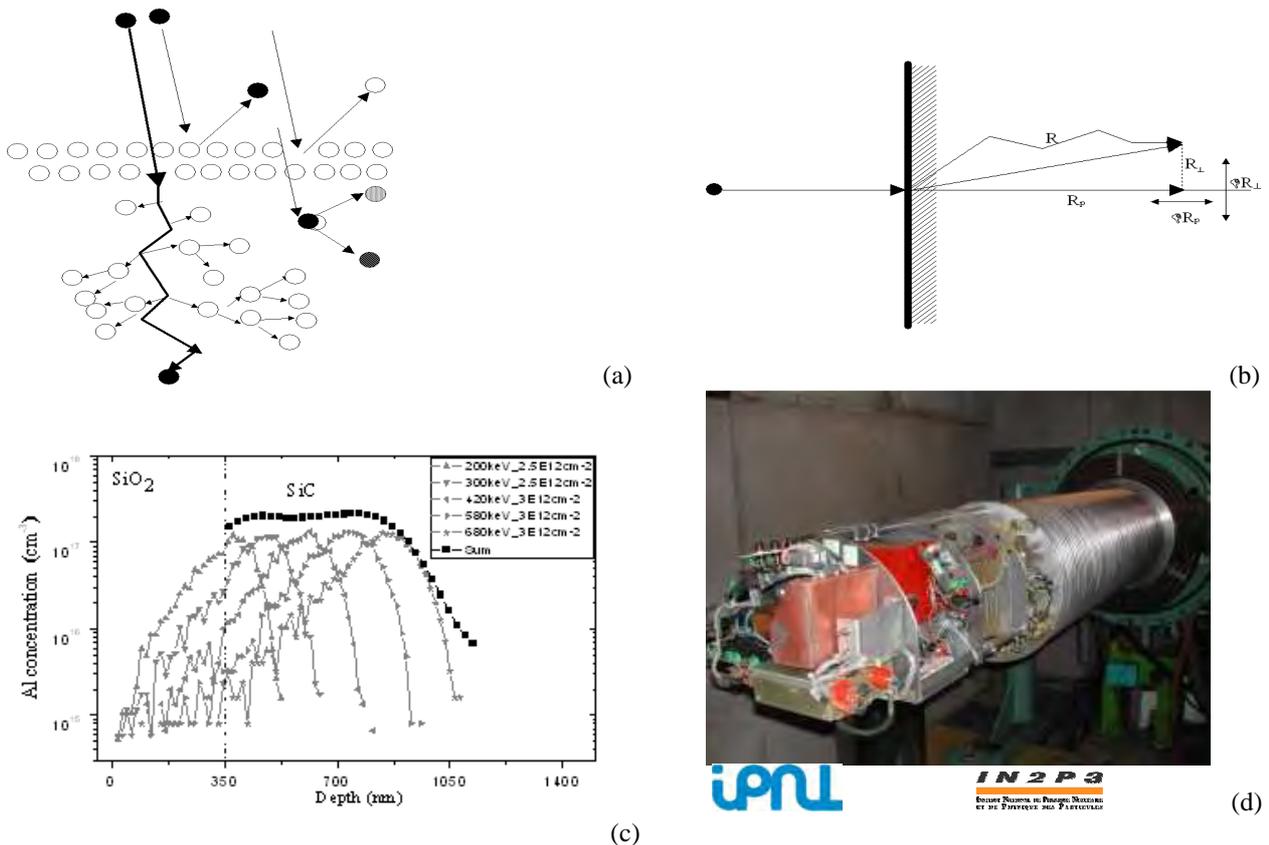


Fig. II.3.2 : Schéma d'une implantation ionique dans un semiconducteur cristallin (a); parcours projeté d'un ion (b); profil d'implantation aluminium typique dans le SiC pour une JTE (c); image de l'accélérateur 100-400 kV de l'implanteur "classique" de l'IPNL, fabriqué maison et utilisé dans nos travaux (d).

Cette méthode s'est avérée relativement efficace dans l'insertion dans les structures des composants de puissance en SiC, des protections périphériques de jonctions comme les JTE (Junction Termination Extension), nommées également poches en français. Cependant, les couches nécessitant des dopages plus élevés comme les émetteurs des composants bipolaires demandent l'utilisation de fortes doses d'ions implantés, génératrices d'un nombre important de défauts, conduisant même à l'amorphisation de la structure cristalline du SiC quand les implantations ioniques sont réalisées à température ambiante. La figure II.3.3 présente une synthèse bibliographique sur les résistivités des couches de type p à fortes concentrations d'aluminium obtenues par implantation ionique et les compare aux résistivités "théoriques". Ces dernières ont été obtenues par extrapolation des résistivités calculées sur des couches de type p non compensées, avec un modèle de mobilité qui lui-même a été obtenu par extrapolation des mesures effectuées sur des couches de type p réalisées par dopage in situ lors de croissances épitaxiales CVD [Heer'01].

Les différentes limites comme l'amorphisation des couches lors de l'implantation ionique à température ambiante, limites de solubilité et changements de phase sont également indiqués en

fonction de la concentration de l'aluminium. C'est une image globale qui permet de se rendre compte de la difficulté de diminuer les résistances des couches de SiC type p avec cette méthode de dopage.

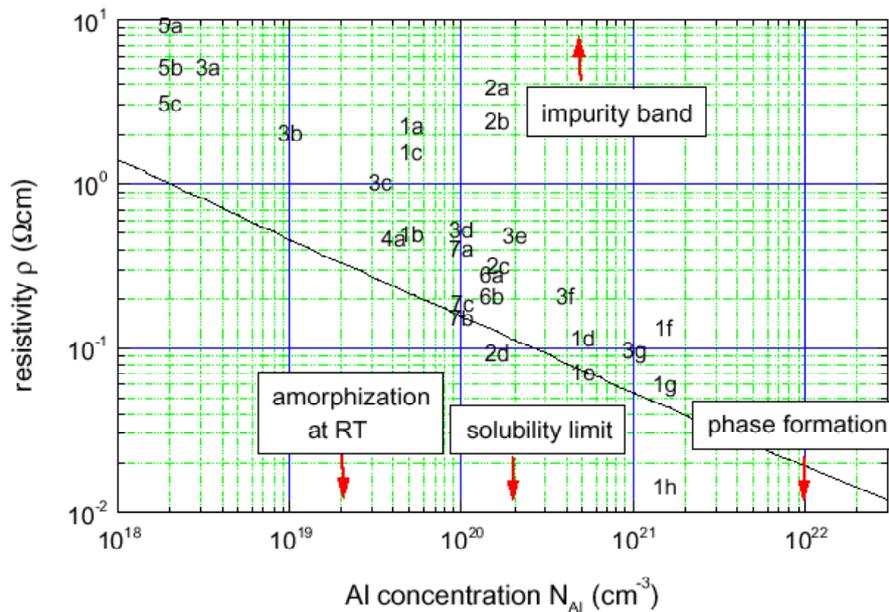


Fig. II.3.3 : Les résistivités obtenues par implantation ionique d'aluminium pour des fortes concentrations avec des limites physiques: amorphisation, solubilité et dégénérescence [Heer'01].

Des recuits post-implantation à très fort budget thermique sont nécessaires pour guérir et récupérer la structure cristalline initiale d'une part et également pour activer électriquement les dopants implantés, les faire migrer depuis leur localisation aléatoire post-implantation dans des sites cristallins substitutionnels (dans le SiC, les dopants de type p comme l'aluminium remplacent un atome de silicium). La figure II.3.4 présente l'équipement dédié du laboratoire AMPERE qui est un four à induction fabriqué par JIPELEC, opérant sous atmosphère inerte d'argon, capable de monter en température jusqu'à 1900°C et gardant des paliers constants de température pendant plusieurs dizaines de minutes, voire des heures.

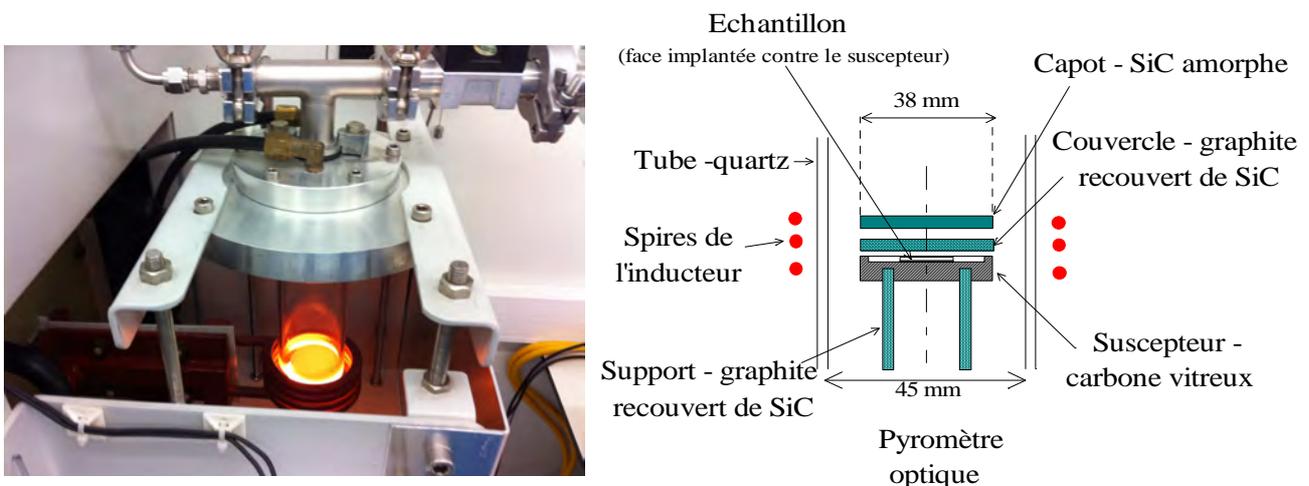


Fig. II.3.4 : Image de la partie chauffante du four à induction JIPELEC du laboratoire, dédié au recuit SiC post-implantation (à gauche) et la présentation schématique du port-substrat (à droite).

La figure II.3.5 présente les résistances carrées des couches de SiC-4H de type p créées par implantation ionique d'aluminium visant un dopage de $\sim 5 \times 10^{19} \text{ cm}^{-3}$ et recuites entre 1600 et

1800 °C pour des durées de 30 à 60 min [RI9]. Les valeurs des résistances carrées ont été extraites suite à des mesures par la méthode des 4-pointes à température ambiante. Nous observons que les résistances des couches de type p créées diminuent à la fois avec la température et la durée de recuit post-implantation sans toutefois observer une saturation franche même à 1800 °C. Nos études ne se sont pas portées à des températures plus élevées, d'une part à cause de la limite de notre four à induction et d'autre part à cause des problèmes de dégradation de la surface du SiC exposés ci-dessous.

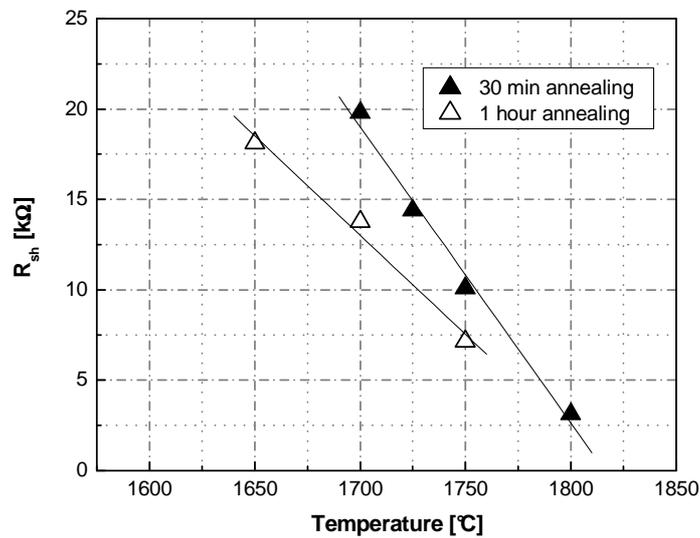


Fig. II.3.5 : Variation des résistances carrées des couches type p créées par implantation ionique d'aluminium avec la température et la durée du recuit post-implantation [RI9].

Cette activation incomplète des dopants dans le SiC à ces températures très élevées est accompagnée d'une dégradation de la surface du SiC à cause de la sublimation préférentielle du silicium. Des mesures AFM et de rugosité, présentées Fig. II.3.6, montrent une augmentation de la rugosité de surface du SiC avec la température et le temps de recuit.

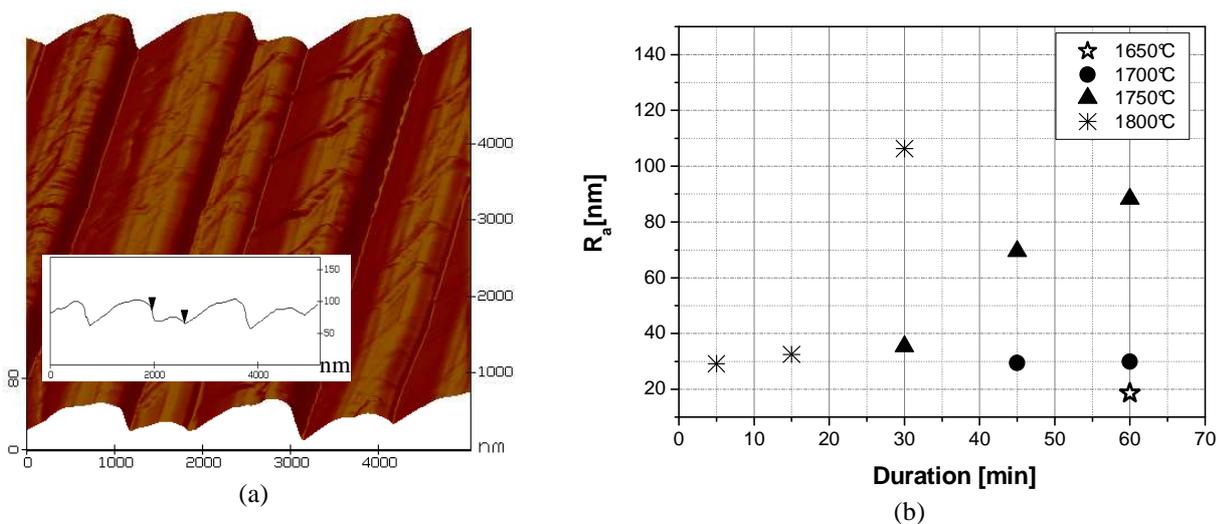


Fig. II.3.6 : Marches mesurées en AFM dues à une rugosification de la surface du SiC après recuit post-implantation (a) évolution en fonction de la température et du temps de recuit des valeurs des rugosités moyennes (R_a) quantifiées par des mesures de profilométrie avec un alpha-step stylus Dektak Veeco (b)

Cette rugosité qui augmente avec la durée et la température du recuit est amplifiée par les gradients thermiques horizontaux et verticaux au niveau du suscepteur porte-échantillon de notre

four à induction. Ainsi, la rugosification peut évoluer vers une gravure de la surface SiC implantée avec une perte d'une partie du profil des dopants implantés. La figure II.3.7 présente des analyses SIMS des profils d'aluminium après implantation ionique avant et après recuit post-implantation à 1700 °C/30 min et 1750 °C/30 min. Nous observons un décalage des profils vers la surface après recuit. On remarque que cette perte de dopants devrait provoquer une augmentation des résistances carrées des couches de type p obtenues ($R_{sh}=\rho/\epsilon$). Au contraire, les mesures électriques présentées dans la Fig. II.3.5 attestent d'une diminution des résistances carrées avec la durée et la température de recuit post-implantation. Ceci montre que l'activation des dopants (leur mise en sites substitutionnels) est loin d'être achevée même après des recuits à 1800°C.

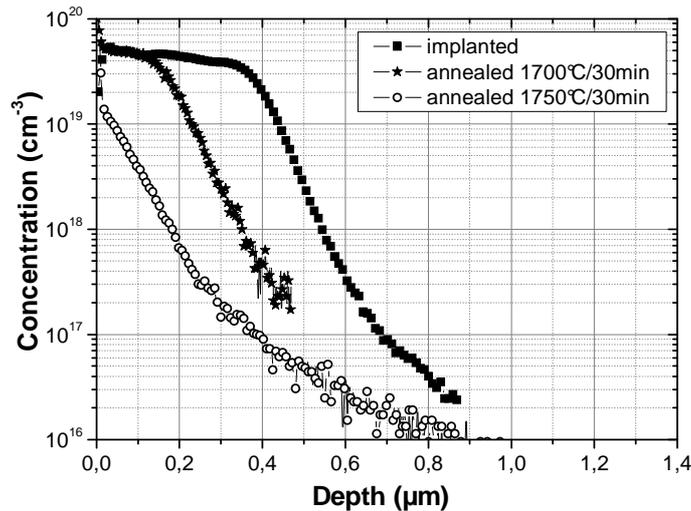


Fig. II.3.7 : Pertes des dopants Al identifiées par des mesures SIMS des surfaces SiC implantées avant et après recuit post-implantation.

La rugosification des surfaces est un phénomène couramment rencontré dans les semiconducteurs composés (comme les III-V) dont la surface se décompose en température à cause d'un élément qui est plus volatil. Ainsi des couches d'encapsulation sont utilisées pour limiter la décomposition thermique. Dans le cas du SiC, plusieurs couches d'encapsulation ont été essayées (carboniques, SiO₂, AlN). Les meilleurs résultats ont été obtenus avec une couche carbonique obtenue par la pyrolyse des résines déposées par spin-coating à la surface du SiC. Le procédé que nous avons mis au point [RI28], durant le **postdoc d'Erwan Oliviero** que j'ai encadré, est décrit schématiquement ci-dessous.

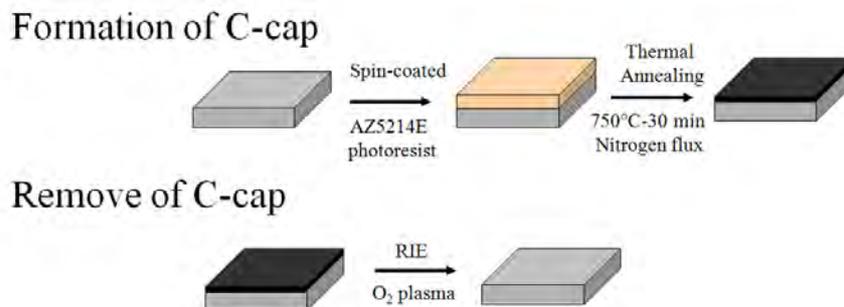


Fig. II.3.8 : Procédé d'encapsulation de la surface des plaquettes SiC avec de la résine pyrolysée et son retrait après le recuit post-implantation.

La préservation de la surface et l'efficacité de cette couche d'encapsulation, C-cap, après des recuits jusqu'à 1800 °C ont été analysées par des mesures AFM dont les résultats sont présentés (Tableau II.3.2 et Fig. II.3.9). Dans le cas des couches implantées avec des doses raisonnables, jusqu'à $1,75 \times 10^{15} \text{ cm}^{-2}$ (suffisantes pour obtenir un profil d'émetteur à $5 \times 10^{19} \text{ cm}^{-3}$

sur 0,5 μm), des états de surface équivalents aux échantillons SiC vierges ont été obtenus après des recuits à 1800°C et le retrait de la couche carbonique pyrolysée sacrificielle. L'augmentation de la dose initiale d'implantation et donc le désordre dans les couches amorphes induit cependant une dégradation de la surface malgré la présence de l'encapsulation.

Tableau II.3.2 : Rugosité RMS des échantillons analysés en AFM avant implantation et après recuit post-implantation avec ou sans la couche de protection C-cap

Echantillon	Vierge	Recuit 1700°C/ 30 min ($1,75 \times 10^{15}$ Al.cm ⁻²)	Recuit 1800°C/ 30 min ($1,75 \times 10^{15}$ Al.cm ⁻²)	Recuit 1800°C/ 30 min avec C-cap ($1,75 \times 10^{15}$ Al.cm ⁻²)	Recuit 1800°C/ 30 min avec C-cap ($3,5 \times 10^{15}$ Al.cm ⁻²)
Rugosité RMS [nm]	0,31	14,43	24,67	0,46	1,49

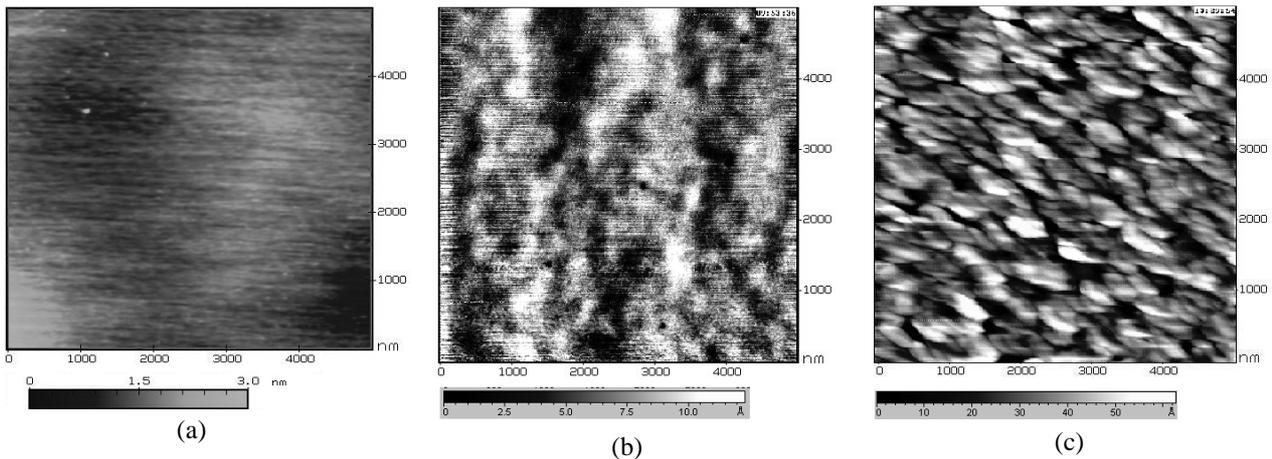


Fig. II.3.9 Images AFM $5 \times 5 \mu\text{m}^2$ pour un échantillon vierge (a), implanté aluminium avec une dose de $1,75 \times 10^{15} \text{cm}^{-2}$ et recuit à 1800°C/30 min avec C-cap (b), implanté aluminium avec une dose de $3,5 \times 10^{15} \text{cm}^{-2}$ après un recuit à 1800°C/30 min avec C cap (c).

Une dose d'implantation trop élevée dégrade davantage le réseau cristallin qui est de plus en plus difficile à récupérer même après des recuits à haute température comme le montrent les analyses RBS/C de la figure II.3.10. Ces analyses ont été effectuées sur des échantillons implantés aluminium à des différentes doses (de $1 \times 10^{13} \text{cm}^{-2}$ à $3,5 \times 10^{15} \text{cm}^{-2}$) juste après implantation ionique et après un recuit 1700 °C/30 min.

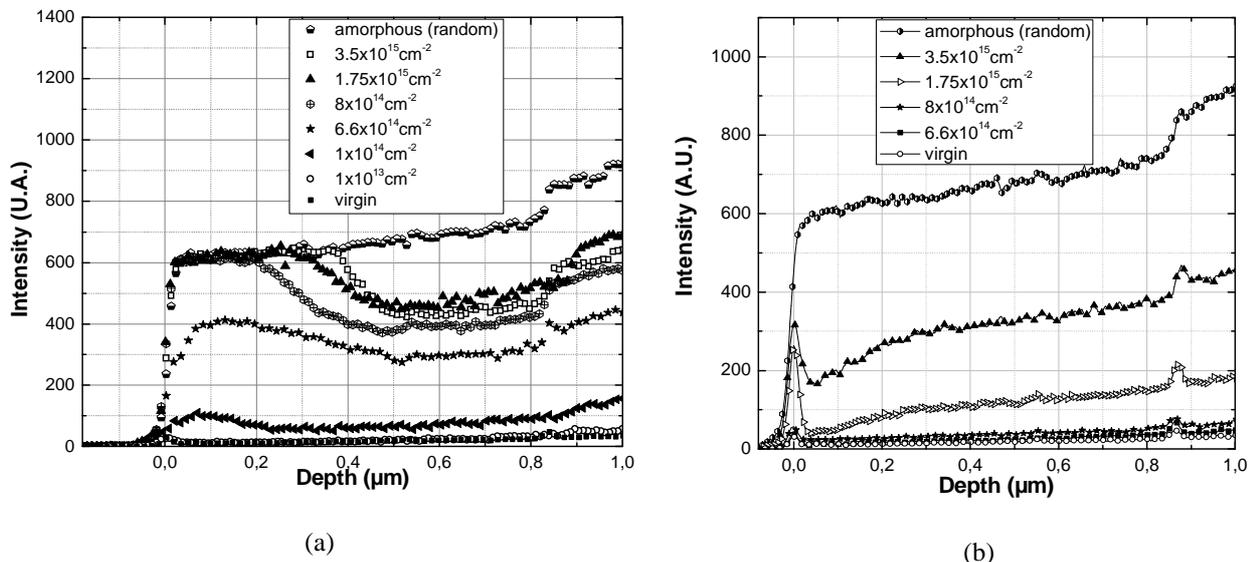


Fig. II.3.10 Analyses RBS/C de couches implantées Al à différentes doses juste après implantation (a) et après recuit post-implantation 1700°C/30 min (b)

Après implantation, nous observons une dégradation progressive du réseau cristallin avec une couche amorphe qui se forme pour des doses supérieures à $8 \times 10^{14} \text{ cm}^{-2}$. Après recuit, bien que nous obtenions une recristallisation et l'absence des couches amorphes, une concentration de défauts résiduels est mise en évidence d'autant plus que la dose initiale fut élevée.

Nous avons montré que ces changements structuraux sont accompagnés d'une redistribution après recuit des dopants autour de l'interface initiale entre les zones amorphes/cristallines créées après implantation ionique. Cette diffusion vers la surface (exodiffusion – perte de dopants) ou le volume augmente avec la dose d'implantation [RI12]. Ce phénomène est confirmé par des mesures SIMS effectuées après recuit post-implantation (Fig. II.3.11).

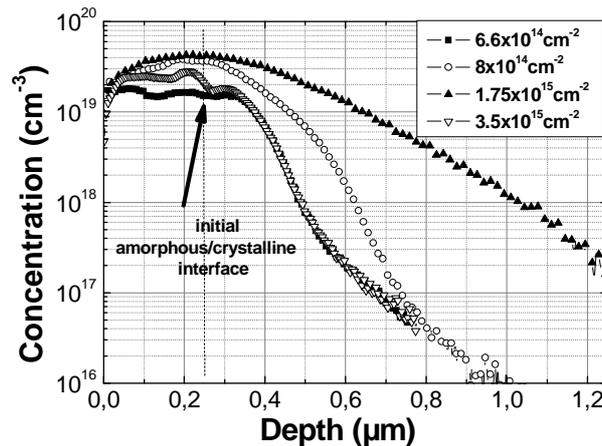


Fig. II.3.11 Mesures SIMS montrant la redistribution des dopants aluminium après recuit sur des couches SiC initialement amorphisées par des implantations aluminium à différentes doses [RI12]

Le contrôle de la distribution de dopants dans le SiC est également rendu difficile à cause d'un autre phénomène qui est la canalisation lors de l'implantation ionique des ions. La figure ci-dessous présente schématiquement un ion guidé dans un axe de canalisation cristallin qui va pénétrer davantage dans la profondeur que si le matériau était amorphe.

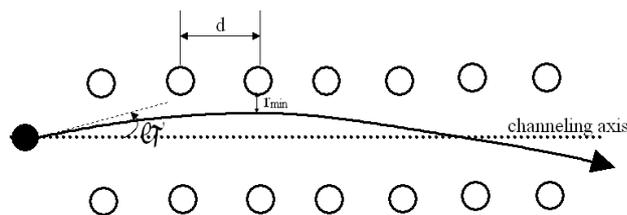


Fig. II.3.12 Présentation schématique d'un axe de canalisation lors de l'implantation ionique dans une structure cristalline

A cause de sa structure cristalline hexagonale relativement complexe, dans le SiC il est difficile d'éliminer complètement les axes de canalisation par des désorientations de la surface comme on procède classiquement dans le cas du silicium (en utilisant un angle de 7° , appelé tilt, entre le faisceau ionique et la normale à la surface du substrat).

La figure II.3.13 présente la structure cristalline du SiC-4H en coupe et vue par le faisceau ionique sans désorientation et après une rotation suivant l'axe [0001] ainsi qu'un tilt supplémentaire. La densité atomique vue par le faisceau ionique est ainsi modifiée.

Un travail de thèse dédié a été mené au laboratoire pour justement déterminer ces deux angles de désorientation [Morv'99]. Un logiciel qui simule par Monte-Carlo l'implantation ionique des dopants (dont l'aluminium) dans le SiC a été créé qui prend en compte les structures cristallines 6H et 4H du SiC. Les deux angles de rotation et de tilt ont été déterminés, mais

néanmoins il faut préciser que, même dans ce cas, si la canalisation est évitée en surface, il est difficile de la contrôler en fin de profil d'implantation.

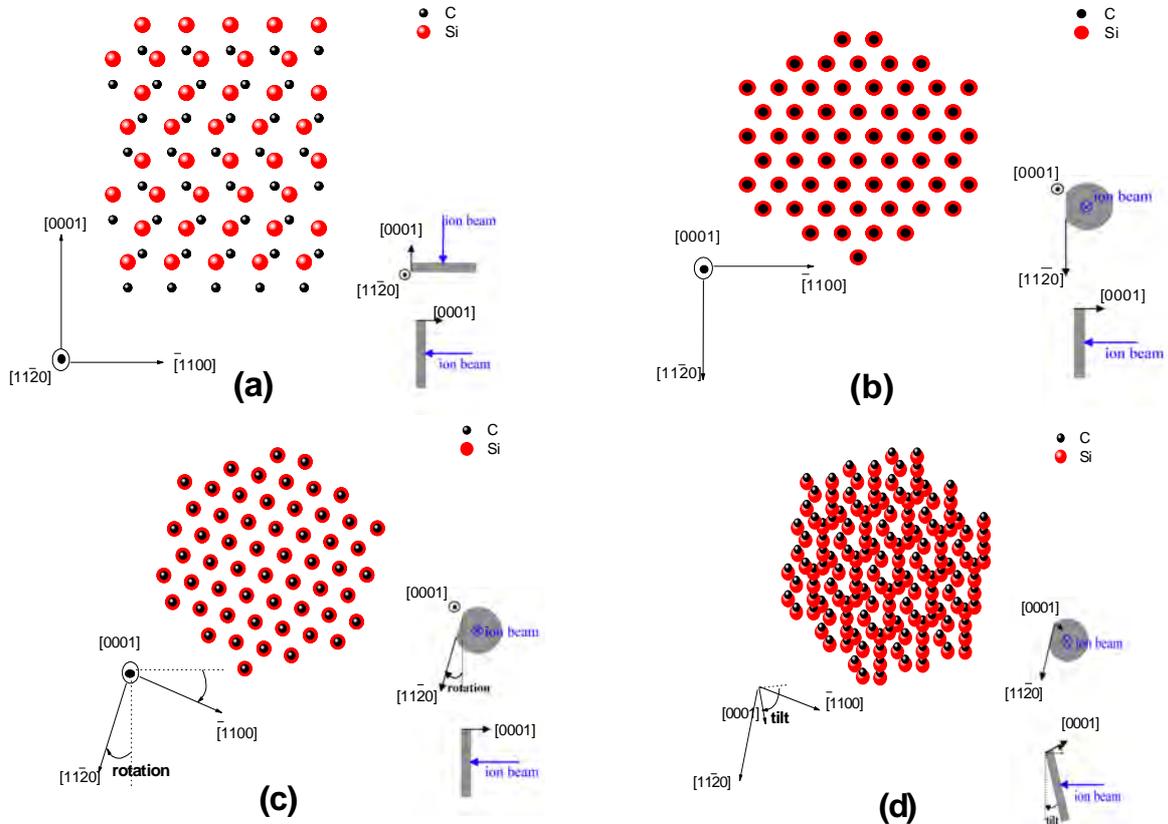


Fig. II.3.13. Structure cristalline SiC-4H en coupe (a) et vue par le faisceau ionique sans désorientation (b), après une rotation suivant l'axe [0001] (c) et après un tilt supplémentaire (d).

La figure II.3.14 présente schématiquement un exemple de problème que ce phénomène de canalisation peut provoquer dans le cas des composants fabriqués par implantation ionique. Le manque de précision de la queue d'un profil d'implantation a fait que le canal latéral d'un composant SiC JFET soit complètement obstrué par la grille en surface réalisée par implantation ionique.

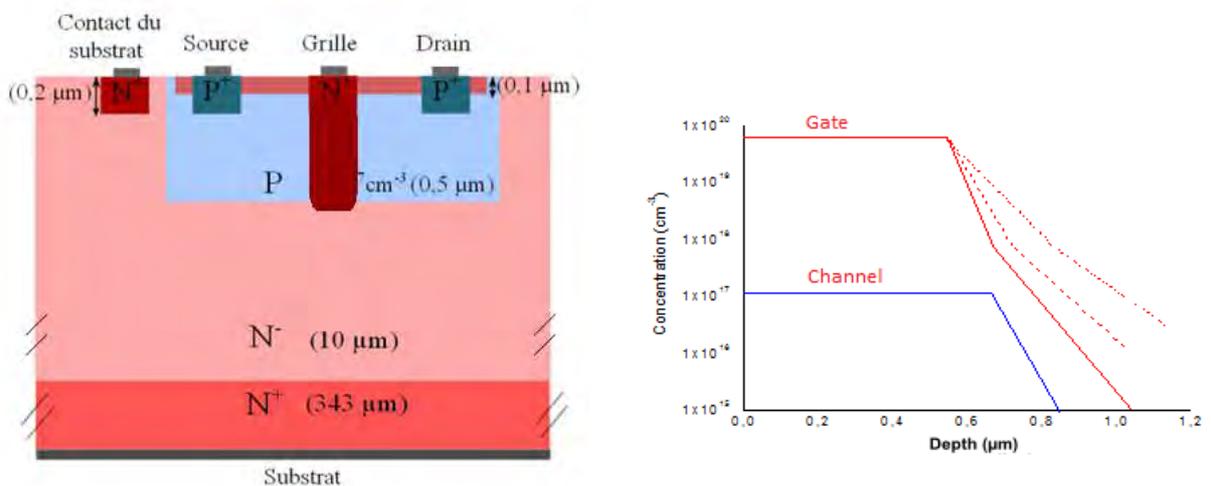


Fig. II.3.14 Structure (à gauche) des composants JFET latéraux que nous avons fabriqués dans le cadre du projet ANR JFET-SB, présentant un canal latéral bloqué à cause du manque de contrôle de la queue du profil d'implantation de la grille, représentée schématiquement (à droite)

Ainsi, dans le lot de composants JFET fabriqués dans le cadre des projets ANR JFET-SB et COHT, une bonne partie se trouvaient "normally-off" soit complètement bloqués (sans aucune modulation possible du courant drain-source). Ces composants latéraux et leur intégration technologique seront présentés en détails dans le §II.4. Des solutions ont été trouvées pour ajuster et définir précisément la profondeur du canal en utilisant notamment une méthode alternative à l'implantation ionique pour le dopage aluminium. Cette méthode est présentée dans le paragraphe suivant.

II.3.1.1.1 Conclusion sur l'implantation ionique

L'implantation ionique est une méthode couramment employée dans le dopage localisé du carbure de silicium. Son utilisation implique néanmoins un certain nombre de précautions à prendre. Le cas de la canalisation des ions vient d'être présenté.

L'implantation ionique semble indispensable pour la réalisation de caissons à des doses relativement faibles $\sim 10^{13} \text{ cm}^{-2}$ qui correspondent à des dopages volumiques $\sim 10^{17} \text{ cm}^{-3}$, comme pour les protections périphériques JTE des composants de puissance. Les couches ne sont pas amorphisées même quand l'implantation est réalisée à température ambiante et on obtient une bonne récupération cristalline après recuit haute température comme nous venons de montrer par des analyses RBS. Nous avons également montré, dans ce cas, une activation quasi totale des dopants par des mesures capacitives publiées dans [RI12].

Par contre, utiliser l'implantation ionique aluminium pour créer des zones de type p à fort dopage est une méthode discutable. Les résistances des couches restent très élevées, autour de quelques k^- pour un dopage $\sim 10^{19} \text{ cm}^{-3}$. Augmenter le niveau du dopage au-delà pose un certain nombre de problèmes que nous avons cités. Le niveau résiduel des défauts après recuit post-implantation ont un impact sur le comportement des jonctions p/n formées qui freinent le développement des composants bipolaires. C'est dans d'autres méthodes alternatives qu'il faut chercher la solution dans ces gammes de dopage, pour obtenir des jonctions p⁺/n fiables et diminuer les résistances des couches p⁺.

Eviter complètement la canalisation des ions implantés dans le SiC n'est pas envisageable avec des moyens d'implantations ioniques classiques comme dans le cas du silicium. Les mêmes problèmes sont rencontrés aujourd'hui par ceux qui essayent de doper le GaN par implantation ionique (notamment avec le Mg pour obtenir le type p).

Signalons néanmoins que plusieurs études existent dont celle de la thèse d'Erwan Morvan [Morv'99] sur l'implantation intentionnelle en mode canalisation. On peut énumérer au moins trois bénéfiques: le pouvoir de pénétration des ions est augmenté, l'endommagement créé est moindre et des jonctions très abruptes peuvent être obtenues si on maîtrise parfaitement l'orientation du substrat. La société CREE a déposé deux brevets récemment sur l'utilisation de l'implantation ionique en canalisation pour la fabrication de ses composants en se basant notamment sur les travaux d'Alexander Suvorov [Suvo'14, Brun'16].

II.3.1.2 Croissance VLS - techniques alternatives de dopage aluminium

L'alternative à l'implantation ionique pour réaliser un dopage localement et en profondeur est l'épitaxie sélective. Par l'épitaxie classique CVD (chemical vapor deposition), le dopage localisé est très difficilement réalisable, car il n'existe pas de masque adapté qui résiste aux conditions d'épitaxie CVD de SiC (~1500°C). Par contre, le laboratoire lyonnais LMI a déjà démontré la possibilité de réaliser une épitaxie sélective par transport VLS (Vapeur-Liquide-Solide). Des couches de type p fortement dopées peuvent être obtenues et par conséquent présentant des faibles résistances. Ceci conduit également à une réduction considérable des résistances des contacts qu'on peut former sur leurs surfaces.

Je me suis impliqué dès 2004 dans des études préliminaires sur les jonctions p/n créés par VLS et leur insertion dans des composants, dans le cadre d'un projet BQR interétablissements lyonnais avec des résultats publiés dans [RI21,22]. Depuis, ce procédé a été optimisé et développé sur différentes configurations, localisation en surface ou enterrée, homo ou hétéroépitaxie dans le cadre des **projets ANR VHVD, VLOC** et dernièrement le **projet VELSiC** soutenu par STM-Tours avec une thèse CIFFRE que j'ai co-encadrée.

Le procédé technologique que nous avons optimisé ces dernières années est présenté schématiquement dans la figure ci-dessous. La localisation des couches de type p est contrôlée par la gravure initiale du SiC pour former des caissons où des empilements Al/Si seront déposés et convertis en SiC-4H par homoépitaxie VLS. Le liquide Al/Si catalyse le craquage du précurseur carboné et entraîne la croissance du SiC à l'interface solide-liquide. Le SiC formé est dopé p⁺ par incorporation de l'aluminium présent dans la phase liquide. Ainsi, comme l'implantation ionique de l'aluminium, la croissance épitaxiale VLS est une méthode de dopage localisé pour créer des couches de SiC-4H de type p.

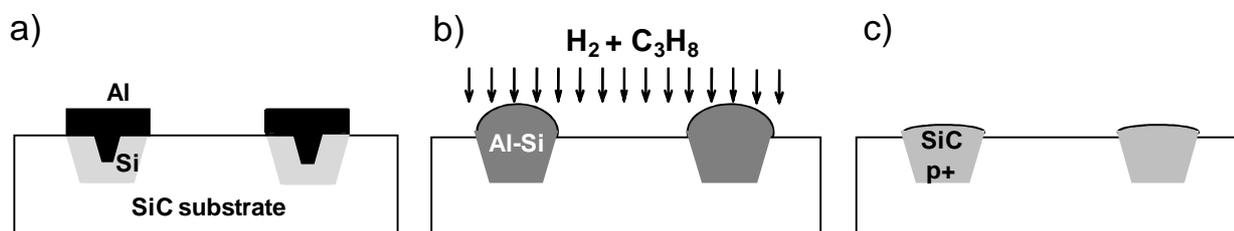


Fig. II.3.15 Schéma représentant les trois étapes de la croissance localisée de SiC dopé aluminium de type p par transport VLS: dépôt de couches de silicium et aluminium dans les tranchées formées par gravure plasma RIE ou ICP du SiC (a), fusion de l'alliage Al-Si à 1000-1100°C et ajout de propane dans la phase gazeuse (b), formation d'un dépôt épitaxial de SiC dopé aluminium et de type p (c)

Détaillons un peu ces étapes technologiques. Après un nettoyage chimique de la surface du SiC très poussé, des caissons sont formés par gravure plasma du SiC aux endroits où des couches de type p seront formées par VLS. En utilisant un procédé de photolithographie la surface est partiellement couverte avec des masques durs (nickel) ou à base de photorésines. La gravure plasma est réalisée avec des réacteurs de type RIE (Reactive-Ion-Etching) ou ICP (Inductive-Coupled-Plasma) avec une chimie fluorée SF₆. La profondeur des caissons fixe avec précision la profondeur des couches SiC de type p qui seront créées. Les couches aluminium et silicium sont ensuite déposées par PVD (canon e-beam en général). Les épaisseurs des couches, qui déterminent la teneur des différents éléments dans le bain liquide VLS, sont précisément fixées par mesure in situ avec un capteur balance à quartz piézoélectrique. Au niveau des caissons gravés, des plots Al/Si sont formés par un procédé de photolithographie alignée, suivi d'une gravure sèche (pour le silicium) et gravure humide (pour l'aluminium).

Pour la croissance VLS, les échantillons sont ensuite placés dans un suscepteur en graphite au milieu d'un réacteur vertical à parois froides (Figure II.3.15) où les précurseurs carbonés (CH₄ ou

C_3H_8) sont introduits en utilisant des gaz vecteurs (argon ou H_2). La température de croissance est de $1000-1100^\circ C$ et la durée du palier est d'une dizaine de minutes. Ces températures sont extrêmement faibles comparées à celles des procédés classiques, un recuit post-implantation nécessitant des recuits vers $1700^\circ C$ et l'épitaxie classique CVD se réalisant à $1500-1600^\circ C$. L'utilisation de la technique VLS à $1000-1100^\circ C$ permet ainsi de réduire à terme le coût des composants SiC et une implémentation aisée dans une chaîne industrielle de fabrication de composants.

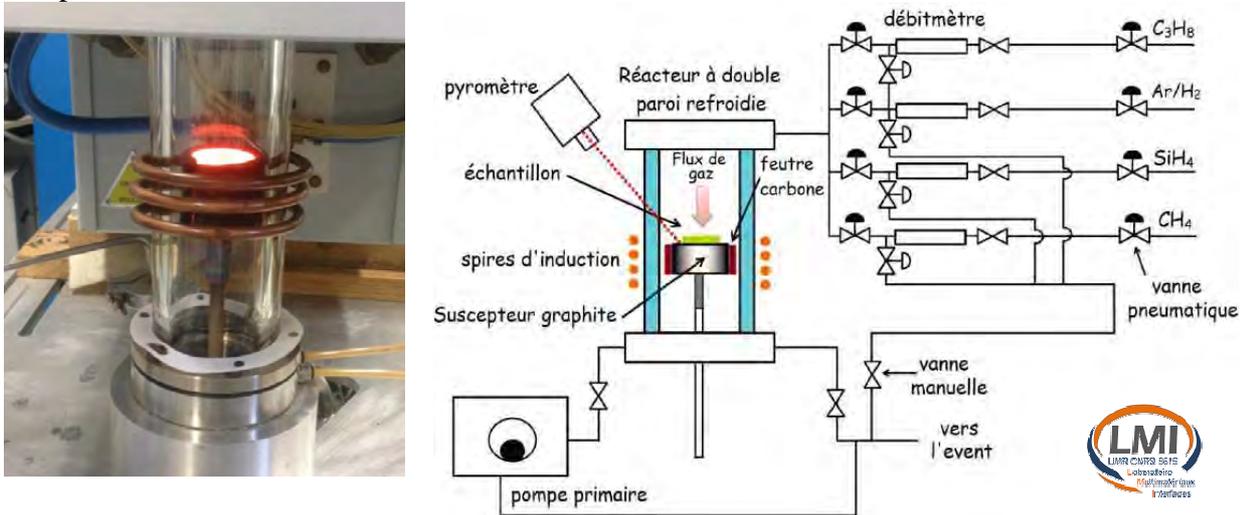


Fig. II.3.16 Réacteur vertical à parois froides du LMI dédié aux croissances VLS du SiC

Le fait de créer des caissons gravés dans le SiC et d'enterrer ces empilements Al/Si permet de contrôler le mouillage du bain liquide et d'améliorer la définition des structures en obtenant par cette configuration VLS des motifs localisés de plusieurs centaines de μm jusqu'à $1mm$ de largeur. La figure II.3.17 compare des images des structures que nous avons obtenues en 2004 [RI21] dans une configuration localisée mais non enterrée (les plots Al/Si formés sur la surface plane du SiC) avec ce que nous pouvons obtenir avec une configuration enterrée [RI49]. On observe que le confinement du bain liquide par les caissons gravés nous permet d'obtenir des structures plus larges et sans discontinuités. C'est un verrou technologique important que nous avons levé ouvrant la perspective d'utiliser ces couches pour des composants de puissance de plus grande surface, en augmentant par exemple le calibre en courant des composants bipolaires. Au passage, il faut noter que le mouillage du liquide formé a été également amélioré par l'évolution des paramètres de la technique VLS elle-même. Des détails seront donnés ci-après.

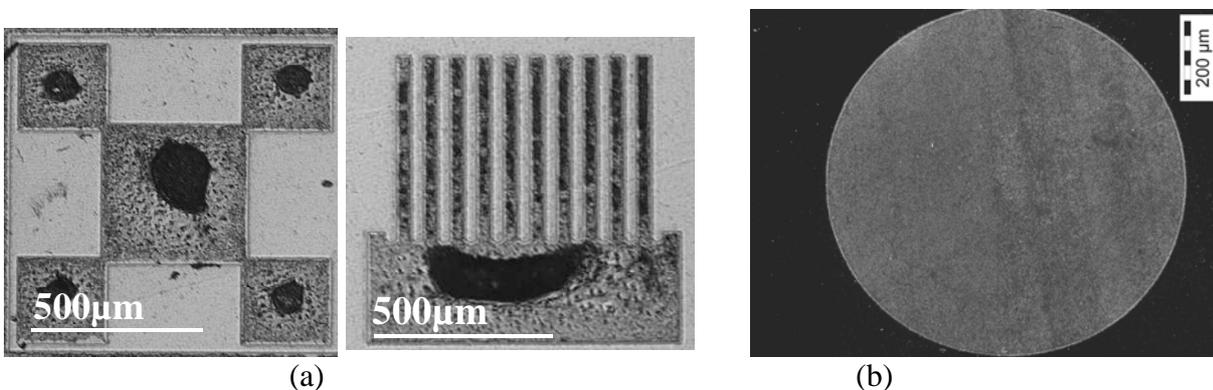


Fig. II.3.17 Images de couches SiC type p réalisées par croissance VLS localisée en configuration sans caissons gravés (a) et avec caissons gravés (b) à la surface du SiC.

Ce changement de configuration de croissance localisée VLS ne semble pas affecter sur le fort dopage aluminium des couches SiC de type p obtenues par cette homoépitaxie. Des analyses

SIMS [RI21, RI86] sur des couches réalisées en surface ou dans des cuvettes enterrées montrent des profils de dopage d'aluminium dans la gamme des 10^{19} - 10^{20} cm^{-3} . On note cependant que les profils obtenus sur les couches enterrées sont plus ou moins profonds, cette profondeur correspondant à l'épaisseur de la couche VLS créée. Cette dernière est intimement liée à la largeur des cuvettes, mais aussi aux conditions de croissance VLS qui sont amplement détaillées et expliquées en corrélation avec les épaisseurs et les morphologies de couches obtenues dans nos publications [RI84, RI86].

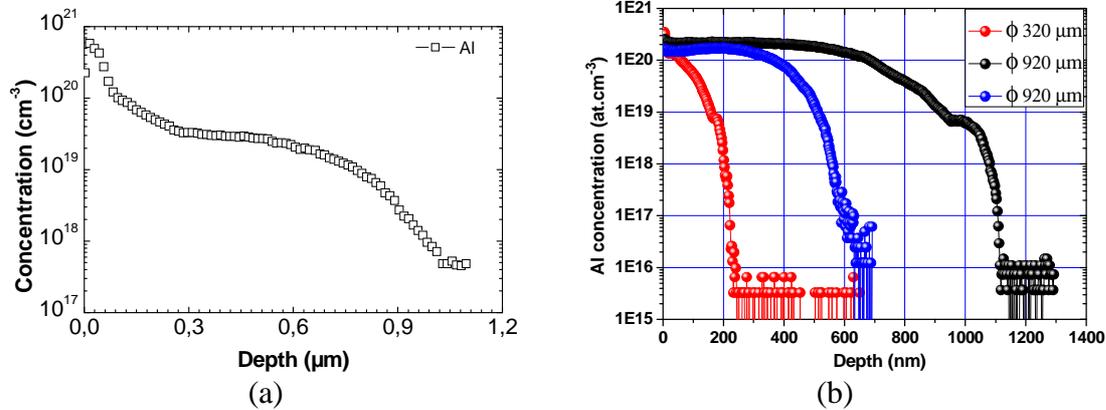


Fig. II.3.18 Profils d'Al obtenus par analyses SIMS de couches SiC type p réalisées par croissance VLS localisée en configuration sans caissons gravés (a) et avec caissons gravés (b) à la surface du SiC.

Notons au passage que la qualité de ces couches, en plus des conditions de croissance, est également tributaire à l'état de surface initial avant le dépôt Si/Al. Etat de surface qui est aussi lié aux conditions de gravure des puits de SiC pour la réalisation des caissons. Dans une première phase, ces caissons ont été créés par gravure RIE (SF_6/O_2) en utilisant des masques durs à base de nickel déposés et partiellement ouverts à la surface du SiC par un procédé de lift-off.

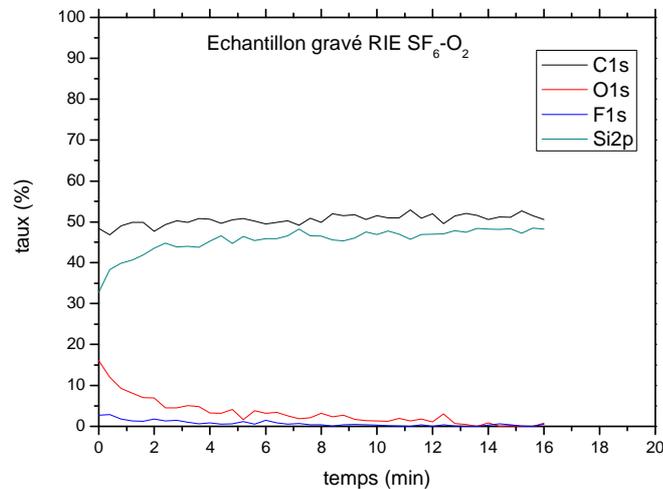


Fig. II.3.19 Analyse XPS d'une surface de SiC gravée par RIE montrant une contamination de fluor et oxygène

Des analyses XPS sur des surfaces gravées par des plasmas RIE SF_6/O_2 montrent une contamination en fluor et oxygène en profondeur du SiC, sur plusieurs dizaines de nm (Fig. II.3.19). Nous avons une sorte d'implantation ionique produite par la composante physique très énergétique du plasma RIE. Dans [RI30], nous avons mis en évidence que cette contamination crée des sortes de poches (JTE) avec une influence sur la tenue en tension des composants. Nous avons également observé la présence de courants de fuite parasites sur des composants dont des contacts ohmiques ont été réalisés sur des surfaces SiC qui ont subi des gravures RIE.

L'état de surface post-gravure RIE a également un impact sur les caractéristiques et la morphologie des couches VLS formées. Quand ces couches VLS SiC type p ont été réalisées sur

une épitaxie de type n, les jonctions p/n créées souffrent de la qualité de l'interface précroissance SiC gravé RIE/empilement Al/Si. Les diodes basées sur ces jonctions p/n présentent sous polarisation inverse des forts courants de fuite (voir Fig. II.3.21) et des claquages prématurés. En polarisation directe, nous n'obtenons pas un seuil typique d'une jonction p/n vers 3 V, mais plutôt celui d'un comportement Schottky.

Pour comprendre l'origine de ce comportement atypique, des jonctions p/n créées par VLS, des mesures HR-TEM (High Resolution Transmission Electron Microscopy) ont été réalisées avec l'aide de Gabrielle Regula de l'IM2NP de Marseille. Les échantillons analysés et le mode opératoire permettant d'obtenir à l'aide d'un faisceau FEI FIB (Ga^+) des lames fines provenant du centre des diodes VLS sont schématiquement présentés dans la figure ci-dessous.

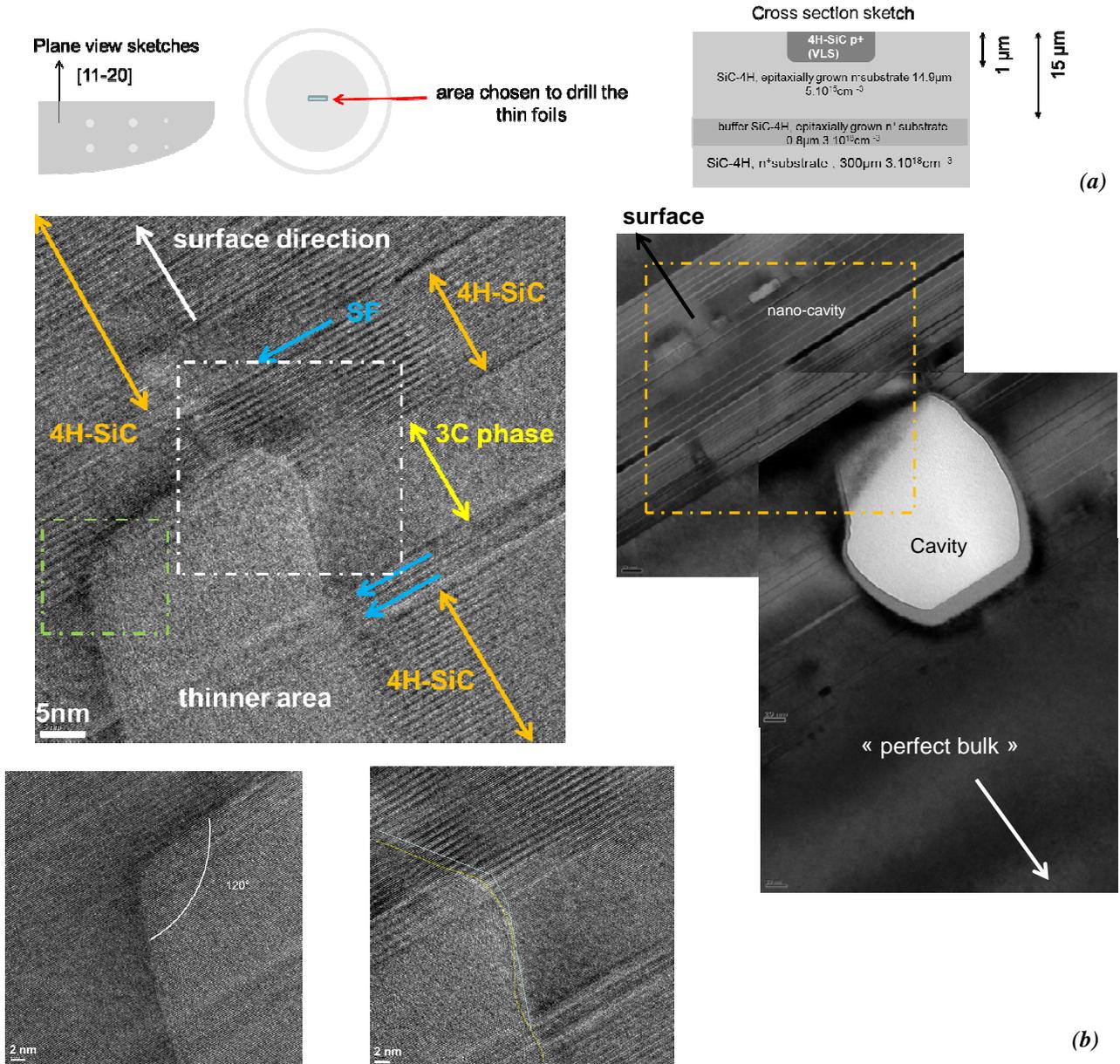


Fig. II.3.20 Présentation schématique des échantillons (a) et résultats des analyses HR-TEM (b) mettant en évidence les défauts structuraux dans la couche VLS et à l'interface avec la surface initiale de SiC

Les clichés TEM obtenus montrent une multitude de défauts structuraux aussi bien dans la couche VLS qu'à l'interface avec la surface initiale. Parmi ces défauts, on remarque des inclusions cubiques SiC-3C, des défauts d'empilement (stacking faults – SF) ainsi que des nanocavités élargies probablement par le faisceau de Ga^+ durant la préparation des échantillons.

Pour palier ce problème, un recuit post-croissance VLS à 1700 °C sous argon dans le four

présenté dans le paragraphe précédent a permis de trouver les caractéristiques d'une jonction p/n typique avec un seuil en direct vers 3 V et diminuer les courants de fuite en polarisation inverse. La figure II.3.21 présente l'influence de ce recuit post-croissance VLS à haute température sur les caractéristiques I-V des diodes p⁺/n fabriquées. Les mesures électriques ont été réalisées à température variable afin de mieux déceler les comportements bipolaires ou Schottky. Ces résultats sont détaillés dans notre publication [RI55].

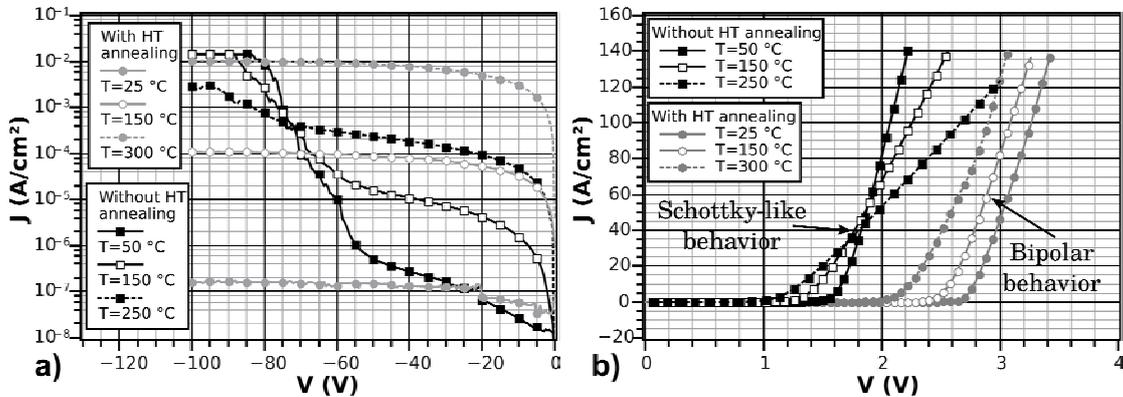


Fig. II.3.21 Effet du recuit à 1700 °C sur le comportement électrique J-V en température des diodes p⁺/n dont la couche p⁺ a été réalisée par croissance VLS: sous polarisation en inverse (a) et en direct (b).

Le caractère bipolaire de ces diodes qui intègrent dans leur fabrication ce recuit haute température post-croissance VLS a été également mis en évidence par des mesures de photoluminescence. Remarquons la luminescence de ces diodes en direct typiquement d'une jonction p⁺/n en SiC-4H (figure II.3.22).

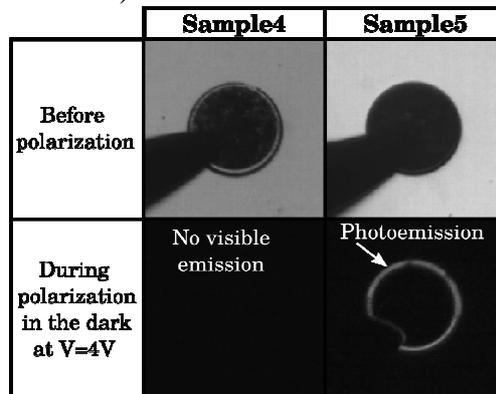


Fig. II.3.22. Effet du recuit à 1700 °C sur l'électroluminescence des diodes p⁺/n dont la couche p⁺ a été réalisée par croissance VLS. Uniquement l'échantillon n°5 a subi le recuit à 1700 °C post croissance VLS.

La nécessité d'un recuit haute température à 1700 °C enlève cependant un des arguments de l'utilisation de la VLS comme méthode alternative du dopage localisé du SiC. C'est la raison pour laquelle, depuis quelques années dans le cadre du projet VELSiC et de la **thèse de Selsabil Sejl**, nous avons focalisé nos efforts pour mieux comprendre et optimiser la croissance localisée VLS tout en minimisant les facteurs qui peuvent détériorer la qualité de ces couches et des interfaces électriquement actives comme les jonctions p/n que nous voulons créer.

Tout d'abord, le procédé technologique de précroissance qui définit la géométrie des empilements Al/Si dans les puits gravés a été revu en remplaçant d'une part les masques durs métalliques à base de nickel (sources de contamination aussi) par des masques en photorésines. Nous avons profité des développements technologiques de ces dernières années que nous avons menés dans le cadre du **projet Topaze**, qui nous ont permis de mettre au point de nouveaux masques à base de photorésines comme la MAP1240 fournie par Microresit plus stables et résistantes aux plasmas fluorés. D'autre part, nous avons remplacé la gravure RIE avec une gravure ICP qui permet d'avoir des plasmas plus denses en améliorant leur réactivité chimique sur le SiC.

En même temps, nous avons limité le bias appliqué à des valeurs de 50 W/50 V. Des caissons gravés profonds d'1 μm dans le SiC ont été obtenus, ce qui montre une sélectivité remarquable pour des masques de résines d'environ 4 μm . Il faut néanmoins préciser que, par rapport à l'ancien procédé RIE, la vitesse de gravure est 10 à 20 fois inférieure et des pauses intermédiaires ont été effectuées pour éviter l'échauffement, la déformation et le durcissement irréversible de ces masques de résine afin de pouvoir les enlever par voie humide à la fin. La figure II.3.23 présente quelques clichés MEB des caissons obtenus sur lesquels on remarque la verticalité des flancs et l'absence du phénomène de micromasking (voir partie suivante sur la gravure SiC).

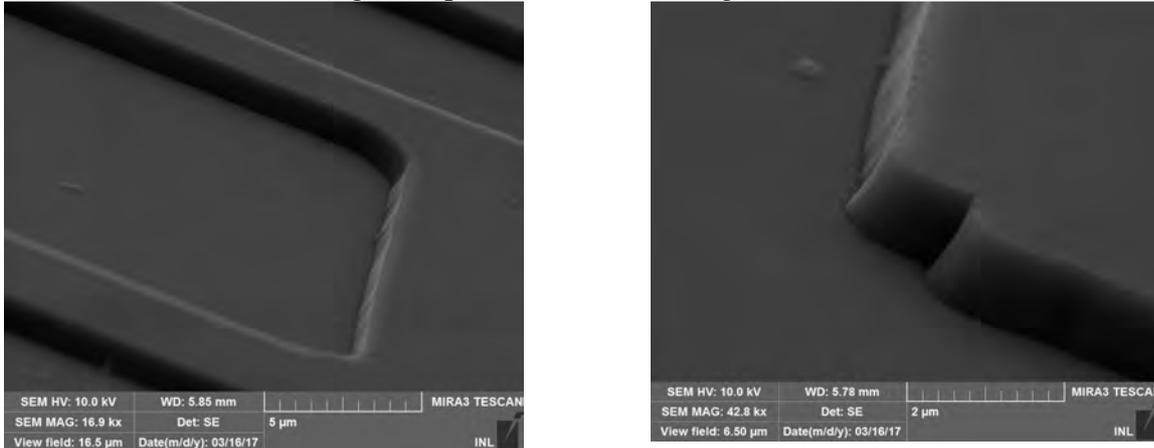


Fig. II.3.23 Images MEB montrant l'aspect des flancs et les surfaces de SiC après gravure ICP

Une attention particulière a été également faite aux étapes de nettoyage chimiques durant tout le procédé technologique. Une couche sacrificielle de silice PECVD a été introduite pour éviter le contact des résines avec le SiC avant gravure ICP. L'enchaînement technologique optimisé est présenté dans la figure II.3.24 extraite de notre publication [RI84].

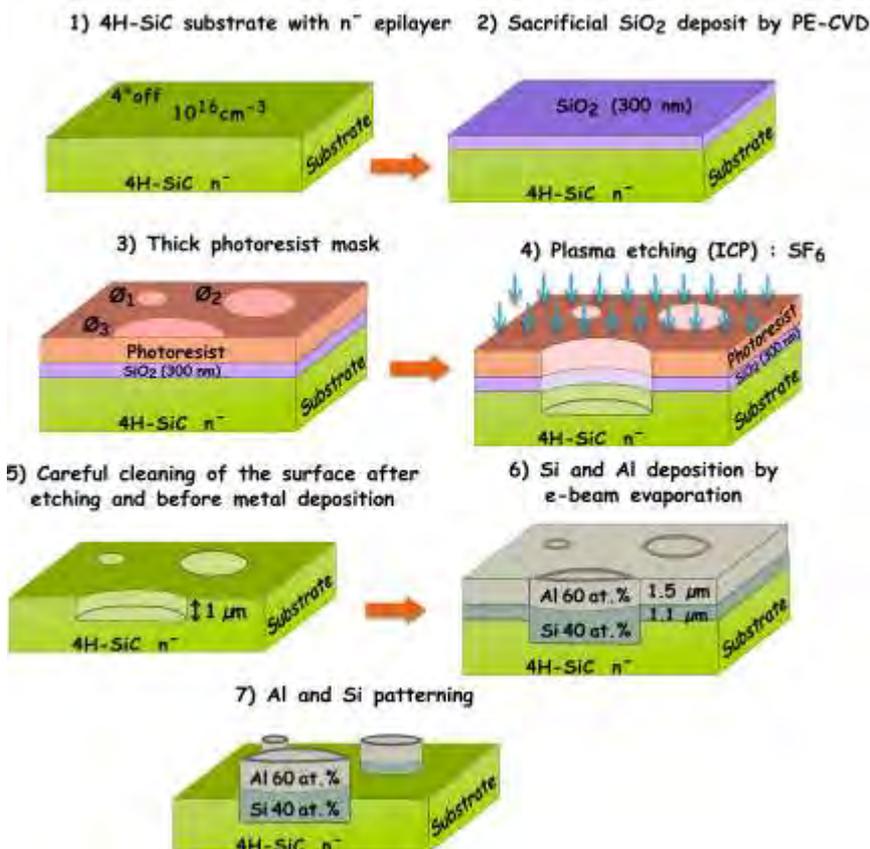


Fig. II.3.24. Enchaînement des étapes technologiques pour la définition des empilements Al/Si avant la croissance VLS [RI84].

En plus de l'optimisation des étapes technologiques précroissance VLS, nous nous sommes également focalisés sur la compréhension et l'optimisation de l'étape de croissance VLS elle-même. Ainsi plusieurs paramètres, comme la nature du gaz porteur, la position du porte-échantillon par rapport à l'inducteur dans le bâti VLS, à quel moment le précurseur carboné est introduit durant la croissance, son débit, la durée et la température du plateau de croissance ont une influence sur la dynamique de croissance et sur la qualité des couches. Leur morphologie structurale, les épaisseurs (le remplissage des puits gravés) et finalement leurs propriétés électriques sont intimement liées.

L'influence de la nature du gaz porteur, argon ou H_2 , peut être observée dans la figure II.3.25 ci-dessous où des clichés de surface MEB et en coupe MET sont présentées [RI79]. Notons que la croissance épitaxiale VLS est une croissance en phase liquide par avancement de marches, et l'état de surface sous H_2 est celui attendu. Par contre, bien que les couches obtenues sous argon soient plus épaisses, elles présentent des défauts structuraux en volume ainsi qu'une surface inhomogène. Nous avons identifié en surface la présence d'inclusions de phases parasites de croissance (comme Al_2O_3 ou Al_4C_3), dissoutes finalement lors du nettoyage chimique post-croissance. La présence résiduelle de l'oxygène dans le réacteur VLS peut expliquer également les défauts structuraux volumiques des couches obtenus sous argon.

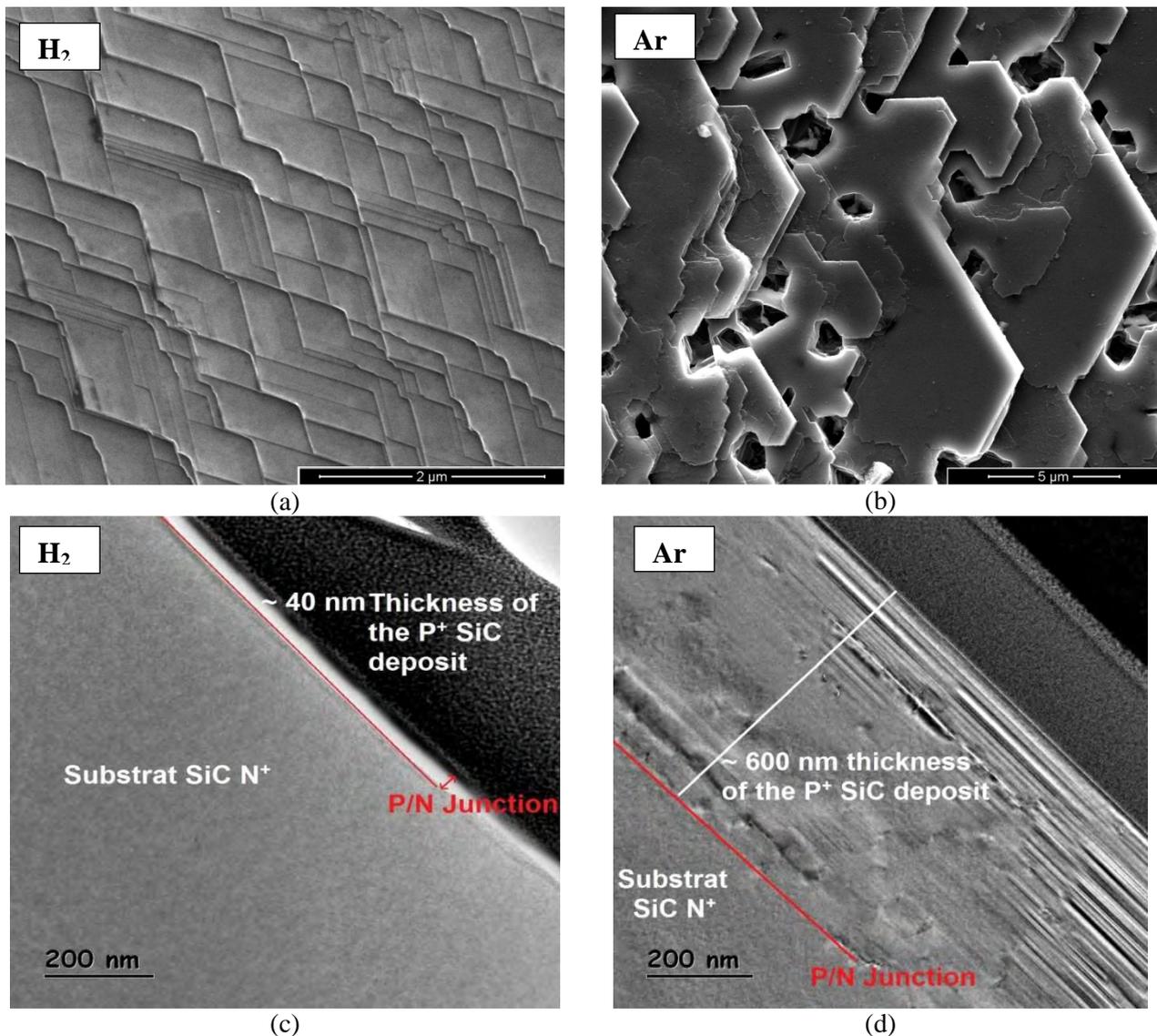


Fig. II.3.25. Clichés MEB (a et b) et MET (c et d) montrant la morphologie de surface et volumique de couches VLS obtenues avec un gaz vecteur H_2 (a et c) ou argon (b et d) [RI79].

La figure II.3.26 présente la configuration VLS retenue, H₂ gaz vecteur et C₃H₈ gaz carboné précurseur, ainsi que l'influence du flux de propane et de la durée de croissance sur les valeurs des épaisseurs des couches obtenues pour une température de croissance de 1100 °C. Pour l'étude sur le flux de propane, la durée a été fixée à 30 min et le flux d'H₂ à 10 slm et, pour l'étude sur la durée de croissance, le flux d'H₂ a été également fixé à 10 slm et celui du C₃H₈ à 1 sccm [RI84].

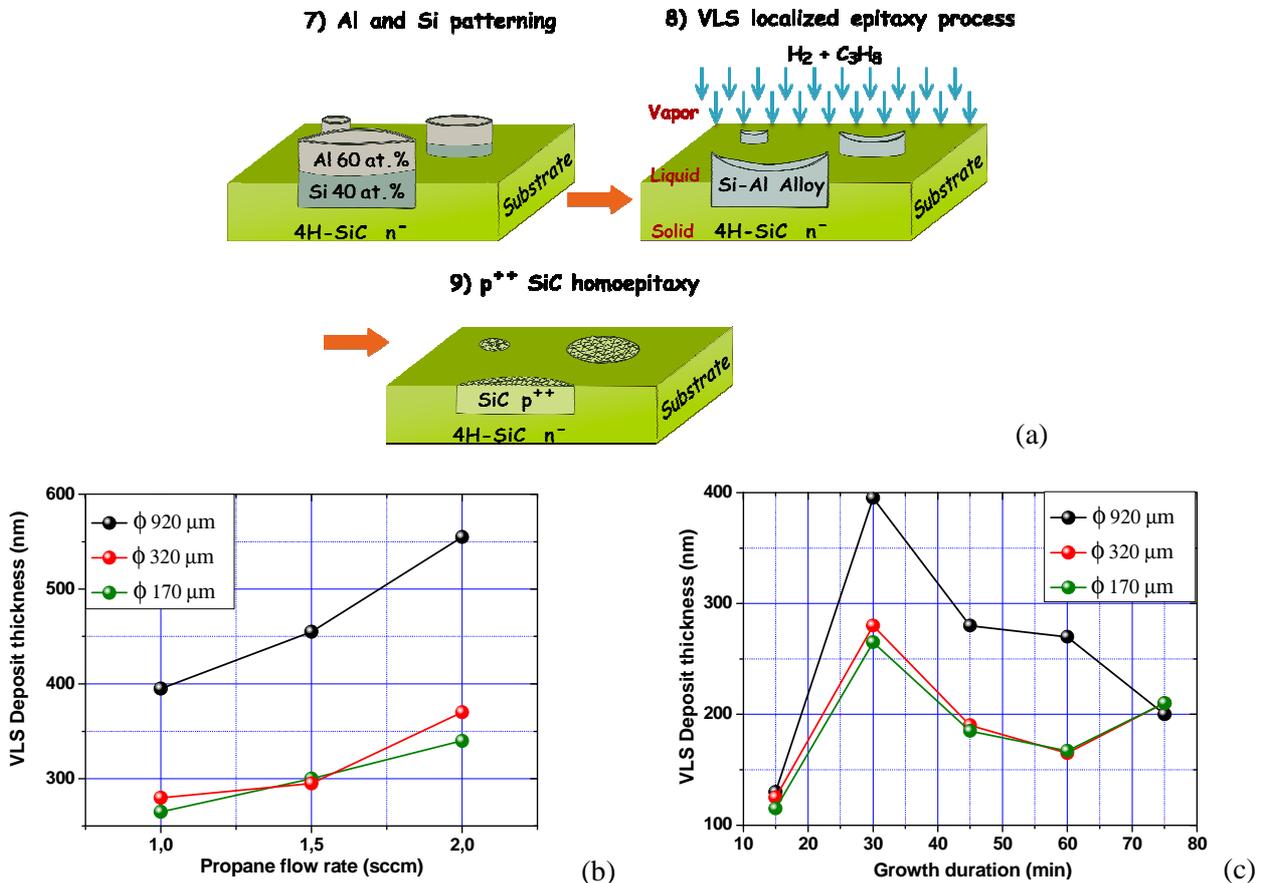


Fig. II.3.26. Représentation schématique de la configuration VLS retenue, H₂- C₃H₈ (a) et variation de l'épaisseur des couches obtenues avec le flux de propane (b) et avec durée de croissance (c). Dans les deux cas, la croissance a eu lieu à 1100 °C [RI84].

Il faut noter néanmoins que les épaisseurs des couches VLS dépendent de la largeur des cuvettes initialement gravées. Une étude approfondie reste à faire pour comprendre la géométrie tridimensionnelle des couches enterrées post-croissance VLS, les différents problèmes de convection du liquide Si-Al formé pendant la croissance autour des puits gravés et l'influence du champ électromagnétique de l'inducteur.

Des diodes verticales PiN ont été fabriquées en utilisant comme émetteur p⁺ les couches VLS réalisées sur des cuvettes de différents diamètres (Fig.II.3.27). Nous avons utilisé des substrats SiC-4H n⁺ avec une couche épitaxiale faiblement dopée n⁻, fabriqués par CREE et fournis par la société STM Tours avec des spécifications correspondant à leur gamme de tenue en tension 600 V. Un contact ohmique a été formé en face arrière (nickel, recuit RTA 900 °C) et sur la face avant, les contacts sur les couches VLS p⁺ sont des simples couches d'aluminium d'environ 800 nm déposées par PVD et sans recuit. Afin de se focaliser sur l'étude des couches VLS, nous avons délibérément évité le recuit de contact face avant et nous avons utilisé un métal simple d'utilisation en technologie, facile à graver et à enlever par voie humide.

Le tableau II.3.3 présente les paramètres de croissance VLS pour deux lots de diodes dont nous présentons les caractéristiques électriques ci-dessous. Ces mesures ont été réalisées sous-pointes avec une station Signatone S-1160 et une SMU Keithley 2410 du laboratoire.

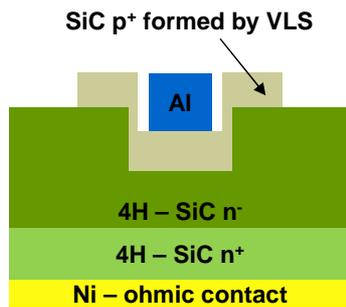


Fig. II.3.27. Structure d'une diode verticale VLS

Tableau II.3.3 : Paramètres de croissance VLS pour deux lots de diodes dont nous présentons les caractéristiques électriques

Lot	Pn2			Gn4		
Dépôt	1,65µm (40%) Si e-beam 2,25 µm (60%) Al pulvé			1,1µm (50%) Si CVD 915 nm (50%) Al pulvé		
Croissance	1100°C, 30min, H ₂ 10slm, C ₃ H ₈ 1sccm			1150°C, 30min, H ₂ 10slm, C ₃ H ₈ 3sccm		
Epaisseurs finales	Ø 920 695nm	Ø 320 440nm	Ø 170 280nm	Ø 920 550nm	Ø 320 350nm	Ø 170 305nm

Les caractéristiques J-V en direct des diodes des deux lots sont présentées dans la figure II.3.28. Lors des mesures en direct, systématiquement nous avons observé le phénomène d'électroluminescence montrant une conduction bipolaire.

On remarque que, pour les deux lots, les densités de courant sont indépendantes de la largeur des diodes ce qui dénote l'homogénéité structurale de la croissance VLS optimisée. De plus, de très fortes densités de courant de plusieurs kA/cm² sont obtenues surtout pour le deuxième lot dont la température de croissance est légèrement supérieure, grâce au fort dopage aluminium présent dans ces couches VLS comme les mesures SIMS l'ont montré. Pour les diodes les plus larges, le courant en direct est limité par le calibre de la SMU 2410 qui mesure un courant maximal de 1 A.

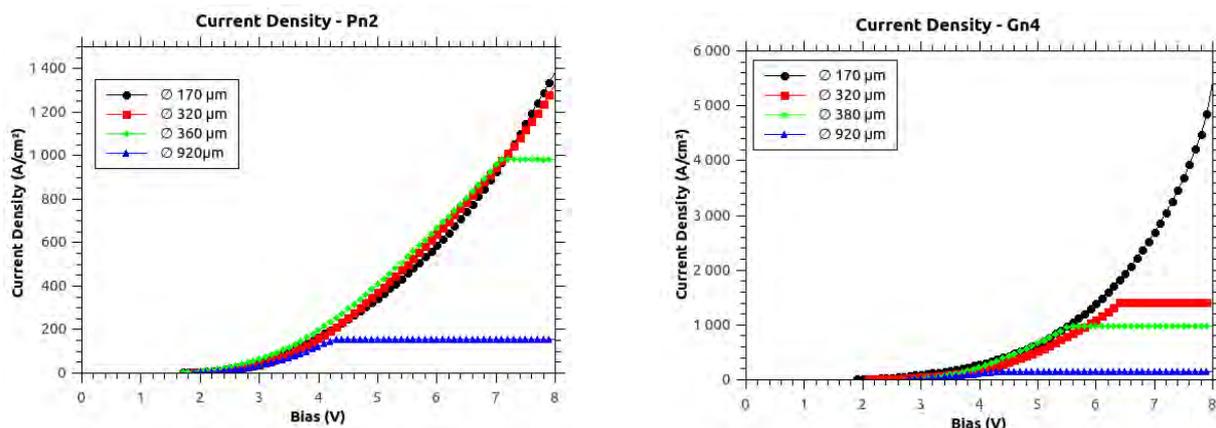


Fig. II.2.28. Caractéristiques J-V en direct de deux lots de diodes verticales VLS

Ci-dessous est reprise une discussion interne que nous avons eue avec Christian Brylinski. En regardant les fortes densités de courant que nous obtenons, jusqu'à 3 kA/cm² à 7 V pour le lot Gn4, on peut estimer la résistance dynamique à $\sim 1 \text{ m}^- \cdot \text{cm}^2$, une valeur qui est très proche de la résistance surfacique de la couche épitaxiale dopée n⁻ à température ambiante. Les substrats avec ces couches nous ont été fournis par STM Tours et correspondent à des lots de composants 600 V. Les paramètres épaisseur et dopage de ces couches sont 6 µm et 10¹⁶ cm⁻³ (la mobilité à RT est $\sim 400 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$). Mais avec ces fortes densités de courant lors du test en direct des composants, la température est très loin de celle de l'ambiante. A 7 V et 3 kA/cm², nous avons une densité de puissance de $\sim 20 \text{ kW/cm}^2$. Il est extrêmement difficile de bien évacuer cette densité de puissance. On sait bien refroidir un composant d'une manière classique jusqu'à 100 W/cm² et avec une ingénierie assez complexe à 1 kW/cm². Ainsi à 20 kW/cm², nous nous situons encore un ordre de grandeur au-dessus et nos échantillons tout simplement posés sur un "chuck" lors du test en direct doivent avoir eu une température de jonction supérieure à des centaines de °C voire plus. A ces températures, bien que l'ionisation des dopants augmente, nous avons certainement une diminution de la mobilité d'un facteur ~ 10 . Ainsi, la faible résistance dynamique $\sim 1 \text{ m}^- \cdot \text{cm}^2$ que nous obtenons correspond en fait à une modulation de la densité de porteurs et de résistivité par la forte

injection bipolaire des deux types de porteurs dans la couche faiblement dopée n⁻. On peut considérer que cette modulation nous permet de réduire la résistivité d'un facteur 5 à 10.

Ceci ouvre la perspective d'utiliser ces structures pour des composants de puissance à fort calibre de courant. Pour aider l'évacuation des calories, on peut imaginer une structuration latérale 2D en nid d'abeille de la surface des couches VLS qui pourrait s'avérer bénéfique sur les problèmes de mouillage et homogénéité des épaisseurs de croissance que nous avons mentionnés. Notons également que sur des études précédentes [RI66] nous avons montré qu'en utilisant des couches VLS on peut également réduire fortement les résistances spécifiques des contacts jusqu'à $\sim 10^{-6} \text{ cm}^2$, ce qui est remarquable pour des contacts ohmiques réalisés sur SiC type p.

Ces diodes ont été également testées en inverse, la tenue en tension que nous obtenons se situant autour de 400 V (fig. II.3.29) ce qui est assez proche du résultat escompté en mentionnant l'absence des couches de passivation et de protection périphérique de jonction (JTE, anneaux de garde, mesa...). Pour des faibles polarisations de ces diodes, inférieures à 10 V, le courant est de l'ordre de 0,1 nA pour augmenter ensuite progressivement jusqu'à $\sim 1 \mu\text{A}$ à 400 V. Le diamètre des diodes était de $\sim 320 \mu\text{m}$ qui correspond à une surface de $\sim 0,1 \text{ mm}^2$.

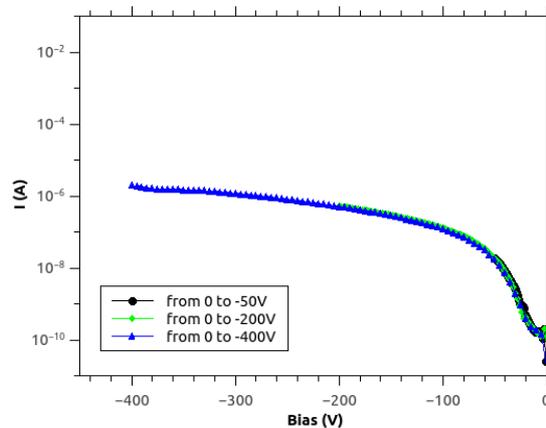


Fig. II.3.29 Caractéristiques I-V en inverse typique et tenue en tension des diodes verticales VLS

II.3.1.2.1 Conclusion sur le dopage type p par VLS

Avec les résultats qu'on vient de montrer, on peut certifier aujourd'hui que la croissance VLS représente une alternative réelle à l'implantation ionique pour le dopage localisé de type p dans le SiC. Nous sommes arrivés à ces résultats suite à des recherches intenses ces 20 dernières années au laboratoire LMI. Ces dernières années, à travers plusieurs projets, le laboratoire AMPERE et moi-même, avons été cooptés pour insérer cette technique de croissance comme étape technologique de dopage dans les composants SiC.

On pourra davantage améliorer cette technique, par exemple en éliminant complètement le "trenching" (voir paragraphe suivant sur la gravure) aux pieds des flancs gravés de la Fig. II.3.23, en utilisant des nouveaux masques qui permettront une dynamique plus élevée de la gravure plasma, et un nettoyage plus poussé de ces surfaces gravées avec des oxydations thermiques sacrificielles pour consommer les profondeurs contaminées par la gravure plasma.

L'utilisation d'un nouveau bâti de croissance, basé sur un système de chauffage résistif (comme l'équipement Zenith 100 commercialisé en ce moment par Annealsys), permettra de s'affranchir de l'influence du champ électromagnétique sur les épaisseurs des couches créées en homogénéisant leurs hauteurs qui sont dépendantes aujourd'hui de la largeur des puits gravés.

Néanmoins, cette technique VLS est prête pour être utilisée dans les composants SiC pour surdoper les zones de prises de contacts ohmiques sur les couches de type p. La qualité de jonction p⁺/n que nous avons obtenue dernièrement permet d'envisager l'insertion de cette technique dans des structures de composants plus complexes, classiques (comme les JFET montrés au §II.4) ou nouvelles que nous ne pouvons pas envisager par implantation ionique.

II.3.2. La gravure des matériaux à grand gap

La gravure est une étape nécessaire et critique dans la technologie grand-gap pour la définition de la structure des composants de puissance : protection périphérique mesa, prise de contact sur une couche enterrée, rafraîchissement de surface... En général, le caractère fortement anisotrope de la gravure est recherché pour obtenir des flancs de gravure profonds (quelques μm à quelques dizaines de μm) et verticaux.

L'inertie chimique de ces matériaux empêche leur gravure par voie humide classique, ce qui impose l'utilisation de la gravure sèche de type plasma avec des bâtis comme RIE (Reactive Ion Etching), ECR (Electron Cyclotron Resonance), ICP (Inductively Coupled Plasma) ou IBE (Ion Beam Etching). En général, dans le cas du SiC, on utilise des gaz fluorés (SF_6 , CF_4 , CHF_3 ou NF_3), éventuellement mélangés avec de l'oxygène ou de l'argon, tandis que, pour le diamant, on emploie des chimies O_2 ou Ar/O_2 . Pour le GaN, on peut utiliser des chimies Ar/Cl_2 ou $\text{Ar}/\text{CH}_4/\text{H}_2$ pour des profondeurs limitées à $\sim 1\mu\text{m}$. Pour des gravures plus profondes, à cause de la forte concentration de défauts structuraux (nano-pipes, dislocations) et de leur révélation lors de la gravure, il faut utiliser plutôt des méthodes physiques non sélectives chimiquement comme une IBE argon.

II.3.2.1 Gravure sèche du SiC

Au laboratoire AMPERE, nous avons consacré un effort considérable ces dernières années pour l'étude de la gravure plasma du SiC. Ces études ont été focalisées sur la réalisation de protections périphériques de type mesa (Fig. II.3.30) des composants de puissance et sur la reprise de contacts sur des couches enterrées présentes dans des structures verticales et latérales.

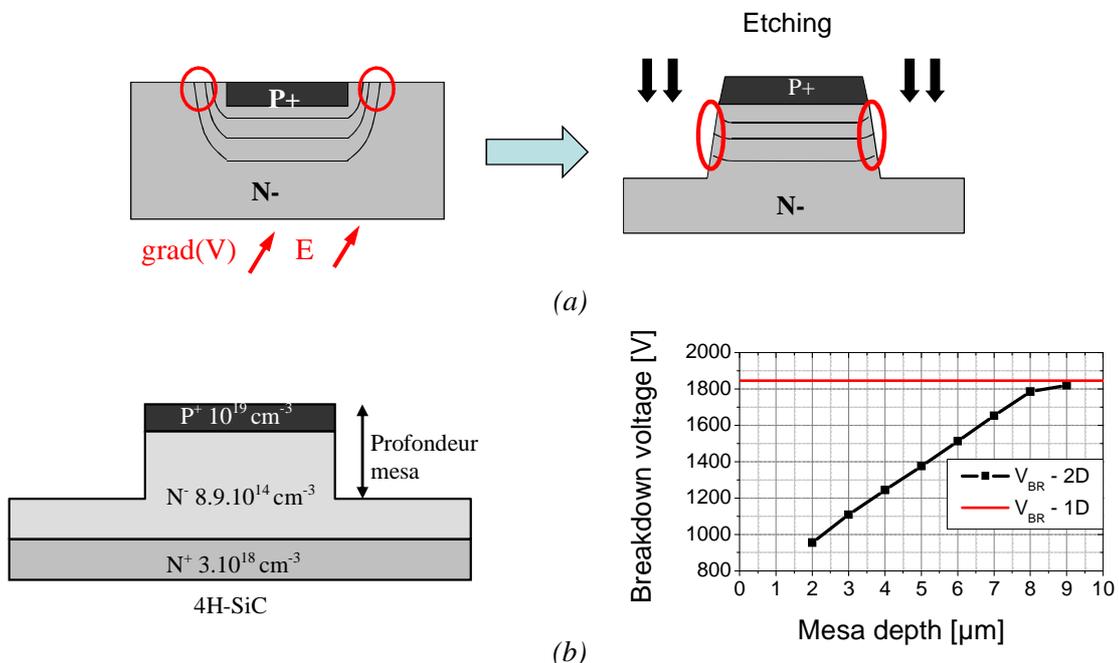


Fig. II.3.30 Protection périphérique mesa d'un composant de puissance vertical. Retrait par gravure des zones à fort champ ou resserrement des équipotentielles (a). Tenue en tension en fonction de la profondeur de gravure pour une diode SiC, résultats obtenus avec le simulateur par éléments finis MEDICI (b) [CN6].

Ces études sur la gravure du SiC nous ont permis de comprendre les différents phénomènes physiques et chimiques durant cette étape technologique, ce qui nous amène aujourd'hui à être capables de fournir des recettes de procédés technologiques en fonction de la structure du

composant cherché. Pour ces travaux, nous avons utilisé des échantillons SiC-4H commercialisés par SiCrystal et CREE, des substrats avec ou sans couches épitaxiales CVD et plusieurs bâtis disponibles sur la plateforme Nanolyon: 3 bâtis RIE (Nextral NE110, Oxford NGP80, Corial 200S) ainsi qu'un bâti ICP ETREM (Fig.II.3.31)

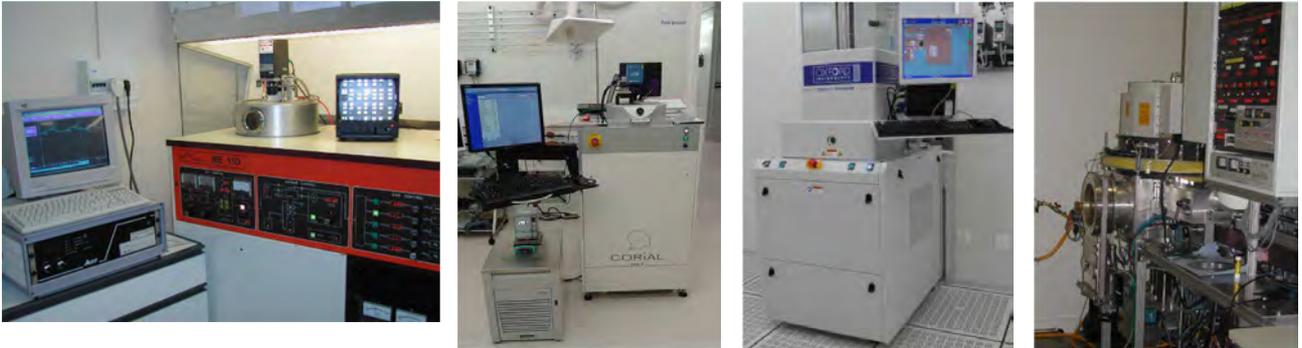


Fig. II.3.31 Bâtis de gravure plasma utilisés sur la plateforme Nanolyon, de gauche à droite: RIE Nextral NEE110, Corial 200S, Oxford NGP80 et l'ICP ETREM.

Deux chimies plasma SF₆ et SF₆/O₂ ont été appliquées sur les échantillons SiC en fonction de la nature des masques utilisés pour sélectionner les surfaces gravées. Les différents résultats de ces études ont été détaillés dans plusieurs publications [RI25, RI35, RI37, CN6, CN16]. Ci-dessous, nous présentons une synthèse des points essentiels.

Ces études ont démarré et ont été menées en grande partie dans un bâti RIE 13,56 MHz Nextral NE110 avec un diamètre de la cathode de 4 pouces et limité à une puissance maximale de 300 W. Afin de rendre le procédé reproductible, une attention particulière a été conduite sur :

- le nettoyage et la passivation du réacteur avant chaque procédé de gravure,
- la diminution à une valeur minimale de la puissance réfléchie dans le réacteur en utilisant la boîte d'accord en modes manuel et automatique,
- l'isolation physique (mais pas électrique) des échantillons en SiC de la cathode en quartz pour éviter le "micromasking", en couvrant la cathode avec un wafer de Si avant de poser nos échantillons SiC. La Figure II.3.32 présente une présentation schématique de la cathode du bâti RIE, recouverte d'un wafer de Si [CN6].

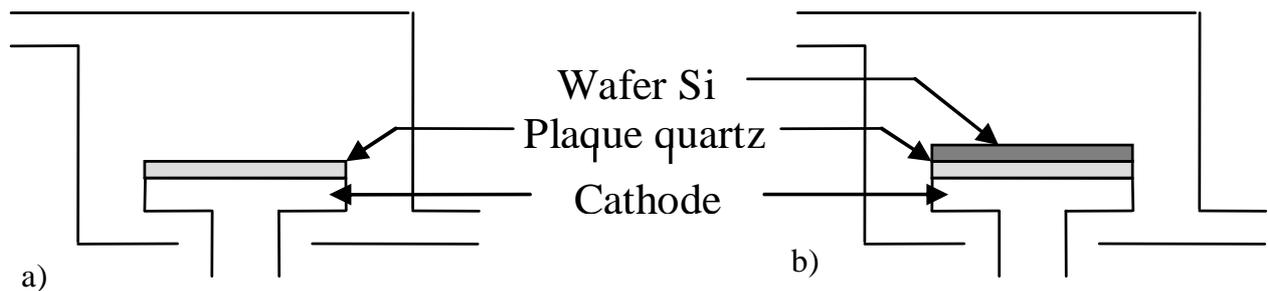


Fig. II.3.32 Configuration du réacteur RIE avec une cathode en quartz (a) et recouverte d'un wafer de silicium (b) [CN6]

Cinétique de gravure

Avec une chimie SF_6/O_2 , nous avons commencé par varier les différents paramètres, comme la puissance du générateur de 100 à 250 W, ce qui correspond à une tension d'autopolarisation de 110 à 285 V. La pression a été variée de 10 à 100 mTorr, la durée du procédé entre 5 et 30 min et les débits totaux des gaz entre 16 et 64 sccm. Nous avons choisi un taux de 20 % pour l' O_2 , cette valeur étant publiée comme optimale avec une cinétique maximale de gravure [Xia'06, Yih'97].

Les mesures de profondeurs de gravure ainsi que les épaisseurs des masques sont obtenues par profilométrie (Tencor Alpha-Step ou Dektak Bruker/Veeco). Des mesures comparatives de rugosité des surfaces gravées par rapport aux surfaces masquées non-gravées sont effectuées en utilisant un microscope à force atomique (AFM). L'analyse de la morphologie des flancs et fonds de gravure est réalisée par microscopie électronique à balayage (MEB).

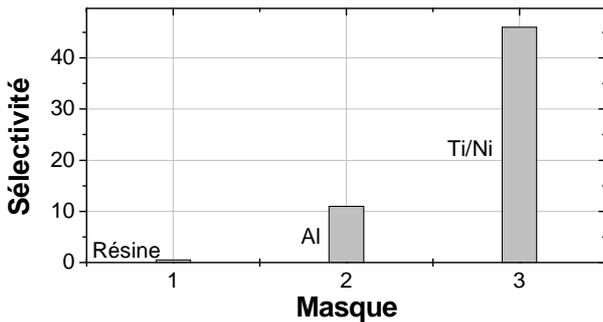


Fig. II.3.33 Sélectivité du nickel comme masque de gravure du SiC par rapport à l'aluminium et d'autres couches de résines utilisées couramment sur la plateforme [CN6].

Dans un premier temps, étant focalisés sur des gravures profondes en SiC, nous avons cherché à utiliser des masques avec une bonne sélectivité par rapport au SiC. Par sélectivité, on entend le taux entre la vitesse de gravure du SiC et celle du masque. Ainsi, au préalable, nous avons montré la haute sélectivité du nickel comparée à l'aluminium ou des couches de résines utilisées couramment sur la plateforme (AZ5214E, SJR5440 et TI35ES fournies par Microchemicals GmbH). La figure II.3.33 présente les sélectivités obtenues avec ces couches.

Dans le cas du nickel, quelques centaines de nm ont été déposées par évaporation avec une fine couche d'accroche de titane sur SiC. Des plots ont été définis par un procédé de lift-off en utilisant des résines réversibles à flancs rentrants [RI35]. Avec une sélectivité approchant les valeurs de 50, ces quelques centaines de nm de nickel sont suffisantes pour graver plusieurs dizaines de μm dans le SiC.

Ensuite, dans un deuxième temps, nous avons étudié l'influence des paramètres du plasma sur la cinétique de gravure.

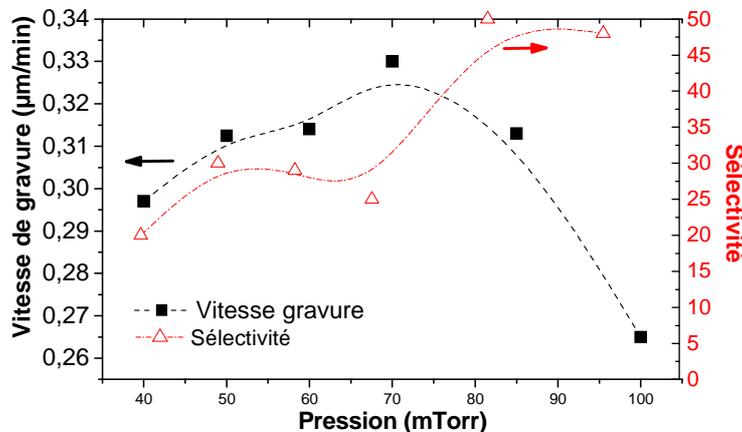


Fig. II.3.34 Influence de la pression de travail sur la cinétique de gravure et sur la sélectivité du masque nickel avec un plasma SF_6/O_2 (25sccm/6,7sccm) à une puissance de 250 W [CN6].

La figure II.3.34 montre l'influence de la pression de travail, d'une part sur la vitesse de gravure et d'autre part sur la sélectivité du masque en nickel. La sélectivité, d'une manière générale,

a tendance à augmenter avec la pression tandis que pour la vitesse de gravure on obtient une courbe en cloche dissymétrique. Ces résultats sont en concordance avec l'augmentation de la composante chimique de l'attaque plasma avec la pression. L'importance de la composante chimique sera également mise en évidence par les profils de flancs de gravure que nous présentons ci-dessous. Néanmoins, si cette composante chimique était essentielle pour augmenter la sélectivité du masque nickel, nous notons cependant la chute brutale de la vitesse de gravure au-delà de 70 mTorr. Le libre parcours-moyen des ions devient insuffisant pour avoir des ions suffisamment énergétiques pour continuer à briser les fortes liaisons interatomiques Si-C, d'où l'importance de garder une dose de composante physique dans cette attaque plasma RIE en limitant la pression à 60-70 mTorr.

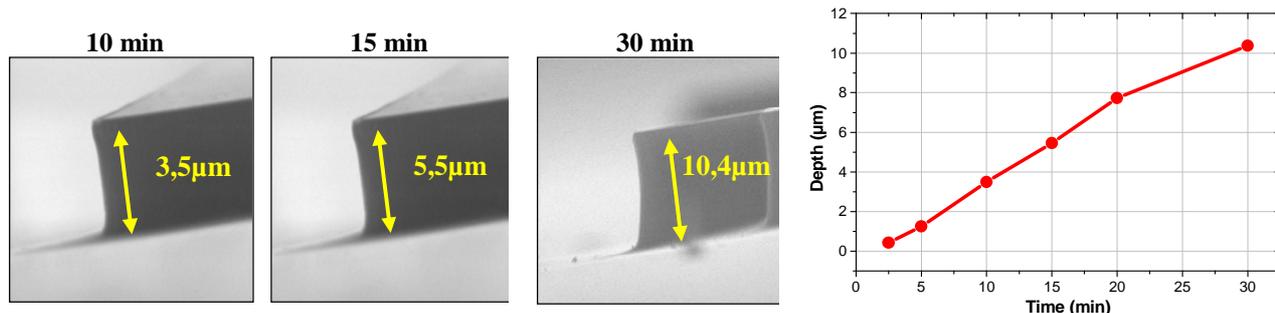


Fig. II.3.35 Trois clichés MEB montrant des flancs SiC obtenus après 10, 15 et 30 min de gravure RIE SF_6/O_2 (25sccm/6,7sccm) à 250W et 60mTorr. A droite: courbe expérimentale profondeur vs temps gravure [RI25].

Une maîtrise de la cinétique de la gravure est obtenue avec une variation linéaire de la profondeur en fonction du temps (Fig. II.3.35). La vitesse de gravure pour une RIE 250 W/60 mTorr est de 0,32-0,33 $\mu\text{m}/\text{min}$, ce qui nous a permis d'obtenir des tranchées mesa supérieures à 10 μm comme le montrent les clichés MEB ci-dessus.

La rugosité du fond de gravure augmente légèrement au cours du procédé, mais reste dans le même ordre de grandeur que les valeurs initiales des échantillons vierges (Fig.II.3.36 et Tableau II.3.4).

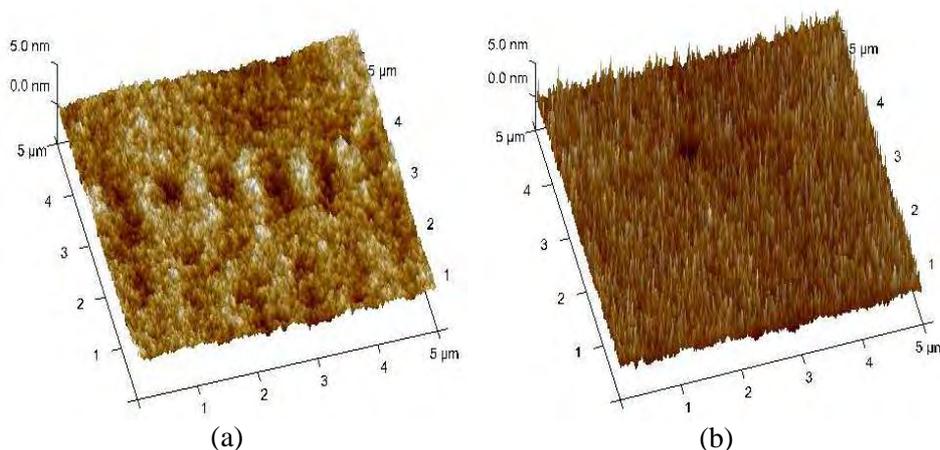


Fig. II.3.36. Micrographies AFM qui présentent l'état de surface du SiC après une gravure RIE 250 W/60 mTorr de 10 min (a) et 20 min (b) [RI25]

Tableau II.3.4 : Variation de la rugosité de surface avec le temps de gravure. Les mesures ont été obtenues par microscopie AFM sur une surface de $1 \times 1 \mu\text{m}^2$ [RI25].

Temps (min)	Profondeur de gravure (μm)	Rugosité RMS (nm)
0	0	0,19 - 0,23
10	3,2	0,31 - 0,35
20	6,5	0,30 - 0,83

Phénomène de "trenching"

La figure II.3.36 présente des micrographies d'analyses MEB sur des flancs de SiC obtenus après une gravure à 100 W. On remarque que la surface gravée est lisse, présentant une bonne rugosité, proche de celle initiale et on remarque l'absence des zones "micromasking", due à la volatilité des produits de réaction qui ont pu être évacués par le système de pompage (nous revenons sur ce phénomène ci-après). Cependant, nous obtenons systématiquement dans ce cas une surgravure au pied des flancs, connue sous le nom de phénomène de "trenching". Le "trenching" doit être évité, puisque dans ces endroits nous assistons à un resserrement des équipotentiels et à un renforcement du champ électrique dans les composants de puissance sous polarisation inverse.

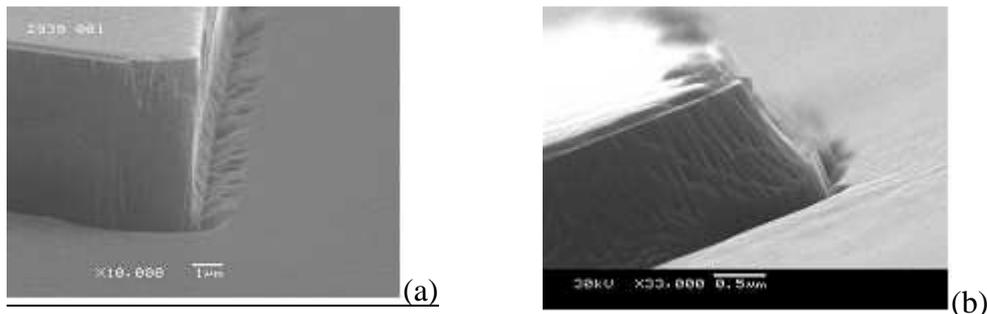


Fig. II.3.37. Micrographies MEB sur des échantillons SiC-4H gravés avec un plasma 25 sccm SF_6 et 6,7 sccm O_2 à (a) 100 W, 30 mTorr, 30 min et (b) 100 W, 60 mTorr, 10 min.

Ce phénomène, dans notre cas, ne disparaît pas en faisant varier la pression comme proposée dans la littérature [Vyov'98, Burt'98] en jouant ainsi sur le taux entre les flux des espèces ionisées et neutres. Au contraire, nous obtenons un "facetage" des flancs, déchetés par une diminution du pouvoir de sélectivité du masque de nickel. En revanche, nous avons éliminé le phénomène de "trenching" en augmentant la puissance du plasma RF. Dans la figure II.3.38, des micrographies MEB sont présentées pour des gravures RIE à 250 W. Des flancs verticaux sont obtenus avec une profondeur de $\sim 3 \mu m$ et $\sim 6 \mu m$ après 10 min et respectivement 20 min de gravure sèche.

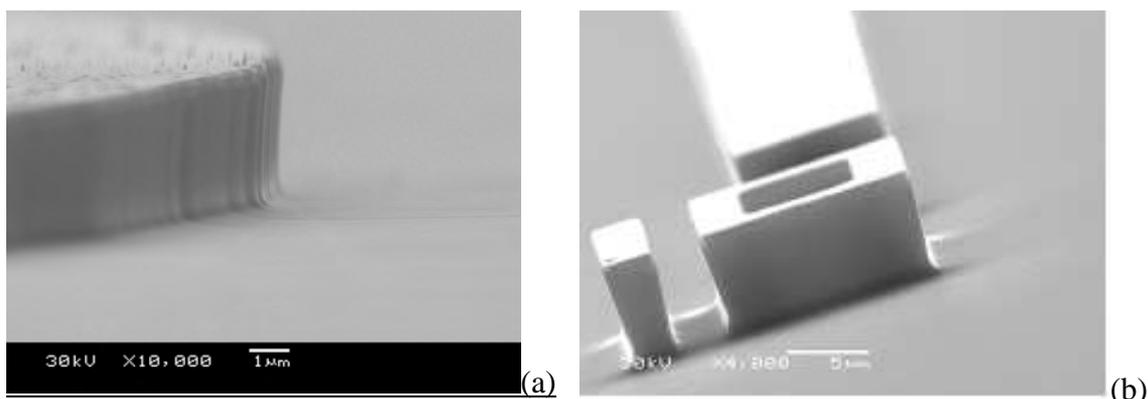


Fig. II.3.38 : Micrographies MEB sur des échantillons SiC-4H gravés avec un plasma 25 sccm SF_6 et 6,7 sccm O_2 à (a) 250 W, 60 mTorr, 10 min et (b) 250 W, 60 mTorr, 20 min.

Ces résultats sont un peu en contradiction avec ceux publiés par [Flem'00] où une faible polarisation (bias) est appliquée sur le substrat afin de limiter le phénomène de trenching et obtenir une transition douce au pied de flanc de gravure. Notons néanmoins que dans [Flem'00] la surface gravée est texturée, les flancs obtenus sont déchetés et qu'un réacteur ECR est utilisé avec une configuration très différente de la nôtre. Dans notre cas, nous obtenons une surface bien lisse et le "facetage" des flancs présent à 100 W cesse d'être présent à 250 W. Eliminer le trenching en augmentant le bias a été également reporté par [Vyov'98] pour des gravures du silicium avec un

plasma chloré dans un réacteur ICP. On remarque que, dans le cas d'un réacteur ICP, il est plus aisé de contrôler la polarisation du substrat. L'utilisation de deux générateurs permet de décorrélérer la génération du plasma du bias appliqué sur le substrat.

Revenons à la figure II.3.38b qui présente une image plus globale, par rapport à celle montrée à sa gauche, de motifs gravés en utilisant le bâti RIE à 250 W/60 mTorr. Nous obtenons une transition douce au pied du flanc de gravure avec une géométrie rentrante dans leur partie basse qui réduit la largeur des parois. Ce phénomène connu sous le nom de "bowing" est expliqué par plusieurs auteurs [Rang'95, Gero'91, Burt'98] par la déflexion des ions incidents combinée à la formation et la désorption d'une couche de passivation inhomogène sur les parois des flancs. Cette couche de passivation est identifiée comme la silice formée par la présence de l'O₂ dans le plasma fluoré utilisé pour graver le silicium ou le SiC. La dispersion angulaire des ions incidents lors des collisions dans la gaine du plasma [Rang'95] ou par les charges formées sur les flancs [Ingr'90] augmente le transport de ces produits de réactions vers les bas des flancs en produisant une désorption locale des couches de passivation.

Avant de clôturer cette partie, nous tenons préciser que l'état initial de la surface du SiC avant gravure a aussi un impact sur l'apparition du trenching. La figure II.3.39 présente deux exemples. Le premier est celui d'une surface initialement implantée pour former un émetteur d'un composant bipolaire vertical autour duquel nous avons formé une périphérie mesa par RIE. Le deuxième exemple est celui d'une gravure ICP d'une surface qui a déjà subi partiellement une étape de gravure. Dans le cas de la surface implantée, le trenching est systématiquement présent au pied du flanc et nous observons également que la surface gravée présente un aspect ondulé, "peau d'orange". Ceci est dû certainement au changement de densité et gonflement ("swelling" en anglais) provoqués par l'implantation ionique à forte dose [Lull'01]. Dans le cas du deuxième exemple, le trenching est présent uniquement au niveau de la surface déjà gravée lors d'une étape technologique précédente. On remarque également la révélation des défauts par la gravure ICP uniquement sur les surfaces précédemment touchées.

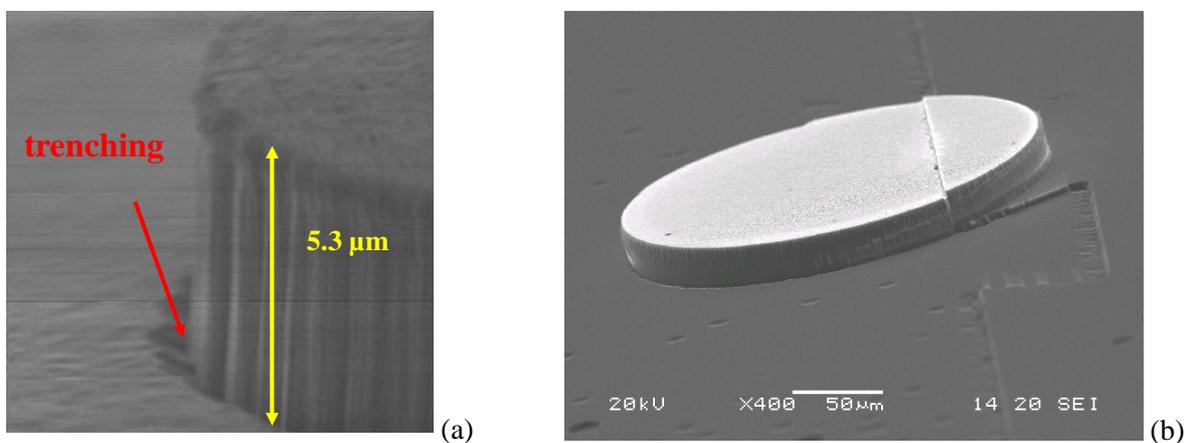


Fig. II.3.39 : Impact de l'état de surface initial sur la formation du trenching: gravure RIE d'une surface implantée (a), gravure ICP d'une surface qui a déjà subi partiellement une autre étape de gravure.

Phénomène de "micromasking" et nature des masques

Lors de nos travaux sur l'intégration des composants latéraux sur la même puce (projets ANR JFET-SB et COTHT voir §II.4), nous nous sommes confrontés à un autre problème différent de ceux observés lors de la fabrication des structures mesas. La densité des composants et la nécessité d'obtenir des puits gravés, avec une prise de contact sur la surface gravée, nous ont demandé la maîtrise d'un autre phénomène qui est celui du "micromasking".

Pour diminuer les risques de claquage prématuré et l'augmentation des courants de fuite dans les composants, les surfaces gravées doivent être aussi lisses que possible en évitant le phénomène de micromasking dû au redépôt de particules pendant le procédé, comme dans les exemples présentés en figure II.3.40. Dans le premier cas, le micromasking est produit par le dépôt de particules au voisinage d'un plot formé par gravure RIE tandis que, dans le deuxième cas, ce phénomène se produit sur toute la surface d'un échantillon gravé dans un bâti avec une cathode en aluminium.

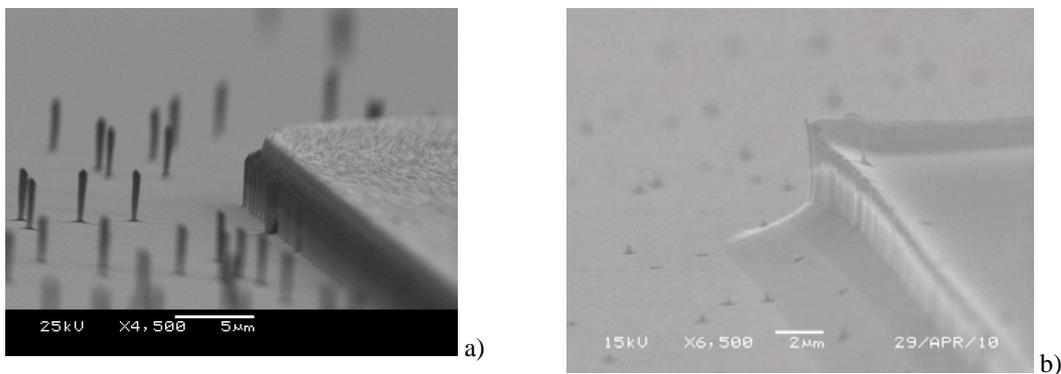


Fig. II.3.40 Exemples de micromasking produit par le dépôt de particules en provenance du masque à proximité du flanc gravé (a) ou de la cathode en aluminium (b) [RI37].

Dans le cas où ce phénomène de micromasking apparaît à proximité des zones masquées, dû au dépôt de particules en provenance des masques ou à leur simple présence, nous avons observé que, surtout dans le cas des masques nickel, il est possible de limiter ce phénomène :

- en utilisant des échantillons de plus petite taille en morcelant les wafers, une solution incommode qui augmente sensiblement le temps de fabrication d'un lot par la multiplication du nombre d'étapes,
- en utilisant un design ouvert pour les masques (fig. II.3.41) afin de faciliter l'évacuation des produits des réactions physico-chimiques lors du procédé de gravure.

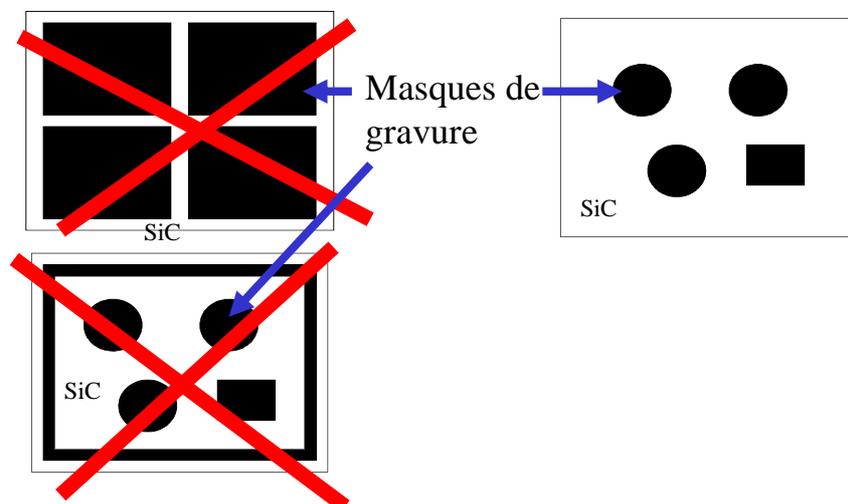


Fig. II.3.41 Design des masques pour éviter le phénomène de micromasking [CN6]

Ce résultat a eu des conséquences sur le design des structures qui nécessitent des gravures très profondes. Concernant les composants discrets, l'impact a été moins important, sauf pour leur coût, un nombre plus réduit de composants suffisamment espacés pouvant être placés sur un wafer. Par contre, pour fabriquer les structures intégrées comme celles présentées au §II.4, nous avons dû comprendre et maîtriser davantage ce phénomène de "micromasking" avec des analyses et études complémentaires qui sont exposées ci-après.

Le tableau ci-dessous nous donne une image de la volatilité des espèces susceptibles d'être produites durant le procédé de gravure du SiC avec des plasmas SF₆/O₂ en utilisant des masques aluminium ou nickel. Ainsi, on observe qu'il est préférable d'utiliser des masques en nickel par rapport à l'aluminium, les produits de réactions étant plus volatiles. En plus, les espèces CF₄ et SiF₄ présentent des températures de fusion et ébullition négatives, ce qui souligne l'intérêt des plasmas fluorés pour la gravure du SiC.

Tableau II.3.5 Température de fusion et d'ébullition des espèces produites lors d'une gravure plasma SF₆/O₂ sur le SiC en utilisant des masques nickel ou aluminium

Element	Reac. Prod.	Melting Temp. (°C)	Boiling Temp (°C)
Al	AlF ₃	1297	
	Al ₂ O ₃	2072	2977
Ni	NiF ₂	1370	1750
	NiSO ₄	100	840
C	CF ₄	-183,6	-127,8
Si	SiF ₄	-95,2	-86,8

En partant de la volatilité des espèces et nos résultats expérimentaux, nous avons trouvé des corrélations qui nous ont permis d'établir que :

- des masques en carbone et silicium peuvent être utilisés pour nos procédés de gravure avec des motifs très serrés (Fig. II.3.42a et b). Dans ce cas, la profondeur de gravure du SiC est limitée par la consommation des masques qui sont à faible sélectivité,
- l'utilisation des masques en nickel permet d'obtenir des gravures très profondes (Fig. II.3.42c), mais les motifs doivent être espacés afin d'améliorer la volatilité et l'évacuation des espèces.

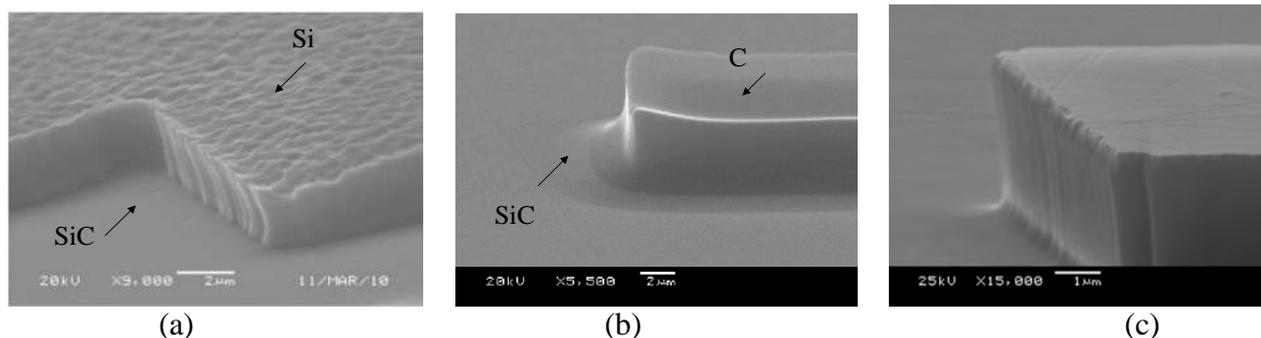


Fig. II.3.42. Surfaces de SiC-4H gravées en utilisant des masques en silicium (a), carbone (b) et nickel (c). Dans le cas du silicium et carbone, les masques sont encore présents en haut des flancs SiC gravés [RI37].

Sur la base de ces résultats, détaillés également dans l'article [RI37], un choix judicieux des masques de gravure nous a permis d'obtenir des procédés de gravures encore plus profondes et avec une géométrie très serrée. Partant des masques en nickel, qui grâce à leur bonne sélectivité, permettent d'obtenir des profondeurs de gravure importantes, nous avons ajouté par-dessus une couche de Si d'une centaine de nm. Cette couche est déposée par évaporation e-beam durant la même étape de formation des plots Ti/Ni par lift-off (on rappelle que la couche de titane de quelques nm sert uniquement d'accroche entre le nickel et le SiC). Malgré sa consommation rapide, cette couche superficielle de silicium permet d'améliorer la volatilité des espèces durant tout le

procédé de gravure au-delà de sa consommation. La figure II.3.43 présente quelques clichés MEB des flancs et de l'état des surfaces gravées obtenus avec ces masques. Les observations ont été effectuées avant le retrait de ces masques par voie humide (mélange HF/HNO₃).

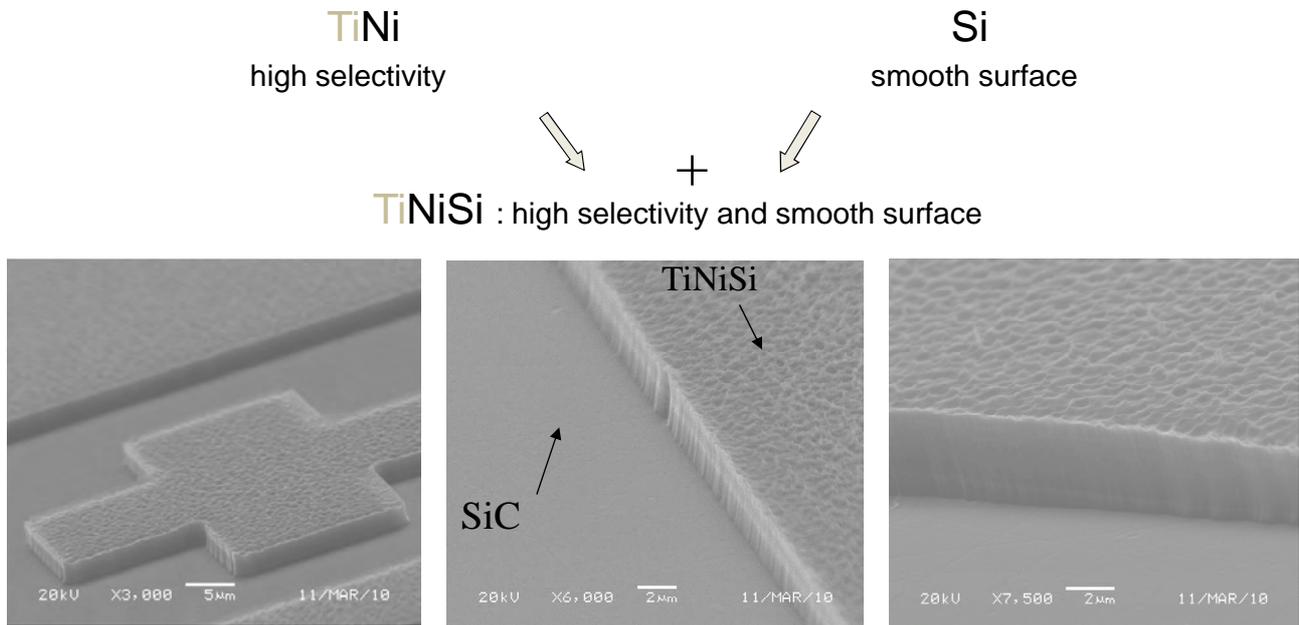


Fig. II.3.43. Schéma du concept des masques TiNiSi (en haut). Analyses MEB avant retrait des masques TiNiSi montrant l'état des surfaces de SiC-4H gravées (en bas).

Ce masquage, à la fois hautement sélectif et permettant d'obtenir des surfaces très lisses après gravure, a permis la fabrication de nouvelles structures comme l'intégration latérale sur la même puce SiC-4H de JFET de puissance complémentaires à canaux p et n et la réalisation d'une nouvelle périphérie de jonction pour des composants de puissance verticaux très haute tension. Les JFET complémentaires intégrés seront présentés dans la partie §II.4. Dans le paragraphe suivant, §II.3.2.2, nous présentons la nouvelle périphérie de jonction.

Avant de clôturer cette partie, nous montrons également ci-dessous quelques clichés MEB sur des surfaces gravées en SiC que nous avons obtenues en masquant avec des nouvelles résines MAP1240 et LOR 30B fournies par la société allemande Microresist. En utilisant une chimie SF₆ sur le bâti RIE Oxford NGP80, nous avons obtenu jusqu'à une profondeur de 1,5 µm des surfaces lisses qui reproduisent l'état des surfaces initiales (comme les rayures de polissage des substrats SiCrystal visibles dans les images ci-dessous).

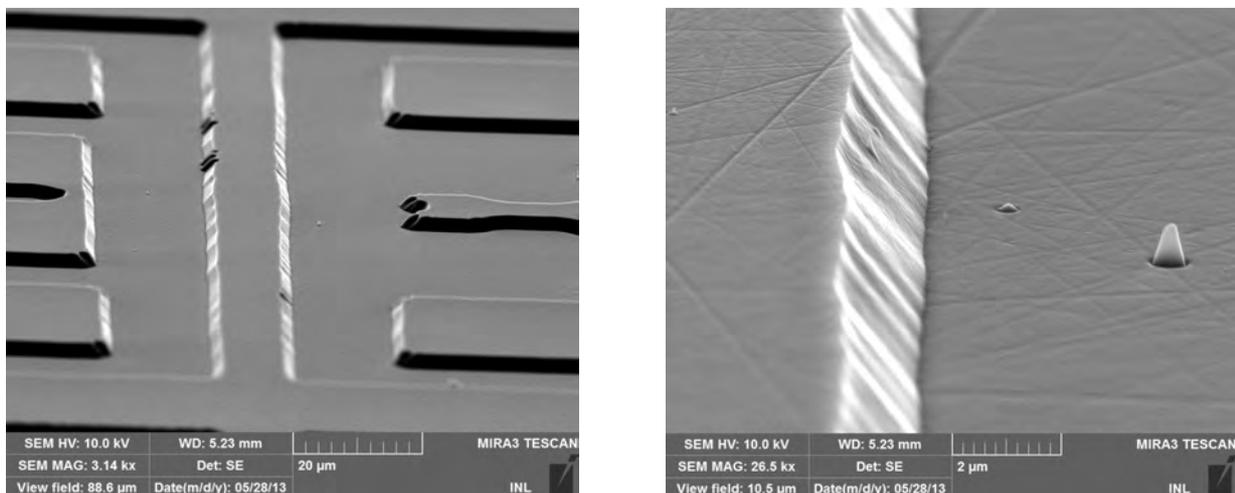


Fig. II.3.44. Images MEB de surfaces SiC gravées avec une chimie SF₆ en utilisant le bâti Oxford NGP80 et des masques en résines MAP1240 et LOR 30B

Ce procédé est à la base de celui utilisé pour l'optimisation des caissons gravés avec le bâti ICP des structures VLS présentées dans la figure II.3.23. Notons la différence entre la verticalité des flancs dans les deux cas. En utilisant le bâti ICP et une cinétique plus douce, nous obtenons des flancs plus verticaux que ceux obtenus avec le bâti RIE Oxford NGP80. Ceci est dû à la différence de sélectivité masque résines/SiC pendant les deux processus de gravure.

II.3.2.2. Périphérie de jonction pour des composants haute tension basée sur la gravure profonde

Ce travail a été réalisé dans le cadre de la **thèse de Thi Thanh Huyen Nguyen**.

Des démonstrateurs de composants en carbure de silicium (SiC) avec une tenue en tension jusqu'à 27 kV ont été réalisés [Kaji'14, Kaji'15], la protection périphérique de ces composants représentant jusqu'à 90 % de la surface de la puce. Un enjeu très important est de réduire la surface de la protection périphérique (on peut imaginer jusqu'à un facteur 10) et donc le coût des composants très haute tension, par l'utilisation de technologies et géométries innovantes pour la protection périphérique.

Nos études proposent d'utiliser des protections périphériques verticales, basées sur des gravures profondes des matériaux semiconducteurs grand-gaps. Par rapport aux protections périphériques latérales, les protections verticales, si elles sont judicieusement conçues, permettent de concentrer les pics de champ électrique dans les matériaux grand-gap (SiC, diamant). La surface des composants peut ainsi être réduite car ces matériaux possèdent une tenue diélectrique proche voire plus importante que les isolants. Si aujourd'hui, grâce à sa maturité technologique, le carbure de silicium semble le semiconducteur grand-gap le mieux placé pour la fabrication à moyen terme de composants haute tension (10 à 30 kV), le diamant pourrait à plus long terme fournir des composants de tension encore supérieure (20 à 50 kV).

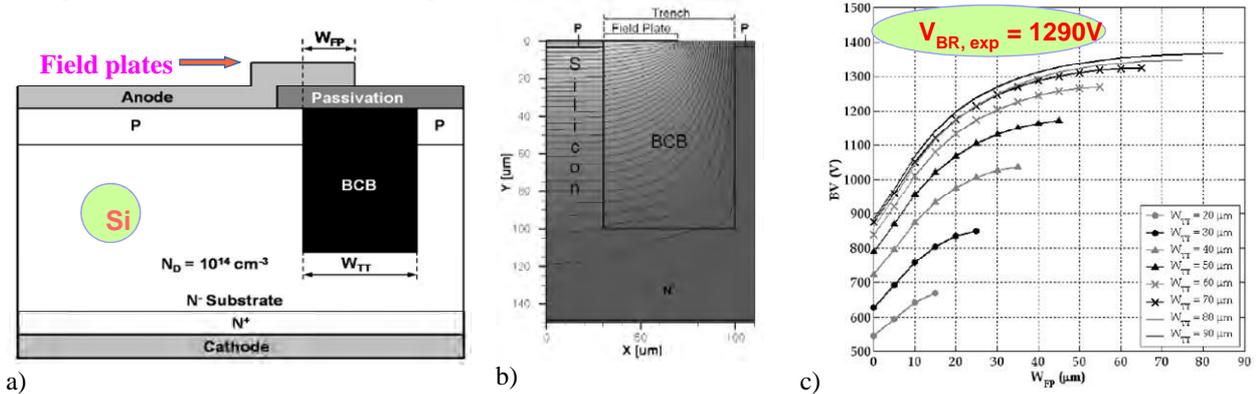
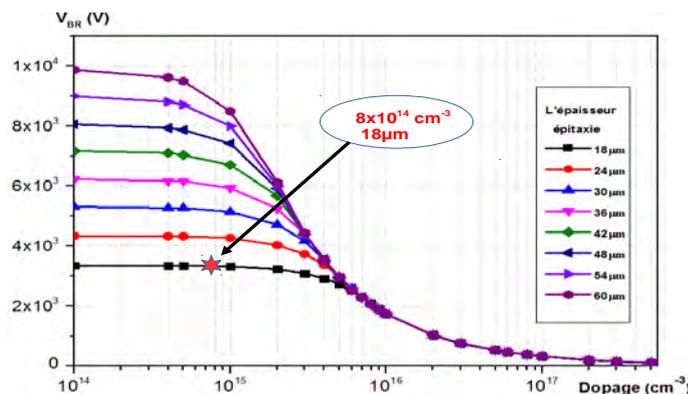


Fig. II.3.45 Diode verticale silicium conçue et fabriquée au LAAS validant le concept de protection périphérique DT^2 [Theo'08]. La DT^2 est gravée dans la couche faiblement dopée 10^{14} cm^{-3} 520 μm et remplie de BCB (a). Répartition des équipotentielles sous polarisation inverse, simulation par éléments finis (b) Tenue en tension théorique versus le recouvrement de la plaque de champ et la largeur de la DT^2 (c)

Nous sommes partis des structures des composants verticaux développés par le LAAS en silicium, en utilisant la protection périphérique de jonction DT^2 (Deep Trench Termination) [Theo'08]. Une tenue en tension de 1290 V a été obtenue sur une diode verticale, l'efficacité de la DT^2 représentant 92 % de la valeur théorique espérée. Cette tenue en tension a été obtenue avec un substrat faiblement dopé de 520 μm où une tranchée profonde de $\sim 100 \mu\text{m}$ a été créée.



$$\gamma = \tanh\left(\frac{\hbar\omega}{2kT_0}\right) / \tanh\left(\frac{\hbar\omega}{2kT}\right)$$

$$\alpha_{n,p} = \gamma a_{n,p} \exp\left(\frac{-\gamma b_{n,p}}{E}\right)$$

Fig. II.3.46 Tenue en tension 1D estimée en utilisant les coefficients d'ionisation de Konstantinov [Kons'98] pour des couches N de drift SiC en fonction de leurs dopages et épaisseurs.

Avec les équipements ICP et RIE dont nous disposons actuellement sur la plateforme Nanolyon, nous avons validé expérimentalement cette protection périphérique sur des composants SiC 3 kV [CI85]. La tenue en tension a été limitée par les caractéristiques des substrats SiC dont nous disposons et surtout l'épaisseur de la couche de drift N⁻ ($8 \times 10^{14} \text{ cm}^{-3} \sim 20 \mu\text{m}$). La figure II.3.46 présente la tenue en tension maximale 1D estimée en utilisant les coefficients d'ionisation de Konstantinov [Kons'98]. Pour les couches de drift SiC que nous avons utilisées, elle se situe autour de 3,3 kV.

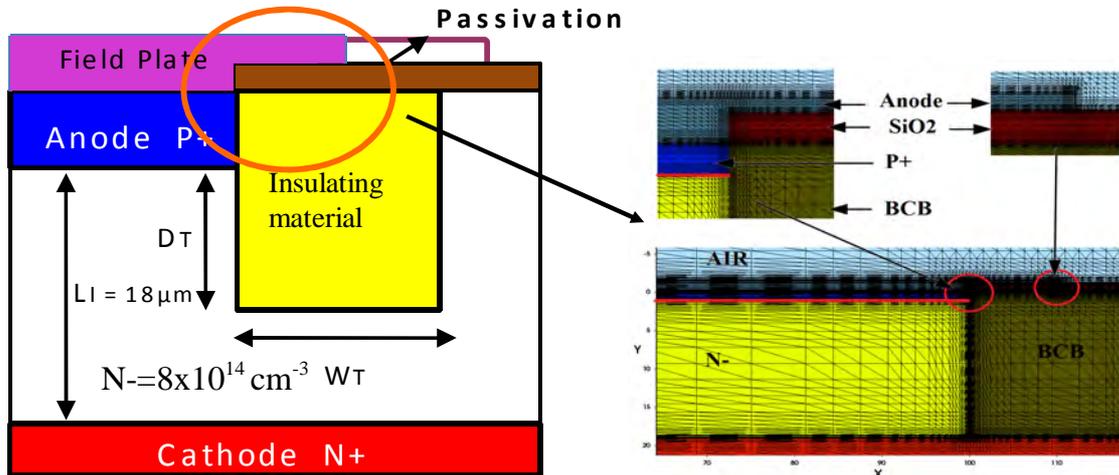


Fig II.3.47 : Design et présentation schématique de la structure de nos composants 3 kV obtenue par simulation TCAD Sentaurus

La structure des diodes verticales SiC que nous avons conçues et fabriquées est représentée dans la figure II.3.47 obtenue par un design basé sur des simulations par éléments finis avec le logiciel TCAD Sentaurus.

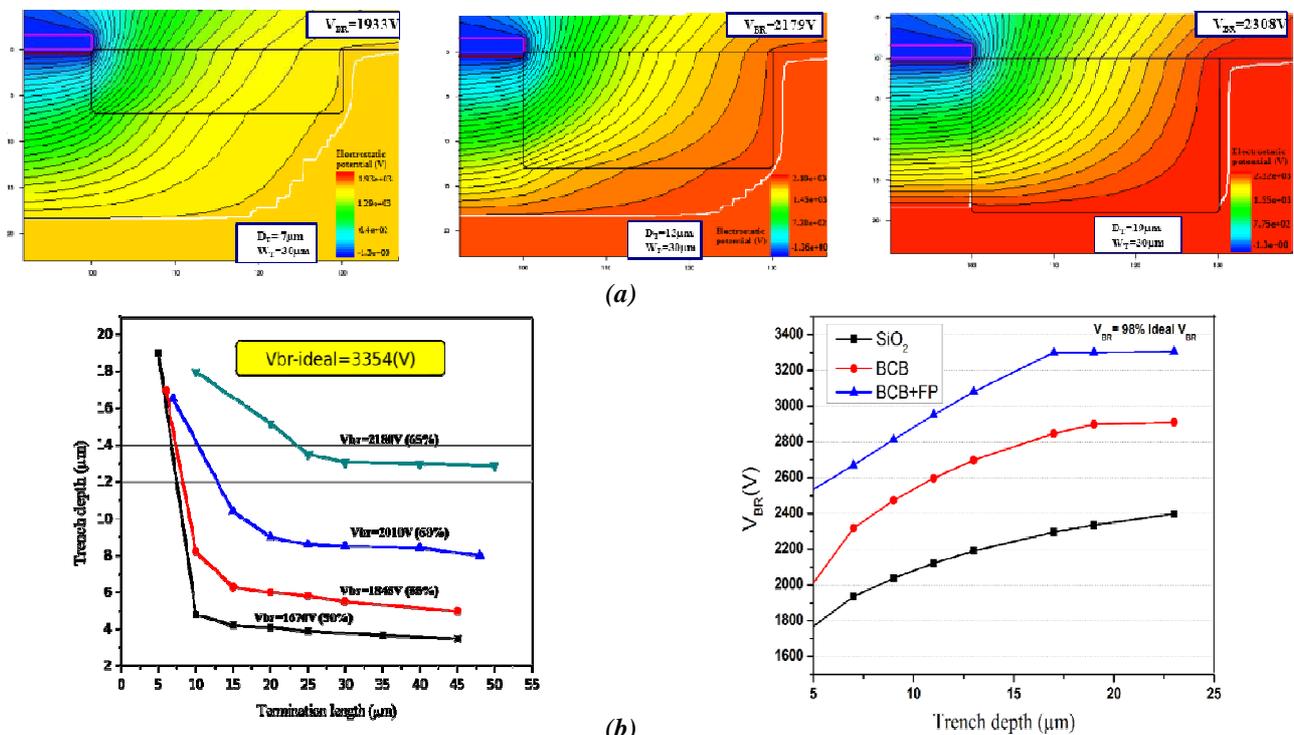


Fig II.3.48 : Résultats des simulations TCAD : répartition des équipotentielles sous polarisation inverse pour 3 profondeurs des tranchées gravées : 7, 13 et 19 μm (a) et tenue en tension estimée en faisant varier différents paramètres technologiques : profondeur et largeur des tranchées gravées, remplissage avec différents isolants, utilisation d'une plaque de champ (b).

La Fig. II.3.48 présente les principaux résultats que nous avons obtenus par simulation TCAD qui nous ont permis d'optimiser la géométrie de la protection DT^2 pour nos diodes SiC 3 kV. Ainsi on observe qu'il est inutile d'augmenter la largeur des tranchées gravées dans le SiC au-delà de quelques dizaines de μm , ceci montrant l'intérêt de cette technique pour réduire en latéral la taille des composants et donc leur coût. Par contre, il est nécessaire de graver très profond, voire jusqu'au substrat, pour augmenter la tenue en tension. Le remplissage de ces tranchées avec différents isolants et l'utilisation de plaques de champ permet de s'approcher de la tenue en tension idéale 1D.

Tout en se basant sur les études réalisées précédemment, la nécessité d'obtenir des tranchées profondes et étroites nous a amenés à développer un nouveau procédé de gravure sur le bâti ICP ETREM en utilisant une chimie SF_6/O_2 avec des masques épais en nickel recouverts de silicium. La figure II.3.49 présente une synthèse des essais réalisés pour l'optimisation de ce procédé. Nous avons recherché à obtenir une vitesse de gravure maximale en préservant l'état de la surface gravée aussi lisse que possible.

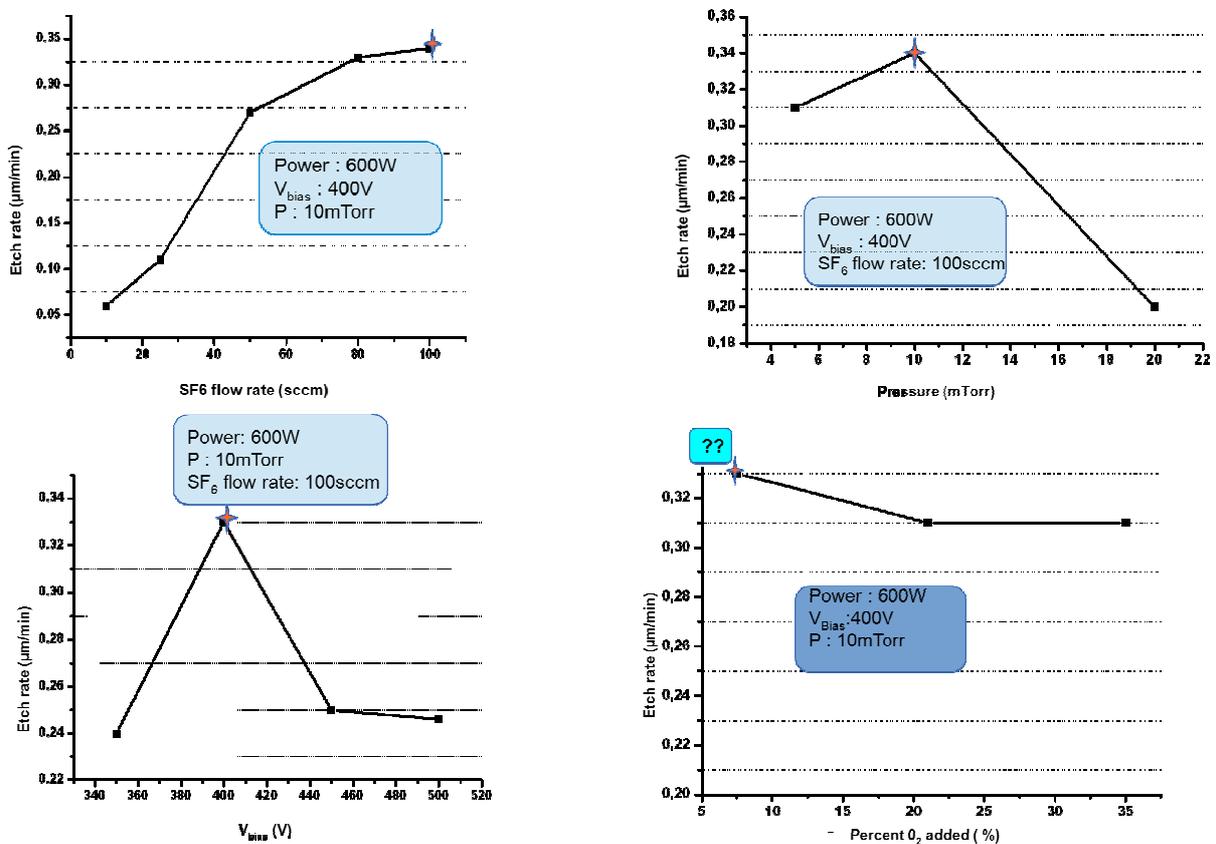


Fig II.3.49 : Optimisation des paramètres de gravure ICP plasma SF_6 (débit, pression, bias, pourcentage O_2) pour la réalisation de tranchées profondes et étroites de la protection DT^2 en SiC.

Nous nous sommes placés à la puissance inductive maximale, 600 W, dont nous disposons actuellement sur notre machine ICP. De même, nous avons observé que la vitesse de gravure augmente avec le débit de SF_6 que nous avons fixé à sa valeur maximale de 100 sscm (26,18 réel). Pour les essais en pression ou bias variable, nous obtenons des courbes en cloche qui confirment qu'il faut bien doser à la fois les deux mécanismes physiques et chimiques de gravure. Concernant le taux d'oxygène qu'on peut ajouter, on observe une diminution continue de la vitesse de gravure, contrairement aux courbes en cloche qu'on trouve en général dans la littérature [Flem'00], ce qui révèle une probable contamination dans notre réacteur ICP et sa vétusté.

En utilisant ces conditions optimales SF_6 , 600 W RF1, 400 V bias, 10 mTorr, nous avons pu obtenir des tranchées de 20 μm en ~80 min avec des flancs très lisses, présentant néanmoins une

faible surgravure au pied des flancs (trenching) et révélant davantage qu'une RIE les défauts dans le substrat SiC (Fig. II.3.50).

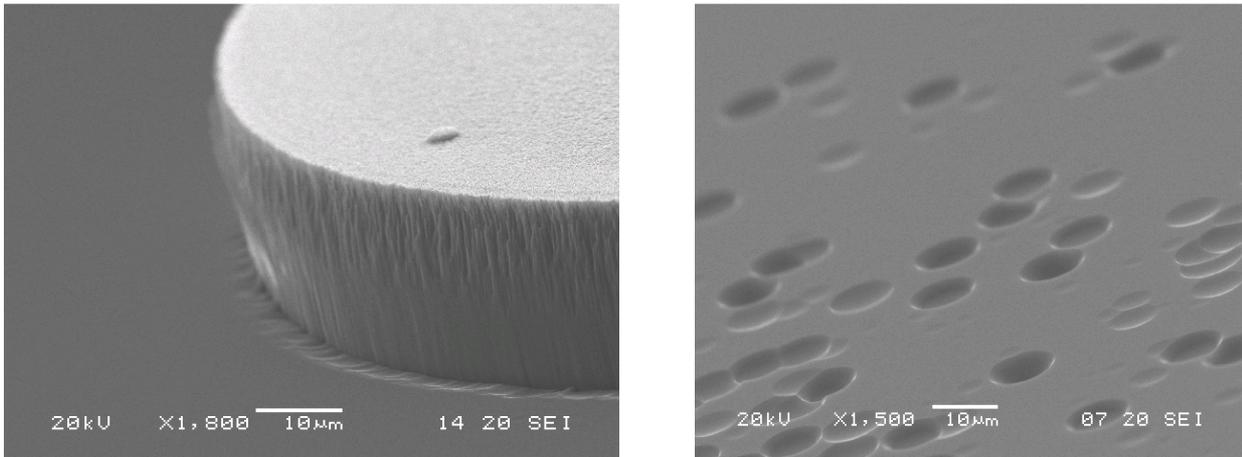


Fig. II.3.50 Images prises au MEB des parois gravées en SiC ainsi que sur une zone révélatrice des défauts dans le substrat après gravure.

Ce faible trenching n'a pas d'impact sur la tenue en tension des diodes si la gravure est réalisée sur toute l'épaisseur de l'épitaxie (18 μm) jusqu'au substrat. Ce point a été vérifié par des simulations TCAD et validé expérimentalement. La figure II.3.51 présente les caractéristiques inverses de nos diodes protégées par cette DT² de 20 μm remplie par du parylène (caractéristiques diélectriques proches du BCB). Un courant de fuite inférieur à 1 nA est obtenu avec un claquage autour de 3 kV. Notons que ce faible courant de fuite est mesuré même avant le remplissage des tranchées, ce qui montre la qualité de notre gravure.

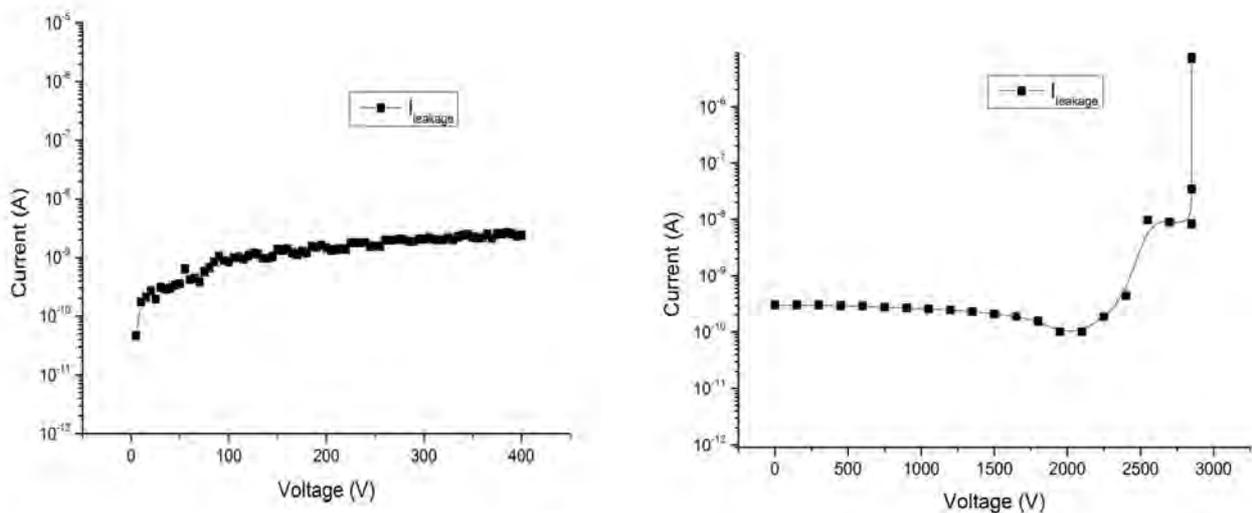


Fig. II.3.5 Mesures électriques montrant un faible courant de fuite et validant la tenue en tension des diodes avec la protection DT². A gauche sans remplissage des tranchées, à droite après remplissage avec une couche diélectrique en parylène. La largeur de la tranchée est de 200 μm et la taille d'une diode 400 μm .

Avec l'équipement ICP dont nous disposons actuellement, nous avons validé notre concept sur des composants SiC 3 kV. Afin d'augmenter le calibre en tension de nos composants et de s'approcher de l'objectif fixé de 20-30 kV, nous avons besoin d'un bâti ICP avec une puissance supérieure pour le générateur inductif RF1.

La figure II.3.52 présente la structure d'un composant 25 kV avec une périphérie de jonction DT², simulée avec Sentaurus TCAD. Nous avons considéré une couche épitaxiale n⁻ de 170 μm dopée $2,3 \times 10^{14} \text{ cm}^{-3}$ comme dans [Niwa'12] où une structure de diode 25 kV a été montrée avec des

protections périphériques basées sur des JTE. Nous avons montré par simulation TCAD que notre périphérie de jonction DT² permet de diminuer d'un facteur 10 la surface de la périphérie du composant par rapport à la structure JTE mentionnée.

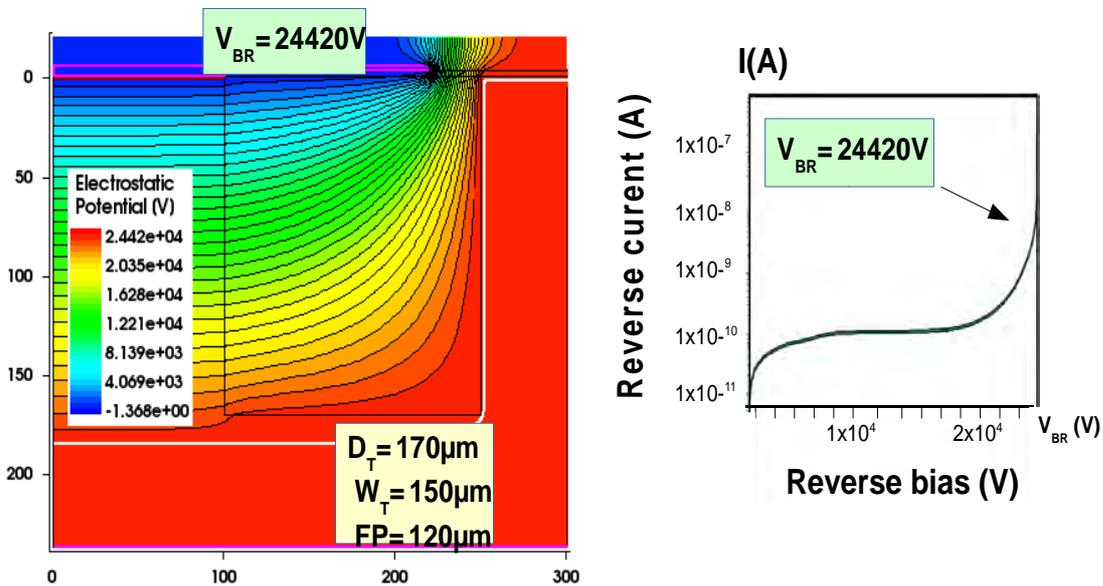


Fig II.3.52 : Simulation TCAD Sentaurus d'une structure d'un composant SiC 25 kV avec une protection périphérique verticale DT² nécessitant une gravure de plus de 170μm.

Pour la réalisation de nos composants 25 kV avec une protection DT², nous devons graver dans le SiC une profondeur supérieure à 170 μm. Cette étape technologique est faisable comme le montre l'image MEB ci-dessous publiée par [Chab'01] où un substrat complet de SiC de 300 μm a été gravé.

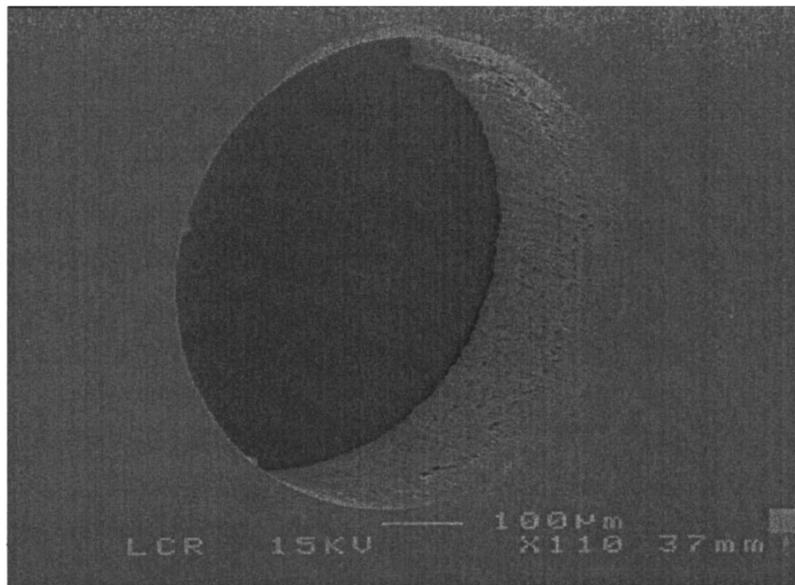


Fig. II.3.53. Image MEB d'une gravure d'un substrat complet de SiC de 300 μm [Chab'01].

II.3.2.3. Gravure humide du SiC par voie électrochimique

Grâce à sa forte liaison interatomique, le SiC est un matériau inerte chimiquement à la plupart des produits chimiques acides. Néanmoins, il est possible par voie électrochimique de graver le SiC. Dans la figure II.3.54 nous présentons schématiquement le banc expérimental que nous avons utilisé et qui est celui de porosification du silicium sur la plateforme Nanolyon de l'INSA.

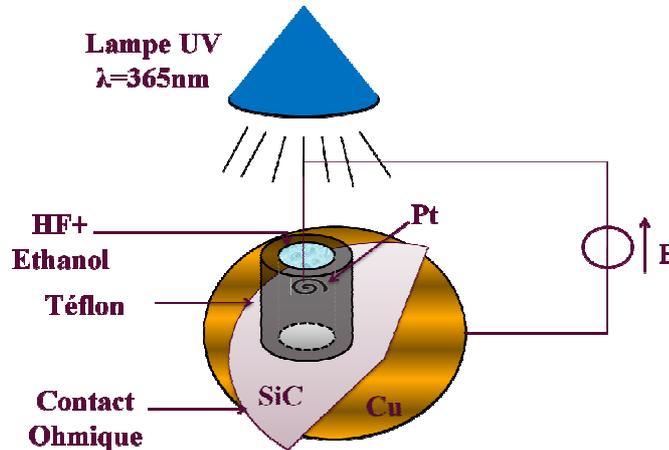


Fig. II.3.54. Banc expérimental de porosification du silicium sur la plateforme Nanolyon de l'INSA.

Sur le cliché MEB de la figure II.3.55, on peut observer la vue en coupe d'un substrat SiC gravé sur plusieurs μm . C'est un résultat préliminaire qui montre la faisabilité de cette technique sur nos échantillons et qui révèle des perspectives intéressantes pour la fabrication de structures de composants de puissance avec des périphéries DT^2 ou d'autres composants comme des supercondensateurs en SiC.

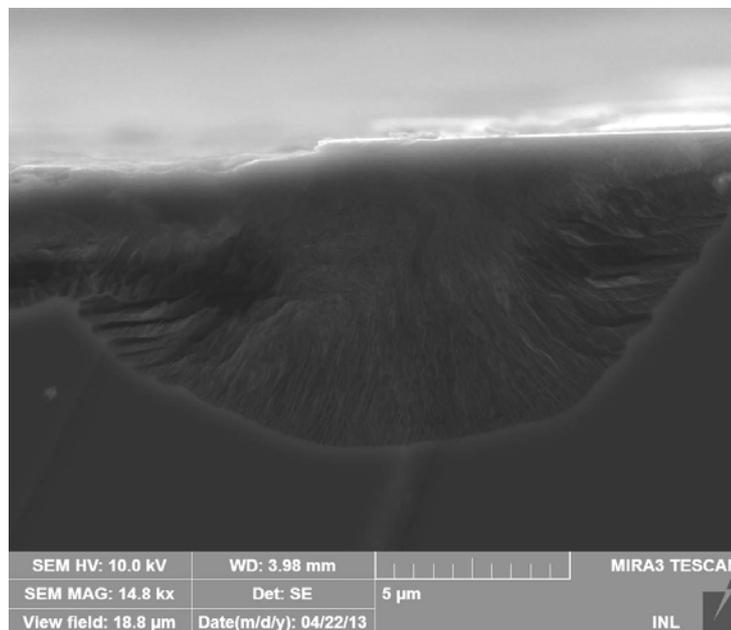


Fig. II.3.55. Cliché MEB d'une coupe verticale sur un substrat SiC après gravure électrochimique.

II.3.2.4. Gravure plasma d'autres grand-gaps

Dans le cadre du **projet ANR blanc VLOC** et la **thèse d'Arthur Vo-Ha**, nous avons réalisé des structures verticales à base d'hétérojonctions SiC/Diamant comme celle représentée sur la figure II.3.56. Ainsi, nous avons été amenés à développer une technologie adaptée aux petits échantillons en diamant sur la plateforme Nanolyon (lithographie, gravure plasma, prise de contacts ohmiques).

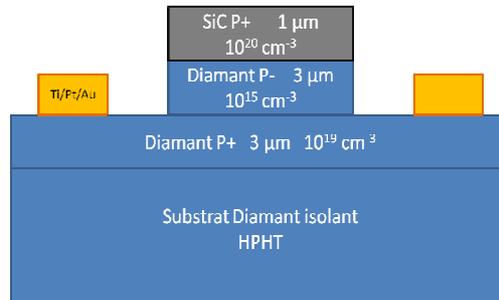


Fig. II.3.56. Présentation schématique de la diode verticale à hétérojonction SiC/Diamant que nous avons développée dans le cadre du projet ANR VLOC.

Pour la gravure plasma du diamant, nous avons mis au point deux procédés, un sur un bâti RIE et l'autre sur un bâti ICP. Dans les deux cas nous avons utilisé des masques en aluminium. Les résultats sont assez semblables. Dans le tableau II.3.6 sont mentionnées les recettes des deux procédés et la Figure II.3.57 présente des images obtenues sur des surfaces gravées.

Tableau II.3.6 Procédés de gravure du diamant optimisés sur deux bâtis plasma RIE et ICP

Réacteur	Chimie	Débits	RF	Pression	Vitesse
RIE	O ₂	40sccm	200 W (530V)	70 mTorr	2,5 µm/h
ICP	Ar-O ₂	40-8sccm	600W 100W	5 mTorr	4 µm/h

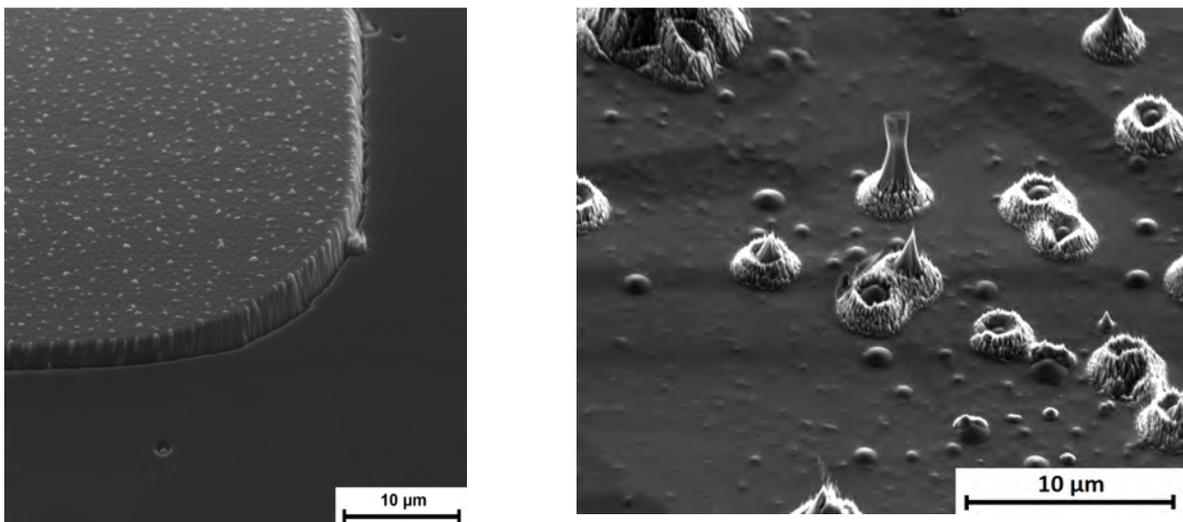


Fig. II.3.57. Images MEB présentant des surfaces de diamant gravées par plasma jusqu'à 2,5 µm à gauche (masque Al encore présent) et jusqu'à 9 µm à droite avec un zoom sur les défauts en fond de gravure.

Nous observons que, pour des profondeurs assez raisonnables de quelques µm, l'état de surface est assez satisfaisant, sans micromasking dû au redépôt en provenance du masque, mais avec la présence d'un faible phénomène de trenching. Par contre, pour des profondeurs de gravure plus importantes comme le montre l'image de droite réalisée après 9 µm gravés, la surface obtenue est

très rugueuse à cause de la révélation des défauts structuraux dans les couches (dislocations, nano ou micro-pipes) qui ne se gravent pas d'une manière homogène.

Le même phénomène, a été observé pour le GaN que nous avons étudié dans le cadre du **projet Tours 2015**. La solution qui a été trouvée par le partenaire du projet, le laboratoire GREMI [Goss'15], est l'utilisation d'un bâti IBE (Ion-Beam-Etching) en utilisant une érosion uniquement physique par des faisceaux d'argon. Des tranchées jusqu'à 10 μm ont été obtenues dans le GaN, répondant au cahier de charges du projet. Pour cela, des masques en silices densifiées d'environ 8 μm ont été utilisés.

II.3.2.5 Conclusion sur la gravure des matériaux grand-gap

La gravure plasma est une étape technologique clé dans la fabrication de composants grand-gap. Nos recherches nous ont permis d'acquérir un savoir-faire que nous avons montré être capables de le transférer d'un type d'équipement à un autre en adaptant les paramètres aux spécificités du matériau et profitant au mieux des performances de la machine de gravure.

L'augmentation de la taille des wafers nous posera des nouveaux défis, en étant obligés d'utiliser des nouveaux équipements adaptés à la taille des wafers qu'il faudra chercher dans des nouvelles salles blanches et plateformes où ces équipements seront disponibles. Nous serons à nouveau amenés à chercher à minimiser les phénomènes de "trenching", "micromasking" ou contrôler les pentes des gravures à partir de la boîte à outils exposée dans ce paragraphe.

L'état de surface après gravure plasma, l'implantation résiduelle des flancs sur quelques dizaines de nm par les différents ions présents dans le plasma provoquent une contamination avec une incidence sur le comportement électrique des composants que nous avons fabriqués: niveau des courants de fuite sous polarisation inverse, qualité des jonctions p/n créées par VLS dans les puits gravés enterrés... La minimisation du bias appliqué pendant le procédé de gravure nous a permis de limiter ce phénomène dans le cas des couches VLS. Mais pour des gravures profondes ou pour augmenter les vitesses de gravure, les matériaux grand-gap nécessitent qu'on applique des bias importants. Pour éliminer les couches contaminées, des étapes comme des oxydations thermiques sacrificielles (en retirant l'oxyde thermique formé par voie humide) doivent être insérées systématiquement après les procédés de gravure plasma. Dans ce cas, il faudra tenir compte de la consommation en profondeur du semiconducteur par l'oxydation thermique afin d'éliminer complètement les couches contaminées par le plasma. Cette étape indispensable nous a manqué sur la plateforme Nanolyon.

Des méthodes alternatives à la gravure plasma existent comme la gravure électrochimique qui a été déjà mentionnée. On peut également ajouter les découpes laser ou à scie avec des lames dédiées pour ces matériaux très durs. Toutes ces méthodes, à bas coûts, peuvent s'appliquer pour la réalisation des gravures très profondes comme pour les structures DT^2 que nous avons montrées. Une attention particulière devra être portée à l'état des flancs créés.

Enfin il faut préciser que l'implantation ionique par plasma si elle est bien contrôlée, elle peut être utilisée pour doper localement des structures "hyper-serrées", difficiles à réaliser par implantation ionique classique: superjonctions, supercondensateurs, rendre normally-off des JFET à canal vertical (structure type Semisouth). On appelle cette méthode "immersion plasma". Nous l'avons utilisée pour la réalisation de photodecteurs UV présentés §II.5.1 afin d'augmenter la largeur des ZCE utilisées comme zones actives de détection UV.

II.3.3. Contacts ohmiques sur le SiC type p

La réalisation des contacts ohmiques sur le SiC reste encore un verrou technologique surtout sur les couches de type p en SiC. Les résistances d'accès élevées des composants au niveau de ces couches détériorent les performances en commutation des composants SiC en augmentant les niveaux des pertes.

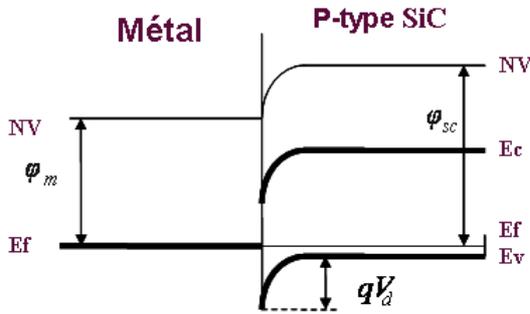


Fig. II.3.58. Schéma du diagramme de bandes du contact métal-semiconducteur sur le SiC de type p

L'origine des difficultés dans la réalisation des contacts sur le SiC de type p est attribuée à la large bande interdite du SiC et à la nécessité de trouver un métal ayant une affinité électronique pouvant correspondre à celle du SiC (Fig. II.3.58).

Dans la littérature, on trouve un nombre considérable d'études concernant les contacts ohmiques sur le SiC type p. Néanmoins, en général, les meilleures résistances spécifiques de contact se situent dans l'intervalle 10^{-5} à 10^{-4} cm^2 ce qui représente tout de même des valeurs assez élevées. Ces valeurs sont dépendantes des niveaux de dopage des couches SiC de type p. Les métaux utilisés pour former ces contacts sont essentiellement les suivants : aluminium, titane, nickel et plus rarement platine, tungstène, cobalt... Un traitement thermique post-dépôt jusqu'à $\sim 1000^\circ\text{C}$ est nécessaire pour former des alliages à l'interface métal-semiconducteur. Dans le tableau II.3.7, nous donnons quelques exemples d'études en détaillant l'empilement métallique, le niveau de dopage dans le SiC, les conditions de recuit post-dépôt. Nous y avons également ajouté nos meilleurs résultats.

Tableau II.3.7 Exemple d'études sur le contact ohmique du SiC type p en détaillant les paramètres de dépôt, recuit et les résistances spécifiques obtenues.

Composition du contact	Epaisseur des couches (nm)	N_A du SiC type p (cm^{-3})	Conditions du recuit	ρ_c (K.cm^2)	Réf.
Ni-Ti-Al	25-50-300	$3-9 \times 10^{18}$	800°C , 30 min, à vide	7×10^{-5}	[Koni 03]
Ni-Ti-Al	35-50-300	$1,3 \times 10^{19}$	800°C , 1 min, à vide	$8-20 \times 10^{-4}$	[Ito 06]
Al	160	$4,8 \times 10^{18}$	1000°C , 2 min, à vide	$4,2 \times 10^{-4}$	[John 03]
Al-Ti-Al	642-330-643	$4,8 \times 10^{18}$	1000°C , 120 s, à vide	$3,3 \times 10^{-4}$	[John 03]
Ni-Al	50-300	$3-9 \times 10^{18}$	800°C , 5-30 min, à vide	$9,5 \times 10^{-5}$	[Koni 03]
Al-Ti	225-25	$1,3 \times 10^{19}$	1000°C , 2 min, à vide	3×10^{-5}	[Crof 02]
Ti-Al	100-300	1×10^{20}	950°C , 1 min, sous Ar	$1,45 \times 10^{-4}$	[Fraz 11]
Al-Ti-Pt-Ni	50-100-25-50	$1,5 \times 10^{19}$	1000°C , 2 min, à vide	9×10^{-5}	[Vass 01]
Ti	100	$1,3 \times 10^{19}$	800°C , 1 min, à vide	$2-4 \times 10^{-5}$	[Crof 97]
Ni-Ti-Al-Ni	10-40-240-10	$3-4 \times 10^{19}$	800°C , 90 s, sous Ar	1×10^{-5}	[RI57]
Ni-Ti-Al-Ni	10-40-240-10	$\sim 10^{20}$ VLS	800°C , 90 s, sous Ar	$1,3 \times 10^{-6}$	[RI62]

Par convention pour l'ensemble de ce paragraphe, lors de la présentation de l'empilement métallique, la première couche est celle déposée directement sur le SiC et la dernière est celle en surface.

Depuis un certain nombre d'années, plusieurs travaux ont été réalisés au laboratoire Ampère (ex-CEGELY) sur la réalisation de contacts ohmiques sur SiC type p. Nous allons les passer en revue par ordre chronologique.

II.3.3.1. Alliage SiC-Al/Ti

Suite à une collaboration avec le CNR - IMM (ex-LAMEL) de Bologne dans le cadre de ma thèse, des contacts ohmiques sur les couches SiC-4H et 6H de type p ont été réalisés, utilisant des alliages Al-Ti. Nous avons utilisé ces contacts ohmiques notamment sur les lots de diodes PiN 1,2 kV et 5 kV fabriquées durant ma thèse ou juste après [RI15, RI16]. Ces contacts ohmiques sont détaillés dans [CI12 et RI19]. Ci-dessous sont détaillés quelques éléments.

Pour le recuit de métallisation, un four de recuit JIPELEC à induction a été utilisé avec une puissance de 20 kW qui permet d'avoir des rampes de chauffe très efficaces de ~ 50 °C/s. C'est un four proche du nôtre présenté §II.3.1.1, génération suivante commercialisée par JIPELEC avec un suscepteur de 50 mm et que le CNR-IMM a acheté pour réaliser surtout les recuits post-implantation. Néanmoins, notons que le recuit de métallisation se fait avec un suscepteur dédié dans un vide secondaire ou sous argon ultra-pur et avec un plateau à 1000 °C pendant 2 min. Les épaisseurs des couches Ti/Al ont été calculées pour avoir un pourcentage de masse atomique de 30/70, conforme aux meilleurs contacts publiés en termes de résistance spécifique de contact et reproductibilité par [Crof'97,02]. Les meilleures résistances spécifiques de contact se situent autour de 10^{-4} $\Omega \cdot \text{cm}^2$. La figure II.3.59 présente les résistances de contact spécifiques que nous avons mesurées sur les motifs de tests TLM répartis uniformément à la surface d'une plaque SiC-4H de 37 mm de diamètre utilisée pour la fabrication de nos diodes PiN 5 kV [RI16].

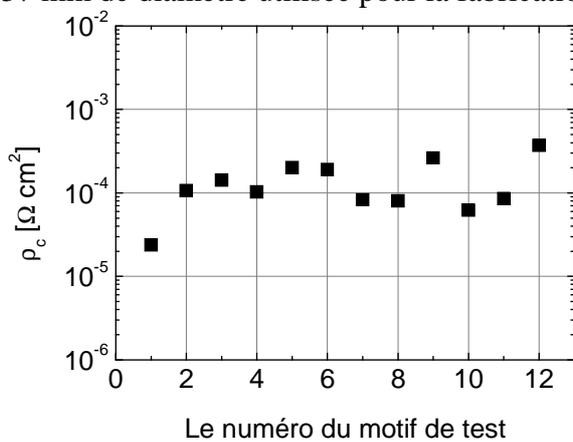


Figure II.3.59 : Résistances de contacts spécifiques mesurées sur les motifs de test des contacts Al/Ti réalisés sur une plaque SiC-4H avec des diodes PiN 5 kV

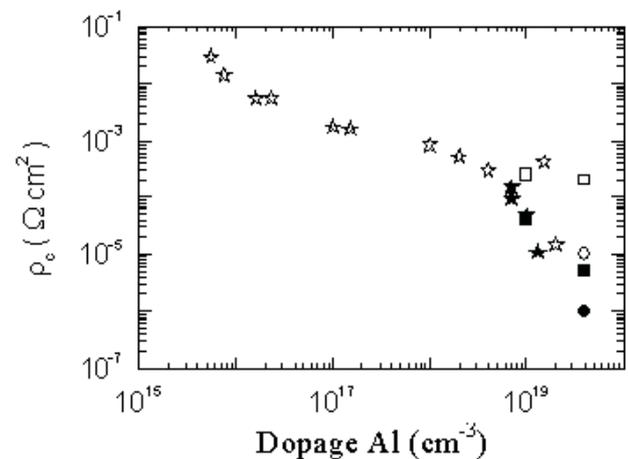


Figure II.3.60 : Résistances spécifiques de contact sur SiC-4H (ronds) et SiC-6H (carrés) mesurées à température ambiante (ouverts) et à 290°C (pleins) comparées à [Crof'02] (étoile)

La figure II.3.60 présente les résistances spécifiques de contact sur SiC-4H et 6H type p, mesurées à température ambiante et à 290 °C, comparées à celles obtenues par [Crof'02]. On remarque qu'augmenter la température permet de diminuer les résistances spécifiques de contact jusqu'à des valeurs de l'ordre de 10^{-6} $\Omega \cdot \text{cm}^2$. Toutes ces valeurs ont été relevées à partir de mesures I-V sur des structures TLM linéaires avec des corrections 2D afin de tenir compte des erreurs dues aux écartements latéraux des lignes de courant à la limite des structures. Il s'agissait de nos

premiers pas dans ce type d'étude et de nos premières structures TLM utilisées. Par la suite, ces structures ont été optimisées afin d'obtenir des extractions directes des résistances carrées et de contact.

Bien que ces contacts ohmiques se soient avérés assez fiables et assez stables dans le temps (aujourd'hui sur ces puces on retrouve les mêmes caractéristiques !), les études suivantes menées dans le cadre de différents projets ont demandé l'exploration d'autres alliages. Nous avons visé surtout la diminution des résistances de contacts, de la température de recuit ou l'utilisation de la même métallisation pour les contacts de type p et n, afin de réduire le nombre d'étapes technologiques lors de la fabrication des composants.

II.3.3.2. Alliage SiC-Ni/Al

Cette étude est détaillée également dans [RI24] et elle a été menée dans le cadre de la thèse de Heu Vang qui l'a appliquée dans la fabrication de composants 1,2 kV [RI27, RI30].

Les paramètres technologiques étudiés ont été d'une part ceux concernant les couches déposées, ses épaisseurs fixant le pourcentage atomique des éléments dans les alliages formés et l'ordre dans lequel ces couches sont déposées; d'autre part les conditions de recuit post-métallisation ont été étudiées, comme le temps, la température ainsi que le gaz ambiant utilisé dans la chambre chaude en fonction des fours que nous avons eus à notre disposition.

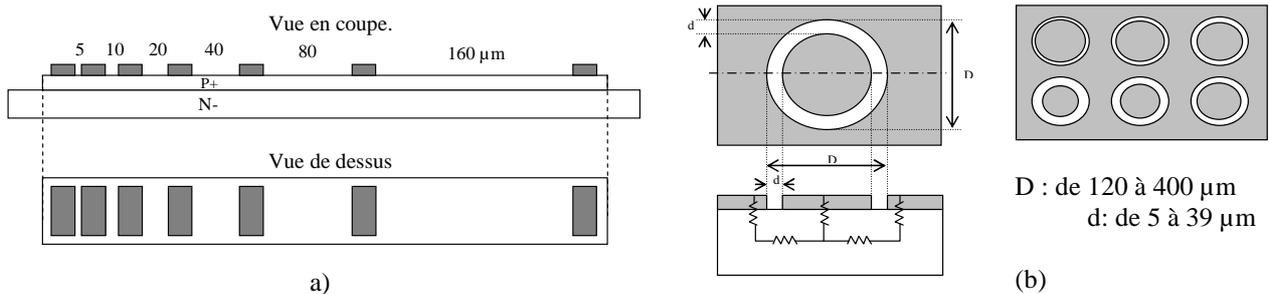


Fig. II.3.61 Structures de test utilisées: TLM mesa (a) et CTLM (b)

Des structures de test ont été réalisées avec une géométrie TLM mesa et circulaires (CTLM - figure II.3.61). L'avantage des structures circulaires est de pouvoir faire des mesures sur des couches non-isolées, la répartition latérale des lignes de courant est directement prise en compte sans avoir à recourir à une modélisation 2D ou à réaliser des isolations mesa gravées.

Nous avons pu tester quatre fours différents : un four à lampe ADDAX sous flux d'azote (plateforme Nanolyon INSA), un four de recuit à induction sous argon ultra-pur (laboratoire LMI), ainsi que deux fours JIPELEC à lampes (mis à disposition par la société QUALIFLOW et le CNM à Barcelone) qui permettent de faire un vide secondaire dans la chambre chaude ou de travailler sous argon ultra-pur.

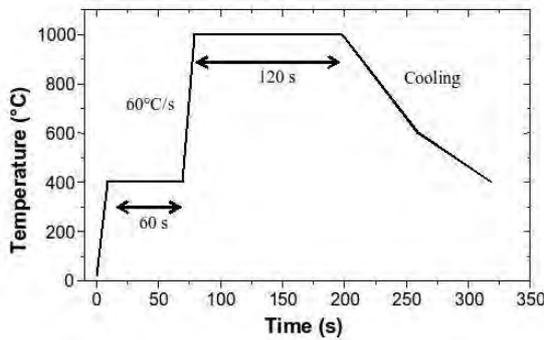
L'influence de l'atmosphère de recuit sur la formation du contact ohmique a été étudiée dans les différents fours RTA sur des échantillons identiques en termes de dopage qui ont été recuits sous les mêmes conditions de température et durée. L'ohmicité des contacts a été systématiquement obtenue mais leur qualité dépend de la nature des gaz et de la propreté des fours utilisés pour le recuit post-métallisation.

Pour les échantillons recuits dans le four ADDAX sous azote, les contacts métalliques présentent une couche résistive en surface. Ceci rend difficile la prise des contacts qui ne peut être faite qu'une fois cette couche enlevée par grattage mécanique. De plus, ces contacts s'oxydent dans le temps, phénomène qui rend encore plus difficile leur caractérisation électrique. Ce problème n'est pas rencontré pour les autres fours où le recuit se fait sous vide ou sous Ar ultra-pur. Les contacts sont bien stables dans le temps et faciles à caractériser.

Les fours RTA, comme les trois que nous avons utilisés, sont des fours à lampes permettent

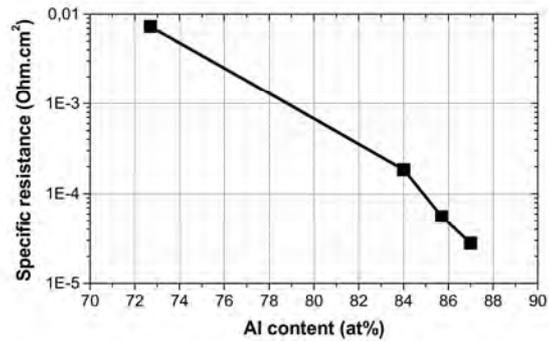
d'avoir des rampes de montée assez rapides de l'ordre de 100 °C/s, deux fois plus importantes par rapport au four à induction. Cette montée en température rapide évite l'évaporation de l'aluminium pendant le recuit pour les contacts Ni/Al (configuration aluminium en couche supérieure). Cette rampe apporte rapidement l'énergie nécessaire pour la formation d'un alliage tel que l'AlNi ou l'Al₄C₃ (phases relevées par des mesures DRX) qui sont stables à haute température. Ainsi, nous n'observons pas une évaporation importante d'aluminium, alors qu'avec le four à induction du LMI dans le cas de l'échantillon Ni/Al, la rampe est plus lente, et lorsqu'on atteint le point de fusion de l'aluminium (660°C) l'aluminium s'évapore.

Cet aspect a été amélioré par l'introduction d'un palier intermédiaire à une température relativement basse (autour de 400 °C) dans le profil de recuit (Figure II.3.62). Ceci permet de réaliser un alliage Ni-Al avant la montée rapide à 1000 °C qui est nécessaire pour former les contacts ohmiques.



a)

Figure II.3.62 Profil du recuit thermique sur les contacts Ni/Al [RI24].



b)

Figure II.3.63 Résistances spécifiques des contacts Ni/Al en fonction du taux d'aluminium présent dans la métallisation [RI24].

Un autre facteur important constitue le nettoyage initial de la surface du SiC avant le dépôt des couches métalliques. Durant cette étude, nous avons observé que l'introduction d'une oxydation sacrificielle améliore la reproductibilité et la qualité des contacts ohmiques. Cette oxydation sacrificielle a été réalisée dans un four dédié sur la plateforme Nanolyon de l'INSA, four qui aujourd'hui n'est plus fonctionnel et avec des maigres perspectives de remise en route. Ainsi, nous avons obtenu des résistances spécifiques de contact aussi faibles que $3 \times 10^{-5} \text{ } \Omega \cdot \text{cm}^2$. Nous avons observé une diminution de la résistance spécifique de contact en augmentant le pourcentage de l'aluminium dans les couches (Figure II.3.63).

Le tableau II.3.8 résume les résultats obtenus pour les différents essais réalisés : variation de l'épaisseur de la couche d'aluminium, présence de l'oxydation sacrificielle dans le procédé de préparation des surfaces. Le dopage des couches SiC était de $4 \times 10^{19} \text{ cm}^{-3}$ réalisé par implantation ionique d'aluminium.

Tableau II.3.8. Paramètres technologiques et résistances spécifiques des contacts obtenues avec l'alliage Al/Ni.

Métallisation		Pourc. Al (at%)	Oxyd. sacrif.	Recuit métallisation		$\rho_c (\Omega \cdot \text{cm}^2)$
Ni (nm)	Al (nm)			Temp. (°C)	Durée (s)	
50	200	73	oui	1000	120	$7,3 \times 10^{-3}$
50	400	84	oui	1000	120	$1,85 \times 10^{-4}$
50	450	86	oui	1000	120	$4,5 \times 10^{-5}$
50	500	87	oui	1000	120	$3,2 \times 10^{-5}$
50	500	87	oui	1000	120	$2,8 \times 10^{-5}$
50	500	87	non	1000	120	$5,6 \times 10^{-4}$

II.3.3.3. Alliage SiC-Ti/Ni

Cet alliage a été étudié pour son utilisation dans les composants SiC haute température, dans le projet ANR COTHT durant le **postdoc de Maher Soueidan** [RI32], visant des contacts ohmiques à la fois sur le SiC type n et p.

Avec le recul de l'étude Ni/Al, un four de recuit rapide à lampes a été utilisé pour le recuit post-métallisation. Ce four JIPELEC FAV4 présent sur la plateforme Nanolyon site INSA a été remis en état dans le cadre de ce projet ANR. Il permet de fonctionner sous vide secondaire ou sous argon ultra-pur.

Les résultats obtenus ont été assez prometteurs. Des contacts ohmiques ont été obtenus pour deux alliages Ni/Ti qui sont présentés dans le tableau II.3.9.

Tableau II.3.9. Paramètres technologiques pour la réalisation des contacts ohmiques sur SiC type p avec l'alliage Ti/Ni.

Métallisation		Recuit métallisation		Ohmique
Ti (nm)	Ni (nm)	Temp. (°C)	Durée (s)	
1,5	100	800 à 1200	120	non
25	100	800 à 1200	120	à 1000°C
48	100	800 à 1200	120	à 900°C

Dans la figure II.3.64 sont présentés des résultats des mesures courant - tension sur des contacts formés avec ces deux alliages Ni-Ti sur SiC de type p. Les échantillons ont un dopage de $4 \times 10^{19} \text{ cm}^{-3}$ formé par implantation ionique d'Al, comme dans l'étude précédente. On remarque que ces courbes deviennent linéaires (formation de contacts ohmiques) à des températures différentes, ce qui dénote le rôle de la composition de l'alliage Ni-Ti dans la formation des contacts ohmiques.

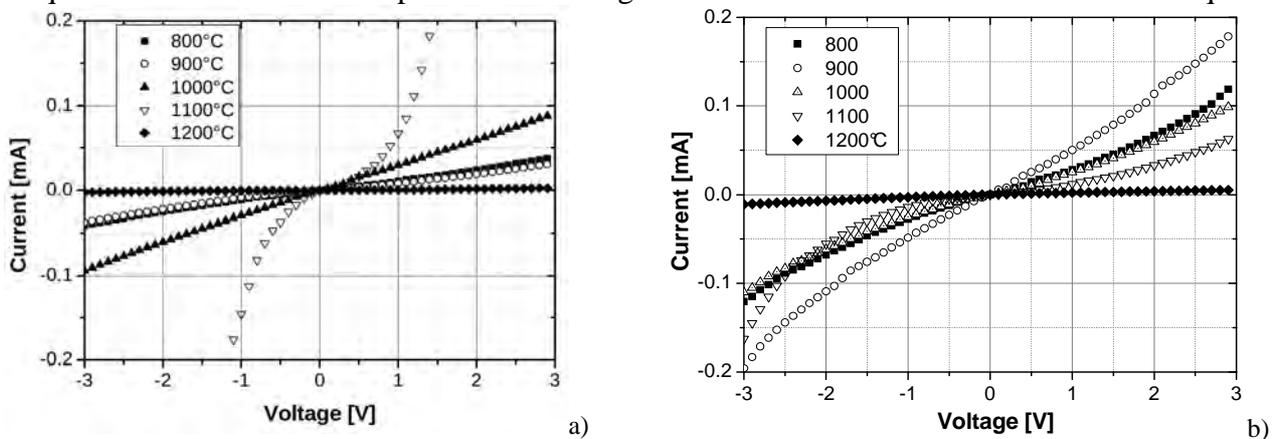


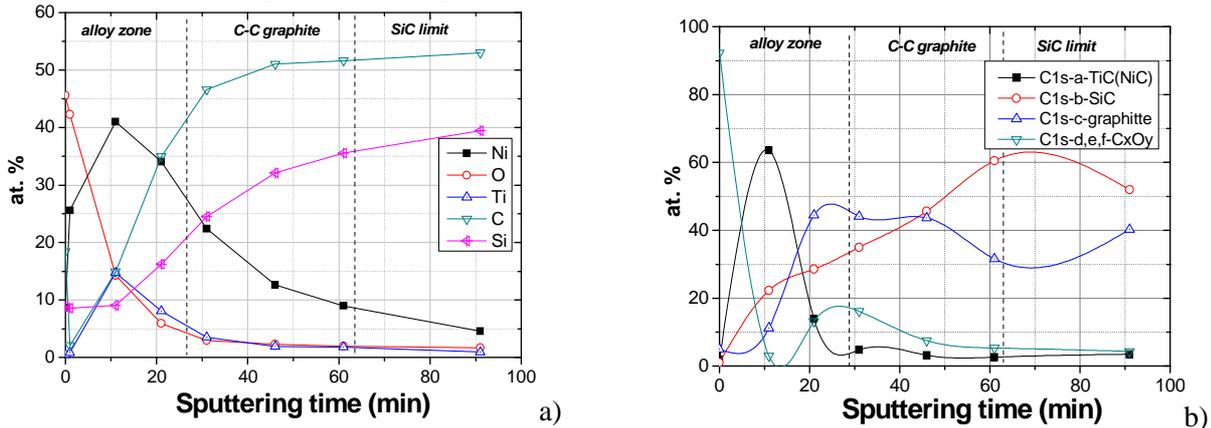
Figure II.3.64 La formation des contacts ohmiques a lieu à 1000°C pour l'alliage où l'épaisseur de la couche initiale de titane est de 25 nm (a) et à 900°C dans le cas où celle-ci était de 48 nm (b). Dans les deux cas, l'épaisseur de la couche de nickel était de 100 nm.

Les meilleures résistances spécifiques de contact sont de l'ordre de $10^{-3} \text{ } \Omega \cdot \text{cm}^2$, mesurées à température ambiante. Cette valeur est élevée, due à la présence d'une couche graphitique (liaisons C-C) assez épaisse, qui a été mise en évidence par des analyses XPS (figure II.3.65). Cette couche se forme à l'interface entre l'alliage Ni-Ti et la surface du SiC après le recuit post-métallisation. On note également la formation des phases TiC et siliciure de nickel (probablement Ni_2Si), la dernière étant souvent remarquée dans la littérature pour son rôle dans la formation des contacts ohmiques sur le SiC.

La présence de cette couche graphitique épaisse dénote un manque de consommation du C à l'interface métal-semiconducteur par les phases formées. De plus, la sensibilité accrue de la formation des contacts ohmiques par rapport à la composition initiale de la métallisation (teneur en titane) montre la fragilité de ces contacts. Leur trop forte dépendance aux conditions de dépôts et de

recuit limite strictement les tolérances demandées par rapport à l'insertion de cette étape technologique dans un procédé complet de fabrication de composants. Ainsi, les différentes contaminations amenées par les procédés qui précèdent ou suivent la formation de ces contacts ohmiques ou un simple écart de température provoqué par un pyromètre mal étalonné peut détériorer d'une manière irréversible l'ohmicité des contacts formés.

Ainsi, on explique les difficultés rencontrées lors de l'utilisation de cette recette de métallisation dans la fabrication des premiers lots de composants dans les projets JFET-SB et COTHT (§II.4.1). Notons que même les contacts sur les couches de type n n'ont pas été ohmiques à cause de la tenue en titane trop importante. Nous avons dû développer une nouvelle recette de métallisation qui est présentée ci-après.



II.3.3.4. Alliage SiC-Ni/Ti/Al

Cette étude a été réalisée durant la **thèse de Farah Laariedh** qui a été soutenue en 2013. Elle est également détaillée dans les revues [RI45, RI57]. Le procédé de métallisation issu de cette étude est considéré aujourd'hui comme une étape standard utilisée dans la fabrication de tous les composants SiC que nous avons réalisés depuis à Lyon comme les nouveaux lots de JFET complémentaires intégrés [voir §II.4.2] et tous ceux achevés dans le cadre de différents projets comme VHVD [RI51,RI53,RI55,RI59,RI62,RI66], ISMART [RI61,RI64,RI71,RI76,RI81,RI82]...

Prenant en compte notre expérience acquise dans les études présentées ci-avant et les dernières avancées publiées dans la littérature, nous nous sommes focalisés sur un alliage à base d'Al, Ni et Ti. L'aluminium est en général utilisé dans les contacts ohmiques sur le SiC type p en espérant qu'on obtient un surdopage du SiC à l'interface métal-semiconducteur et diminuer ainsi les résistances des contacts [Crof'97b, Kaka'01]. Ceci reste à prouver à cause de l'extrême faible diffusion de l'aluminium par des méthodes classiques (§II.3.1). L'exoévaporation de l'aluminium lors du recuit a été signalée lors de notre étude sur l'alliage Ni/Al ainsi que par [Crof'02]. D'autres éléments métalliques sont nécessaires pour améliorer la pénétration en profondeur dans le SiC.

Le nickel est un élément clé pour la réalisation du contact, réagissant avec le SiC dès 500 °C en formant Ni_2Si [Port'95, Niki'05]. La réalisation de contacts ohmiques à des plus faibles températures particulièrement intéressante notamment pour le développement de la technologie MOSFET en SiC. Le Ti a été ajouté à l'alliage Ni/Al afin d'éviter la formation de liaisons C-C à l'interface avec le SiC et favoriser la consommation complète du carbone résiduel présent à l'interface [Kaka'01].

En réalisant une étude complète basée sur des analyses électriques et physico-chimiques, nous avons pu identifier le rôle joué par chaque élément et les phases à l'interface du SiC responsables de la formation du contact ohmique. Cette étude détaillée dans [RI45, RI57] est résumée ci-dessous.

Des structures TLM (Transfer Length Method) linéaires ont été fabriquées sur des couches

SiC-4H type p ($N_A=3-4 \times 10^{19} \text{ cm}^{-3}$) de $\sim 1 \mu\text{m}$ isolées du substrat par une couche épitaxiée $\sim 10 \mu\text{m}$ de type n et faiblement dopée ($N_D=5 \times 10^{15} \text{ cm}^{-3}$). L'espace entre les plots TLM varie de 25 à 75 μm (Fig II.3.66). Les couches SiC de type p ont été isolées en latéral par des mesas réalisées par gravure plasma SF_6/O_2 et la conduction bidimensionnelle 2D [Mosc'03] est rendue négligeable en utilisant des plots très larges. Avant métallisation, la surface du SiC a subi des nettoyages standards comme : dégraissage avec des solvants organiques, décapage acide avec des solutions standard RCA à 70 °C, désoxydation avec BOE ou HF 5%, rinçage EDI et séchage sous azote.

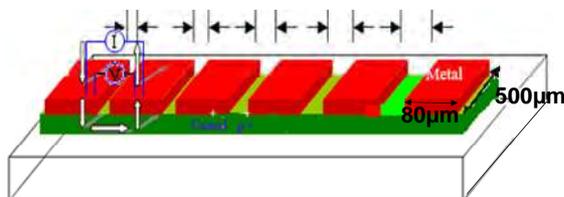


Fig. II.3.66 Structure TLMs avec un espacement entre les plots métalliques de 25, 35, 45, 55, 65 et 75 μm .

Les plots TLM ont été définis par un procédé de lift-off de l'empilement des couches de Ni, Ti et Al déposées par évaporation e-beam sous ultravide ($\sim 10^{-7}$ mbar). Toutes les couches ont été déposées durant la même étape afin d'éviter l'ouverture du bâti et l'oxydation des couches. Les épaisseurs des couches ont été mesurées in situ durant le dépôt par une microbalance en quartz et vérifiées post-dépôt par des mesures de réflectométrie. Des exemples d'empilements étudiés sont donnés dans le tableau II.3.10.

Tableau II.3.10: Exemples d'empilements Ni,Ti,Al étudiés.

Composition de contact métallique	Epaisseur de couches (nm)
Ti-Al-Ti-Ni	5-60-30-100
Ni-Ti-Al	25-50-300
Ni-Ti-Al	12,5-25-150
Ni -Ti-Al- Ni	12,5-50-300-12,5
Ni -Ti-Al- Ni	10-40-240-10
Ni -Ti-Al- Ni	5-20-120-5

Le recuit de nos contacts métalliques a été fait sous argon avec un nettoyage préalable de la chambre sous vide primaire. Durant cette étude, nous avons utilisé plusieurs fours RTA dont trois JIPELEC (FAV4 et JetStar de Nanolyon, JetFirst d'Ampère) et un Anealsys (AS-One du LMI). Les résultats ont été équivalents, ce qui montre la reproductibilité de notre procédé développé.



(a)



(b)



(c)

Fig. II.3.67 Fours de recuit métallisation: a) Jipelec Fav4 b) Jipelec JetFirst-JetStar c) Annealsys AS-One.

Nous avons volontairement appliqué un palier intermédiaire à une température relativement

basse, 350-400 °C, pour former un alliage entre les couches métalliques avant la montée rapide (50 °C/s) à la température nécessaire pour former les contacts ohmiques, située entre 700 °C et 1000 °C. La figure II.3.68 présente un profil de la température de recuit typique utilisé.

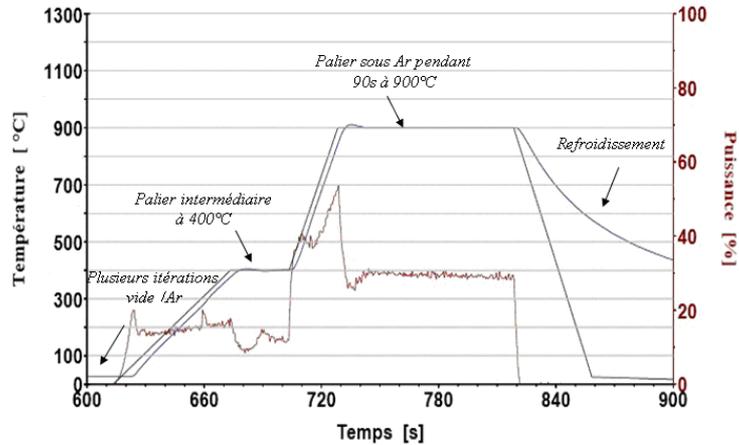


Figure II.3.68. Profil typique d'un recuit de métallisation à 900 °C pendant 90 s avec 2 paliers.

Après un recuit à 700 °C pendant 90 s, les caractéristiques I-V typiques que nous obtenons entre deux plots TLM sont données dans la figure II.3.69 pour les trois familles de métallisations présentées dans le tableau II.3.10.

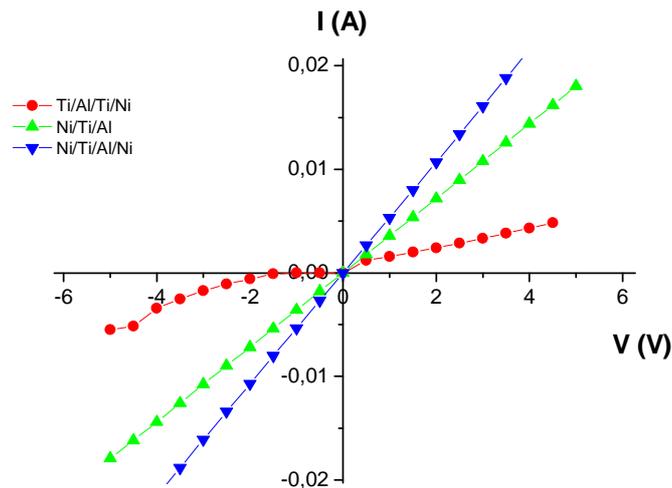


Figure II.3.69. Caractéristiques I-V typiques obtenues entre les plots TLM pour les trois familles de métallisations.

Ainsi, un comportement ohmique (caractéristique linéaire courant-tension) est observé uniquement quand une couche de Ni est présente à la surface du SiC et ceci dès 700 °C. C'est le cas des alliages Ni/Ti/Al/(Ni). Les valeurs des résistances spécifiques de contact sont données ci-après. Nous avons également testé d'autres séquences avec le titane à l'interface du SiC mais nous n'avons pas trouvé un comportement ohmique malgré l'augmentation de la température de recuit jusqu'à 1000 °C.

Nous avons aussi remarqué, dans le cas des contacts Ni/Ti/Al avec la couche d'aluminium en haut, la formation d'une couche isolante pour toutes les températures de recuit qui rend difficiles les mesures I-V. Ces caractérisations ne peuvent être effectuées correctement qu'une fois cette couche isolante éliminée par action mécanique (gratter le contact avec la pointe de mesure) ou par plasma RIE Ar/H₂. Pour résoudre ce problème, nous avons ajouté une couche de nickel au-dessus de l'empilement Ni/Ti/Al qui joue un rôle d'encapsulant en évitant l'oxydation de l'aluminium.

La figure II.3.70 présente les résistances mesurées entre les plots TLM pour la séquence d'empilement Ni/Ti/Al/Ni. On remarque une variation linéaire et un alignement parfait des points,

ce qui montre la qualité des contacts ohmiques que nous avons obtenus. De plus, en regardant l'influence des températures de recuit, on observe que les résistances des contacts ohmiques diminuent jusqu'à 800 °C pour augmenter ensuite d'une manière significative à cause d'une probable dégradation des contacts. Les valeurs des résistances spécifiques de contact en fonction de la température de recuit utilisée pour former ces contacts sont données sous forme d'histogramme dans la figure II.3.70a.

Les résistances spécifiques de contact obtenues après le recuit à 800 °C sont de l'ordre de $1 \times 10^{-5} \text{ } \Omega \cdot \text{cm}^2$. **Nos résultats comparés à l'état de l'art font partie des meilleurs.**

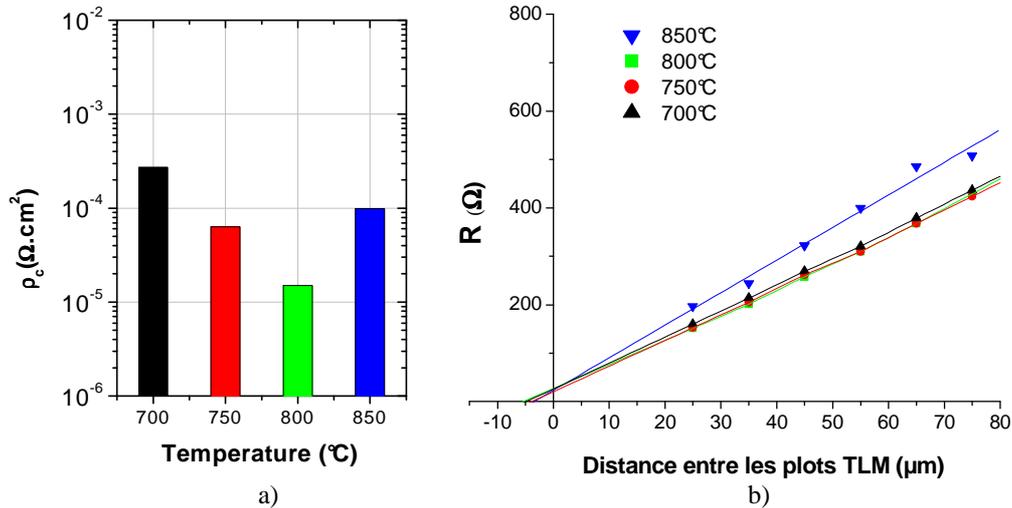


Fig.II.3.70 Dépendance de la résistance spécifique du contact Ni(10)/Ti(40)/Al(240)/Ni(10nm) vs la température de recuit utilisée pour former ces contacts (a). Résistance mesurée entre plots TLM en fonction de la distance entre les plots pour différentes températures de recuit (b).

Revenant sur la couche encapsulante de nickel en haut de l'empilement Ni-Ti-Al, notons que 5 nm de nickel ne suffisent pas pour empêcher la formation de la couche isolante en surface surtout pour les motifs situés en bord de mesas. Pour comprendre ce phénomène, des analyses structurales SIMS, EDX et DRX ont été faites. Nous avons trouvé une concentration importante d'oxygène dans nos contacts qui augmente avec l'épaisseur de la couche d'aluminium. Ces analyses nous ont également permis d'identifier les phases responsables de la formation des contacts ohmiques : Ti_3SiC_2 et Ni_2Si .

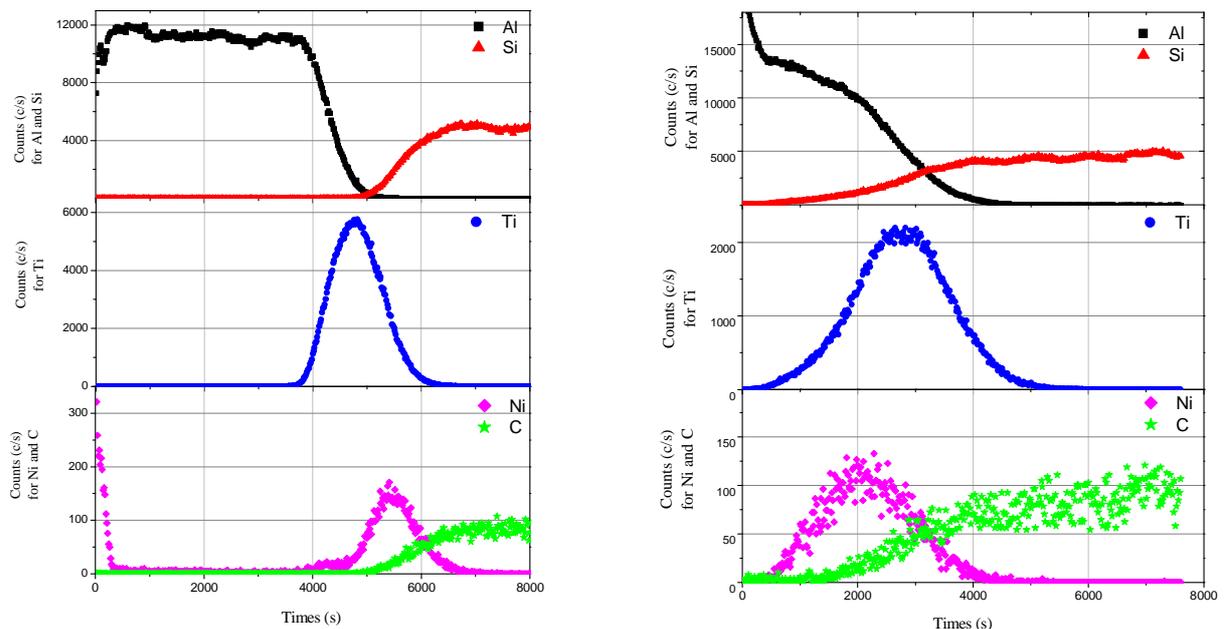


Fig. II.3.71 Analyses SIMS des contacts Ni/Ti/Al/Ni avant (à gauche) et après (à droite) le recuit à 800 °C.

La fig. II.3.71 présente les profils des éléments présents dans les contacts Ni(5)/Ti(20)/Al(120)/Ni(5 nm) avant et après recuit à 800 °C. Avant recuit, nous retrouvons l'ordre de l'empilement Ni/Ti/Al/Ni en partant de droite où est située notre couche SiC vers la gauche qui correspond à la surface de l'empilement.

Après recuit, nous avons une forte redistribution des éléments. La surface est enrichie en aluminium, le profil d'aluminium suggère une possible évaporation. Ni et Ti ont pénétré dans le SiC, les concentrations relatives indiquant une probable formation de siliciures et carbures métalliques comme les Ni₂Si, Ti₃SiC₂ et le TiC qui favorisent la formation du contact ohmique. L'absence d'un pic de carbone et le fait que le plateau du carbone est corrélé avec celui du silicium, montrent que nous n'avons pas la présence d'une couche graphitique à l'interface, souvent mise en cause pour l'augmentation des résistances de contact [Kaka'01]. Si on compare aux résultats publiés par [Vass'01], nos profils de Ti et C sont fortement décorrélés, ainsi on peut déduire dans nos contacts plutôt l'absence du TiC et la présence d'une siliciure/carbure de Ti comme le Ti₃SiC₂. Cette phase ternaire est souvent présentée comme à l'origine des contacts ohmiques sur le SiC [John'04], permettant de diminuer la hauteur de barrière de potentiel à l'interface métal-SiC.

En regardant le profil du nickel, on voit que son évolution suit celle du silicium, ce qui montre une probable formation du Ni₂Si. Nous avons déjà mentionné son rôle par la présence initiale du nickel à la surface du SiC dans la formation des contacts ohmiques à basse température. Nous les obtenons dès 700 °C.

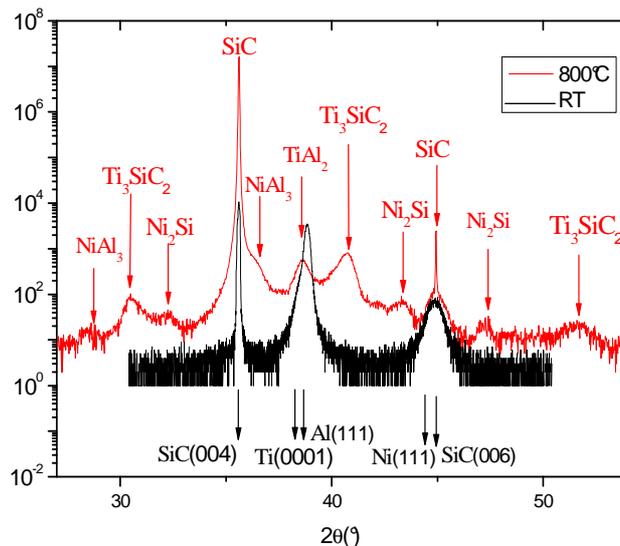


Fig.II.3.72: Analyses par diffraction X du contact Ni/Ti/Al/Ni avant et après le recuit à 800 °C.

Les suppositions que nous avons faites à partir des mesures SIMS ont été confirmées par des analyses DRX présentées dans la figure II.3.72. Ainsi, les phases Ni₂Si, Ti₃SiC₂ sont identifiées ainsi que d'autres intermétalliques comme Al₂Ti et NiAl₃. Notons l'absence de phases entre l'aluminium et le SiC (comme Al₄C₃), l'aluminium ne jouant chimiquement qu'un rôle catalytique dans la formation du contact ohmique. Une analogie peut être réalisée par rapport à la croissance du SiC en phase liquide VLS que nous développons dans le paragraphe suivant.

En plus, les phases intermétalliques Al₂Ti et NiAl₃ permettent de limiter l'oxydation de l'Al et la formation de couche isolante en surface. Cette couche oxydée et isolante, ou plutôt la présence de l'oxygène, a été confirmée par des mesures EDX réalisées avant et après recuit sur des contacts Ni(5)/Ti(20)/Al(120)/Ni(5 nm) formés sur SiC (Tableau II.3.11).

Ces analyses nous ont permis de montrer que nous pouvons diminuer la concentration d'O₂ dans nos contacts en augmentant la pression d'argon pendant le recuit. La concentration d'O₂ diminue de 29 at% à 5 at% en augmentant la pression d'argon de 3,3×10⁻³ mbar à 10³ mbar (une atmosphère). Dans ce dernier cas, les analyses élémentaires sont assez proches de celles de

l'échantillon non recuit, tout particulièrement pour le nickel.

Tableau II.3.11 Analyses EDX avant et après recuit des contacts Ni(5nm)/Ti(20nm)/Al(120nm)/Ni(5nm) sur SiC-4H

	Avant recuit		Après recuit sous Ar à $3,3 \times 10^{-3}$ mbar		Après recuit sous Ar à 10^3 mbar	
	w%	at%	w%	at%	w%	at%
C	8,82	19,70	4,42	8,50	7,04	15,82
O	0,00	0,00	20,09	28,98	2,99	5,04
Al	34,86	34,65	45,40	38,84	25,69	25,72
Si	39,83	38,02	27,62	22,70	47,52	45,70
Ti	1,00	0,56	0,00	0,00	0,00	0,00
Ni	15,49	7,07	2,46	0,97	16,77	7,72

Nous avons regardé nos contacts ohmiques formés avec la procédure optimale (empilement Ni(10)/Ti(40)/Al(240)/Ni(10nm) recuit 800 °C sous une atmosphère d'argon) après un stress thermique jusqu'à 300 °C. Les mesures I-V sur les motifs TLM ont été effectuées tous les 50 °C. Les résultats sont présentés dans la figure II.3.73. On note que les valeurs des résistances de contact sont supérieures à celles de la Fig. II.3.70a à cause de la détérioration des plots TLM par les mesures successives. Nous n'avons pas réalisé de surmétallisations épaisses afin de focaliser l'étude sur cette métallisation primaire.

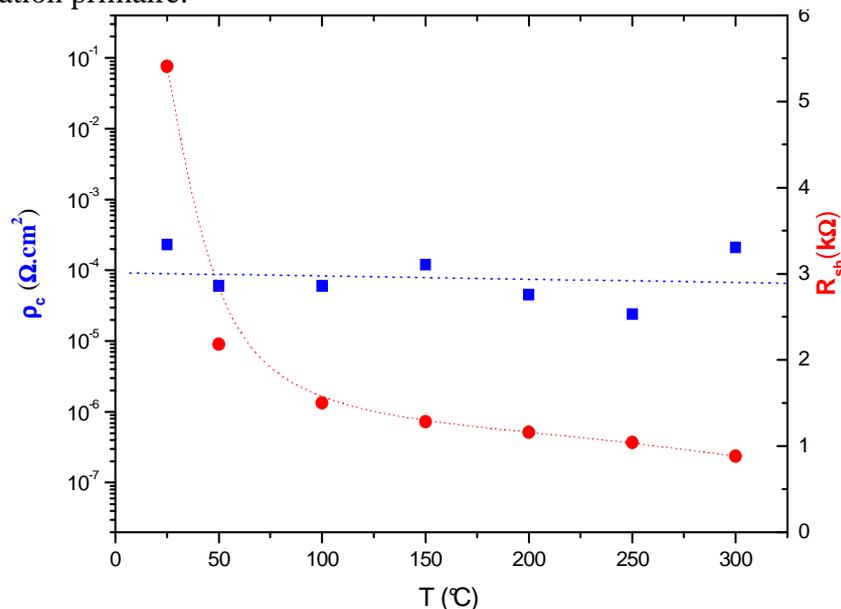


Fig.II.3.73 Dépendance des résistances carrées et spécifiques de contact durant le stress thermique pour des contacts Ni(10)/Ti(40)/Al(240)/Ni(10 nm) formés sur SiC après recuit à 800 °C sous argon 1atm.

Ainsi, la figure II.3.73 montre que les résistances spécifiques des contacts ne varient pas avec le stress thermique, ce qui montre la stabilité de la formation des phases intermétalliques jusqu'à 300 °C.

On observe également une diminution des résistances carrées des couches, cette évolution étant normale et due à l'ionisation des dopants aluminium dans la couche SiC de type p.

Afin d'améliorer les contacts ohmiques sur le SiC type p, il faut d'une part comprendre les mécanismes de formation des phases responsables des contacts ohmiques et d'autre part diminuer les résistances de contacts. Le paragraphe qui suit présente une étude approfondie sur la formation du Ti_3SiC_2 sur SiC et le suivant des contacts ohmiques sur des couches fortement dopées aluminium par VLS.

II.3.3.5. Etude approfondie sur la formation du Ti_3SiC_2

Cette étude sur le Ti_3SiC_2 créé sur SiC type p a été menée dans le cadre de la thèse de Tony Abi-Tannous soutenue en 2015. Les résultats ont été publiés dans [RI67,RI73,RI78,RI80] et nous donnons quelques éléments ci-dessous.

Comme dans l'étude précédente, on a utilisé les mêmes types de substrats SiC-4H présentant une couche de type p en surface. Les couches métalliques déposées à la surface dans cette étude ont été des alliages de Ti_xAl_{100-x} ($20 \text{ at}\% \leq x \leq 50 \text{ at}\%$), d'une épaisseur visée de 200 nm. Elles ont été déposées sur toute la surface du SiC par pulvérisation cathodique (sous argon à 5×10^{-3} mbar) à température ambiante, en utilisant des cibles co-frittées commercialisées par Neyco. Pour la caractérisation électrique de ces couches, des structures TLM ont été réalisées par lithographie et gravure humide à 60 °C en utilisant une solution commerciale d'Al-etch.

Le recuit a été réalisé comme précédemment en utilisant des fours RTA (JPELEC JetFirst d'Ampère et Annealsys AS-One du LMI), avec une rampe de chauffe de 20 °C/s et des plateaux d'une durée de 10 min pour des températures allant de 900 à 1200 °C (fig. II.3.74). Une attention accrue a été portée sur les sources de contamination d' O_2 dans ces fours, en remplaçant notamment les tuyaux en plastique du four Annealsys avec des tuyaux en inox.

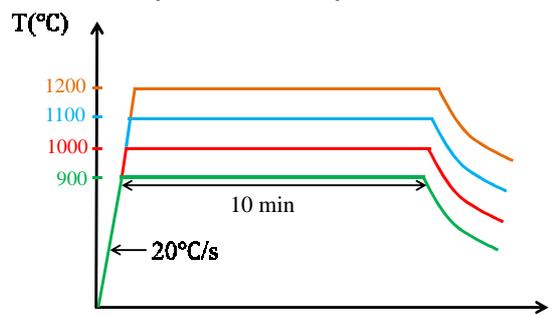


Figure II.3.74. Profil typique du recuit des alliages Ti_xAl_{100-x} sur SiC pour la formation du Ti_3SiC_2 .

Du Ti_3SiC_2 épitaxial a été déjà obtenu par [Pari'04 et Tsuk'09] par des recuits de Ti/Al sur du SiC. Dans nos études, nous avons voulu savoir à quelle température cette phase apparaît et quel est le rôle joué par l'aluminium. Dans le tableau II.3.12, nous présentons les pics identifiés par des analyses DRX pour toutes les configurations de recuit et des concentrations atomiques initiales des couches Ti_xAl_{100-x} . La figure II.3.75 présente les spectres obtenus pour $Ti_{50}Al_{50}$.

Tableau II.3.12 Analyses DRX identifiant les phases après recuit des alliages Ti_xAl_{100-x} déposées sur SiC, (*)=pics petits, (§)=pics décalés et petits

	900°C	1000°C	1100°C	1200°C
$Ti_{20}Al_{80}$	Ti_3SiC_2 $Al_4C_3 - Al$ Al_3Ti	Ti_3SiC_2 (*) $TiC - Al_4C_3$ $Al - Al_3Ti$	$TiC - Al_4C_3$ $Al - Al_3Ti$	$TiC - Al_4C_3$ $Al - Al_3Ti$
$Ti_{30}Al_{70}$	$Ti_3SiC_2 - Al$ Al_3Ti	$Ti_3SiC_2 - Al$ Al_3Ti	Ti_3SiC_2 (*) $TiC - Al$	Ti_3SiC_2 (*) $TiC - Al$
$Ti_{50}Al_{50}$	Ti_3SiC_2 (§)	$Ti_3SiC_2 - Al - Al_3Ti$	$Ti_3SiC_2 - Al$	$Ti_3SiC_2 - Al$ Al_3Ti
Ti	Ti_3SiC_2 (*) TiC	Ti_3SiC_2 (*) TiC	Ti_3SiC_2 TiC	Ti_3SiC_2 TiC

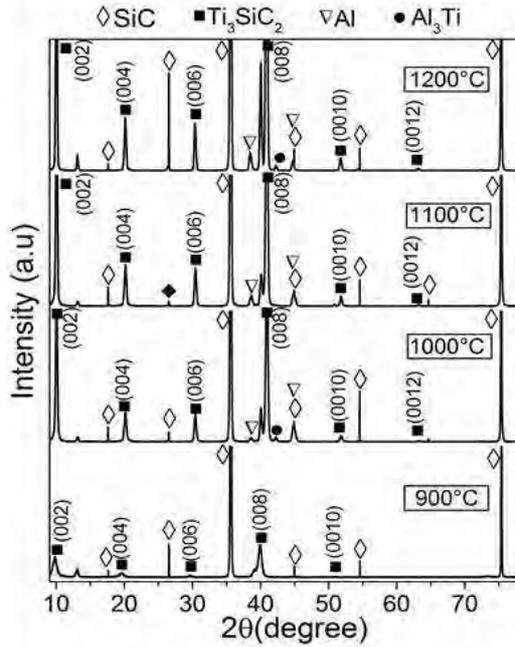


Figure II.3.75. Spectres des analyses EDX avec identifications des phases sur les échantillons SiC avec un dépôt 200nm de $Ti_{50}Al_{50}$.

En regardant le tableau II.3.12, on peut remarquer qu'en absence d'aluminium (dernière ligne) on peut former à la fois du Ti_3SiC_2 et TiC. Avec l'alliage $Ti_{50}Al_{50}$, nous formons du Ti_3SiC_2 sans TiC dès 900 °C, mais pour cette température les pics de Ti_3SiC_2 sont très petits et larges. En revanche, pour des températures de recuit supérieures, ces pics apparaissent bien identifiés et pointus. Ceci dénote une qualité épitaxiale des couches Ti_3SiC_2 formées. Ces résultats sont à corrélérer avec les mesures électriques sur les structures TLM créées avec ces couches. Le tableau II.3.13 résume les résistances spécifiques de contact extraites à partir de ces couches.

Tableau II.3.13 Résistances spécifiques de contact extraites des TLM formés après recuit des alliages Ti_xAl_{100-x} déposées sur SiC.

	900°C	1000°C	1100°C	1200°C
$Ti_{20}Al_{80}$	$1,1 \times 10^{-3} \Omega.cm^2$	$4,1 \times 10^{-4} \Omega.cm^2$	$8 \times 10^{-4} \Omega.cm^2$	$2 \times 10^{-3} \Omega.cm^2$
$Ti_{30}Al_{70}$	Non-ohmique	$2,7 \times 10^{-4} \Omega.cm^2$	$3 \times 10^{-4} \Omega.cm^2$	$3,4 \times 10^{-4} \Omega.cm^2$
$Ti_{50}Al_{50}$	Non-ohmique	$1,1 \times 10^{-4} \Omega.cm^2$	$1,8 \times 10^{-4} \Omega.cm^2$	$4,8 \times 10^{-4} \Omega.cm^2$
Ti	Non-ohmique	Non-ohmique	Non-ohmique	Non-ohmique

Ainsi, on observe en général que l'ajout de l'aluminium est nécessaire pour la formation des contacts ohmiques même s'il n'y a pas de phase réactive avec le SiC. Très probablement, comme pour la croissance VLS du SiC (§II.3.1.2), il assure une phase "liquide" et catalytique qui accélère la dissolution et la diffusion des éléments permettant la formation des carbures de Ti ou l'exodiffusion du Si. Au §II.3.1.1 nous avons mentionné la sublimation préférentielle du Si, ce phénomène pouvant apparaître à des températures assez faibles dès 1100°C voire moins dans des conditions spécifiques, comme UHV [Emets'09].

On observe également pour les trois alliages que l'augmentation de la température de recuit de 1000 à 1200 °C fait augmenter également les résistances de contact, montrant une détérioration des contacts qui peut s'expliquer par la domination de la phase TiC au détriment de la phase Ti_3SiC_2 .

La qualité épitaxiale des couches Ti_3SiC_2 formées à 1000 °C et leur détérioration après recuit à 1200 °C ont été également montrées par des mesures XTEM réalisées à l'Institut Pprim de Poitiers. La figure II.3.76 présente deux clichés XTEM pris en coupes transversales sur les contacts ohmiques réalisés avec l'alliage $Ti_{30}Al_{70}$. Ainsi, dans le cas où le recuit a été effectué à 1000 °C, la

couche de Ti_3SiC_2 couvre entièrement la surface du SiC qui à son tour est couverte d'une couche d'aluminium. En revanche, après un recuit à $1200^\circ C$, on observe une interface SiC pleine de défauts entre la couche formée de Ti_3SiC_2 et le substrat en SiC.

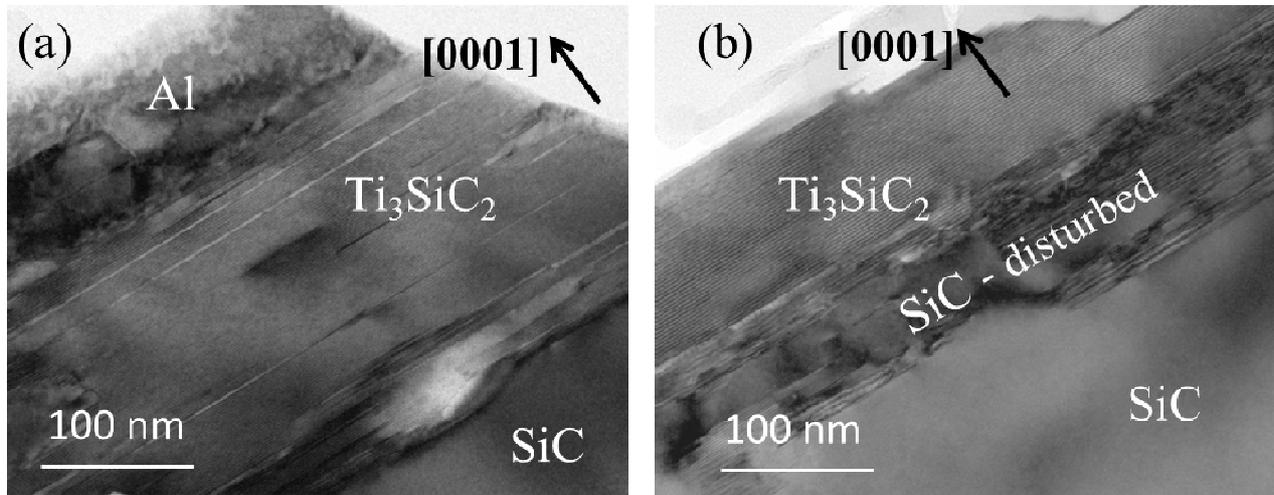


Figure II.3.76. Clichés XTEM-BF des contacts obtenus avec des alliages $Ti_{30}Al_{70}$ sur SiC montrant la formation du Ti_3SiC_2 épitaxial après un recuit à $1000^\circ C$ (a) et $1200^\circ C$ (b)

Ainsi, on peut conclure après cette étude que la formation de la phase Ti_3SiC_2 est responsable des contacts ohmiques sur le SiC de type p. La qualité des contacts est tributaire de l'état de l'interface Ti_3SiC_2/SiC . La température idéale de croissance du Ti_3SiC_2 à partir d'un alliage TiAl sur SiC est $1000^\circ C$. La présence de l'aluminium est nécessaire et joue un rôle uniquement de catalyseur sans qu'on le trouve à l'interface avec le SiC.

Nous avons également regardé la robustesse de ces contacts Ti_3SiC_2 formés à $1000^\circ C$. La figure II.3.77 présente l'évolution de la résistance spécifique de contact après des tests de vieillissement à $600^\circ C$ sous argon jusqu'à 200 h. Nous ne constatons aucune détérioration de la résistance spécifique de contact.

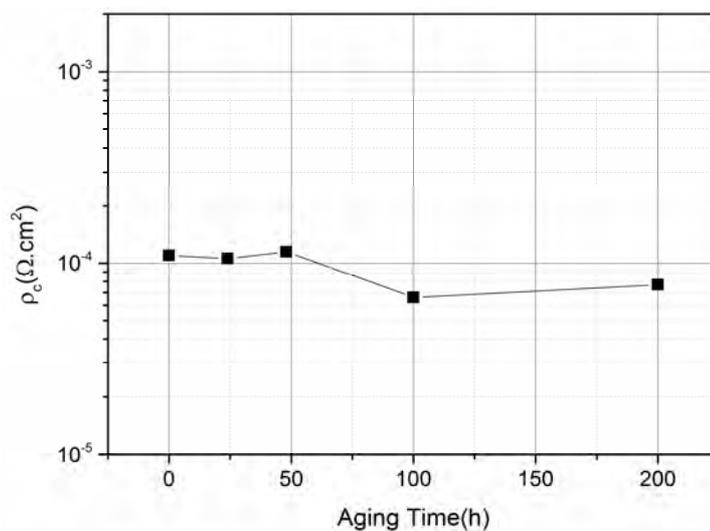


Figure II.3.77. Test de vieillissement à $600^\circ C$ des contacts Ti_3SiC_2 formés à $1000^\circ C$. Evolution de la résistance spécifique de contact.

II.3.3.6. Ohmicité des contacts sur des couches p⁺ créées par VLS

Avant de clôturer cette partie sur les contacts ohmiques, nous présentons les résultats que nous avons obtenus en utilisant des couches VLS fortement dopées aluminium. Le surdopage du SiC sous le contact ohmique constitue également une méthode pour baisser les hauteurs de barrière et diminuer les résistances de contact. Au §II.3.1.2, nous avons montré par des analyses SIMS que le dopage aluminium des couches VLS se situe autour de 10^{20} cm⁻³, ce qui est un ordre de grandeur au-dessus de ce que nous pouvons obtenir habituellement par croissance CVD ou implantation ionique.

Nous avons appliqué sur les couches SiC p⁺ créées par VLS le procédé optimisé pour les contacts ohmiques présentés au §II.3.3.4 basé sur l'empilement Ni(10)/Ti(40)/Al(240)/Ni(10nm) et le recuit 800 °C sous une atmosphère d'argon. Tout d'abord sur des couches VLS enterrées, créées en utilisant une ancienne configuration (croissance sous argon), développée avant la thèse de Selsabil Sejlil. Cette étude réalisée dans le cadre du projet ANR VHVD est détaillée dans [RI62].

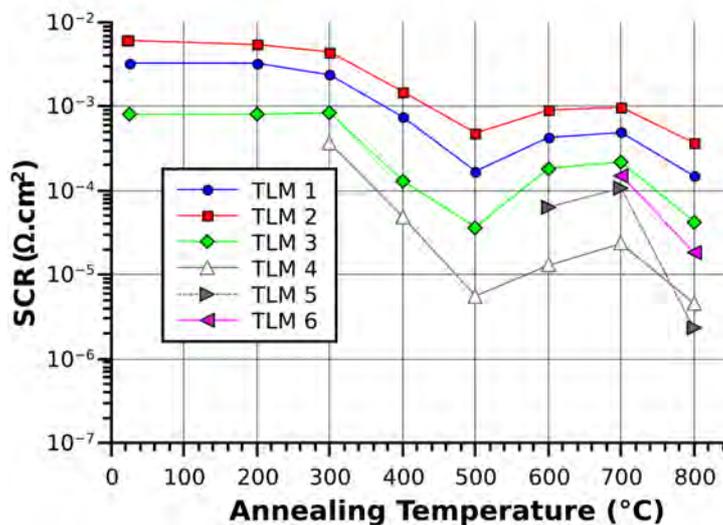


Figure II.3.78. Résistances spécifiques de contact sur les couches VLS en fonction de la température de recuit.

La figure II.3.78 présente les résistances spécifiques de contact que nous avons extraites à partir de mesures I-V sur plusieurs motifs TLM. Les contacts ont été créés à plusieurs températures, la figure ci-dessus présentant les résistances spécifiques des contacts créées à l'ambiante (sans recuit) jusqu'à des recuits faits à 800 °C. La plus faible résistance spécifique de contact que nous obtenons est de $1,3 \times 10^{-6}$ Ω.cm² obtenue avec un recuit à 800 °C. C'est une **des plus faibles valeurs** de résistance spécifique, mesurée à température ambiante et publiée pour un contact ohmique réalisé sur SiC type p.

On note également que des contacts ohmiques sont obtenus même sans recuit. La figure II.3.79 présente les caractéristiques linéaires I-V entre les plots d'une structure TLM créée uniquement par le dépôt de l'empilement Ni/Ti/Al/Ni et sans recuit post-métallisation.

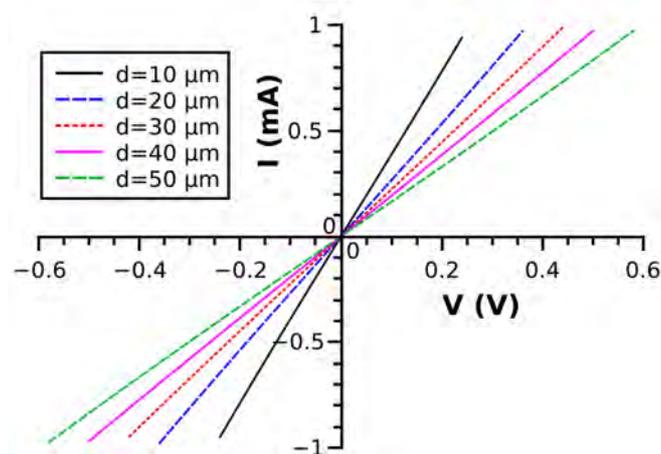


Figure II.3.79. Caractéristiques I-V linéaires obtenues entre les plots TLM créés sur une des couches VLS. Les couches Ni/Ti/Al/Ni pour former les contacts ont été déposées sans recuit.

En regardant la figure II.3.78, on observe néanmoins une forte dispersion et une certaine incohérence dans les valeurs des résistances spécifiques des contacts que nous obtenons, d'une part d'un motif TLM à un autre et d'autre part en faisant varier la température de création des contacts ohmiques.

Ces forte dispersion et incohérence sont dues surtout à la forte rugosité des couches VLS, notamment celle créée avec l'ancienne configuration de croissance VLS sous Ar (Figure II.3.80) que nous avons mise en évidence dans [RI68].

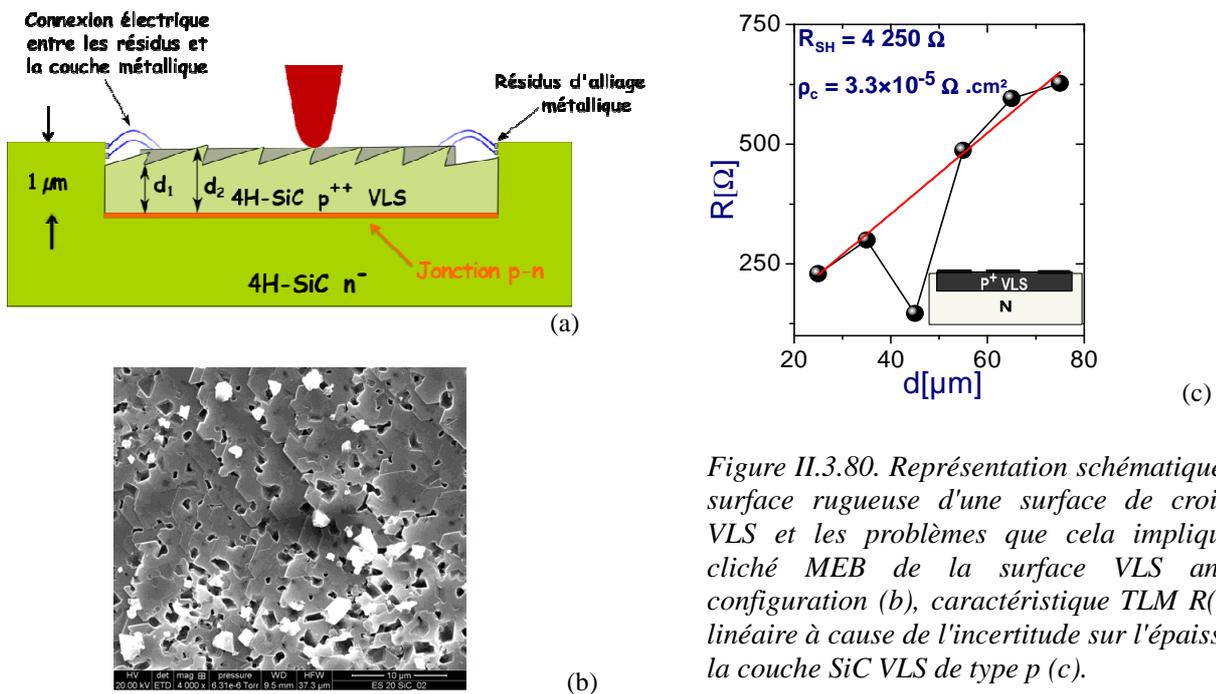


Figure II.3.80. Représentation schématique d'une surface rugueuse d'une surface de croissance VLS et les problèmes que cela implique (a), cliché MEB de la surface VLS ancienne configuration (b), caractéristique TLM $R(d)$ non linéaire à cause de l'incertitude sur l'épaisseur de la couche SiC VLS de type p (c).

Il faut mentionner également que les diodes PiN, réalisées dans le projet VHVD avec l'ancienne configuration VLS enterrée, présentaient également des forts courants de fuite en inverse ainsi qu'un seuil en direct et comportement plutôt proches d'une jonction Schottky qu'une bipolaire (voir §II.3.1.2).

Nous avons également créé des contacts métalliques sur les couches VLS optimisées lors de la thèse de Selsabil Sejil. La figure II.3.81 montre les résultats obtenus; nous terminons avec des pistes d'amélioration envisageables.

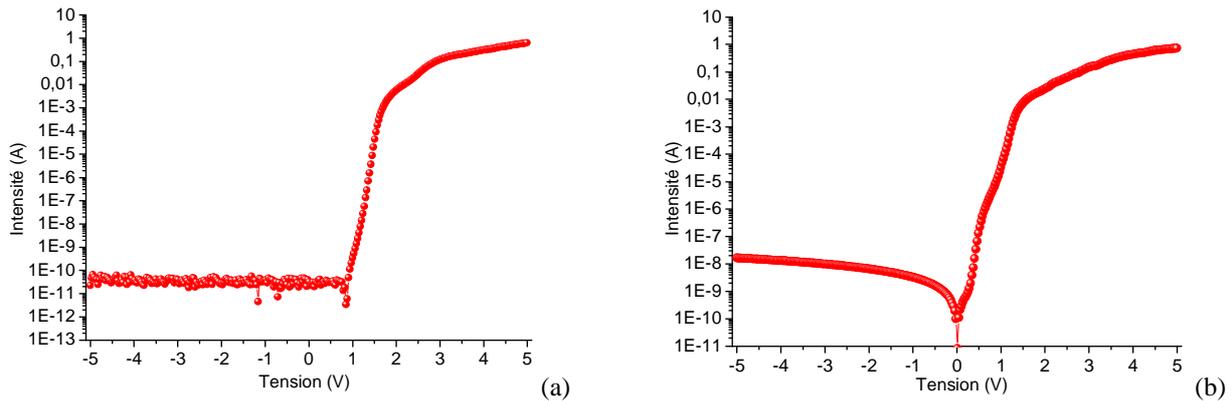


Figure II.3.81. Effet du recuit de métallisation Ni/Ti/Al/Ni sur les courants de fuites des PiN réalisés avec des couches VLS nouvelle configuration.

On constate que, même avec ces couches VLS obtenues en nouvelle configuration, après le recuit post-métallisation, nous constatons une dégradation des caractéristiques électriques des diodes PiN verticales créées avec un courant de fuite qui augmente en inverse (Figure II.3.81). Cette augmentation du courant de fuite est moindre que dans le cas des diodes VHVD mais elle est bien présente. Nous avons utilisé la métallisation standard : Ni(10)/Ti(40)/Al(240)/Ni(10nm) avec un recuit 800 °C sous une atmosphère d'argon (§II.3.3.4).

Des résidus de croissance VLS ou l'influence des étapes technologiques utilisées peuvent être mis en cause. La gravure RIE a été remplacée par une gravure ICP plus douce, mais nous avons vu au §II.3.3.2 qu'une oxydation thermique sacrificielle (oxydation thermique suivie d'attaque HF) peut s'avérer utile pour la formation des contacts ohmiques. Nous n'avons plus la possibilité d'utiliser une oxydation sacrificielle sur la plateforme Nanolyon.

On peut également considérer que cette métallisation standard Ni/Ti/Al/Ni avec un recuit à 800 °C, optimisé dans le cas des couches SiC type p créées par CVD ou implantation ionique, n'est pas adaptée à ces nouvelles couches VLS fortement dopées. Avec cette métallisation nous sommes peut-être dans une configuration trop proche de celle de la croissance VLS (température de recuit et la présence de l'aluminium).

Nous avons également tenté d'autres métallisations sur ces nouvelles couches VLS, comme des alliages Ti/Ni ou tout simplement de l'aluminium épais (800 nm) sans toutefois obtenir des caractéristiques linéaires avec des mesures I-V sur des plots TLM (figure II.3.82). La présence du nickel à la surface du SiC semble donc indispensable pour créer des contacts ohmiques.

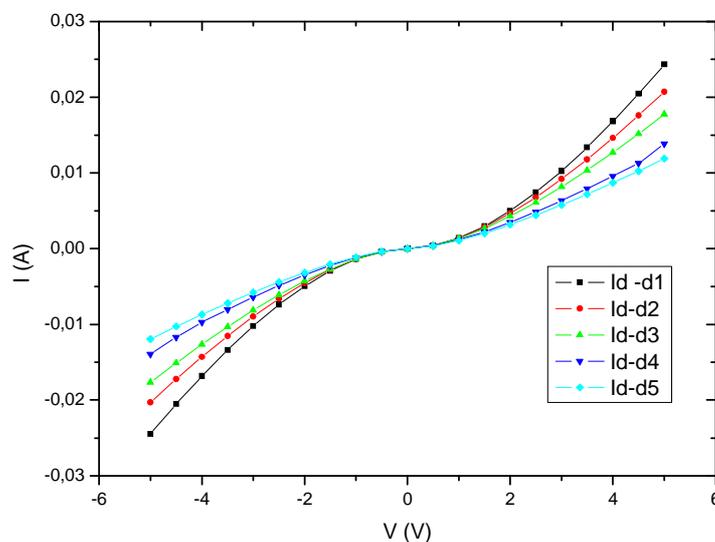


Figure II.3.82. Caractéristiques I-V obtenues entre des plots TLM créés sur une des couches VLS nouvelle configuration avec une métallisation aluminium 800 nm sans recuit.

Notons cependant que cette simple métallisation aluminium déposée permet d'obtenir des très forts courants aussi bien sur les caractéristiques TLM de la figure II.3.82 que sur celles des diodes PiN créées avec cette nouvelle configuration VLS, diodes présentées et discutées à la fin du §II.3.1.2. Rappelons les très fortes densités de courant de plusieurs kA/cm^2 et la dissipation d'énergie que ces niveaux de courants impliquent.

II.3.3.7 Conclusion sur les contacts ohmiques sur le SiC type p

Pour améliorer les performances et la fiabilité des composants SiC bipolaires, il faut diminuer les résistances des contacts ohmiques sur les couches de type p qui aujourd'hui sont trop élevées.

Après plusieurs études, nous avons défini un procédé standard basé sur un empilement Ni/Ti/Al/Ni que nous appliquons aujourd'hui dans la fabrication de nos composants, sur toutes les couches SiC type p classiques, CVD ou dopées par implantation ionique. La résistance spécifique de contact est autour de $1 \times 10^{-5} \Omega \cdot \text{cm}^2$.

Pour améliorer davantage ces contacts et diminuer leurs résistances, il faut intensifier les efforts pour d'une part maîtriser l'interface métal/semiconducteur créée et d'autre part chercher des méthodes pour diminuer la barrière de potentiel.

Nous avons identifié la phase Ti_3SiC_2 et son rôle joué dans la formation des contacts ohmiques.

Les couches VLS fortement dopées aluminium nous ont permis de montrer une autre voie possible pour diminuer davantage les résistances de contact.

II.4. Réalisation d'un bras onduleur monolithique en SiC

Cette partie concerne l'intégration latérale de JFET SiC pour la réalisation d'un bras d'onduleur en SiC (Fig II.4.1). Ces travaux ont été réalisés dans le cadre de deux **projets ANR**, **COTHT** (projet blanc 2006-2009) et **JFET-SB** (projet jeune chercheur 2006-2009) dont le laboratoire AMPERE a été porteur, complétés par la **thèse de doctorat de Farah Laariedh** qui a approfondi et exploité d'une manière académique les résultats obtenus des deux projets ANR.

II.4.1 Objectif et applications visés

Le but de ces projets ANR a été centré sur la réalisation d'associations d'interrupteurs en SiC afin d'aboutir à un élément de base de tout convertisseur d'électronique de puissance. L'objectif visé dans le cadre du projet JFET-SB était la réalisation d'un onduleur monolithique en SiC, 600 V, basé sur l'intégration latérale de structures compatibles et complémentaires de JFET. Le projet COTHT concernait la partie driver (commande basse puissance) qu'on voulait qu'elle soit capable de fonctionner à haute température. La même topologie de composants a été adoptée pour le projet COTHT, basée sur des bras d'onduleurs à JFET latéraux intégrés, mais avec des moindres calibres de tension et fonctionnant à haute température (300 °C). L'objectif à terme est de tout intégrer sur une même puce SiC en réalisant un circuit intégré de puissance complet.

Rappelons que, d'une manière générale, l'intégration monolithique et tout particulièrement dans le SiC permet pour l'électronique de puissance, d'améliorer la fiabilité des composants, de réduire la taille des convertisseurs et ainsi d'augmenter les vitesses de commutation et de diminuer les pertes.

Dans ces projets ANR, nous nous sommes limités à l'utilisation de composants SiC à un niveau de tension assez faible, 600 V, pour permettre une intégration monolithique des composants de type JFET-latéraux à canal n et p (paires complémentaires) sur une même puce. L'intégration monolithique de convertisseurs de cette puissance moyenne est possible en SiC alors qu'elle est très difficile sur silicium, nécessitant par exemple des technologies de type SOI.

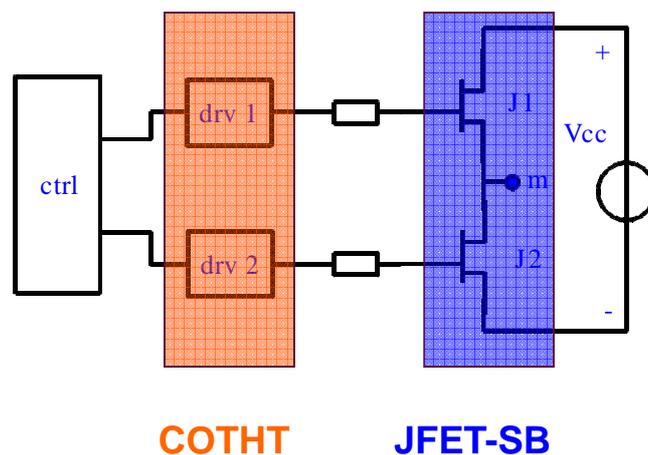


Fig II.4.1 : Schéma d'un onduleur avec les deux étages commande (COTHT) et puissance (JFET-SB)

D'après Henri Foch [Foch'00], tous les convertisseurs sont réalisables à partir de ce type de bras d'onduleur. Nous précisons qu'en se limitant à une tenue en tension de 600 V, nous visons des réseaux alternatifs standards avec des applications pour la domotique, la conversion électrique pour les énergies renouvelables comme le photovoltaïque ainsi que des applications pour l'automobile.

L'industrie automobile demande notamment un onduleur de tension réalisable par 3 paires complémentaires de JFET 16 A, intégrable sur moins de 1 cm², fournissant sous une tension de bus

de 400 V, 11,1 kW à un moteur électrique triphasé. Mieux encore, cette puce pourrait s'intégrer sans peine dans un moteur roue, avec un rendement global élevé.

Concernant le photovoltaïque, l'une des solutions pour la conversion électrique entre un panneau photovoltaïque et un réseau de distribution peut être réalisée par des paires complémentaires comme onduleurs ou hacheurs à très fort rendement.

Enfin, pour la domotique, notons qu'avec l'intégration du photovoltaïque dans l'habitat et les "services" où l'essentiel des charges fonctionnent en continu, un réseau DC a l'avantage immédiat d'améliorer nettement l'efficacité énergétique en éliminant les couples onduleurs/redresseurs. Dans ce cas, par exemple, une paire complémentaire de JFET de faible calibre en courant peut être à la base du pilotage de l'éclairage à LED en étant complètement intégrée à la lampe.

Les démonstrateurs que nous nous sommes proposés de réaliser sont très différents et complémentaires des industrialisations en cours, qui visaient surtout à l'époque des composants JFET verticaux et discrets comme ceux commercialisés par Infineon, et aujourd'hui des composants MOSFET verticaux et discrets également (voir §II.2).

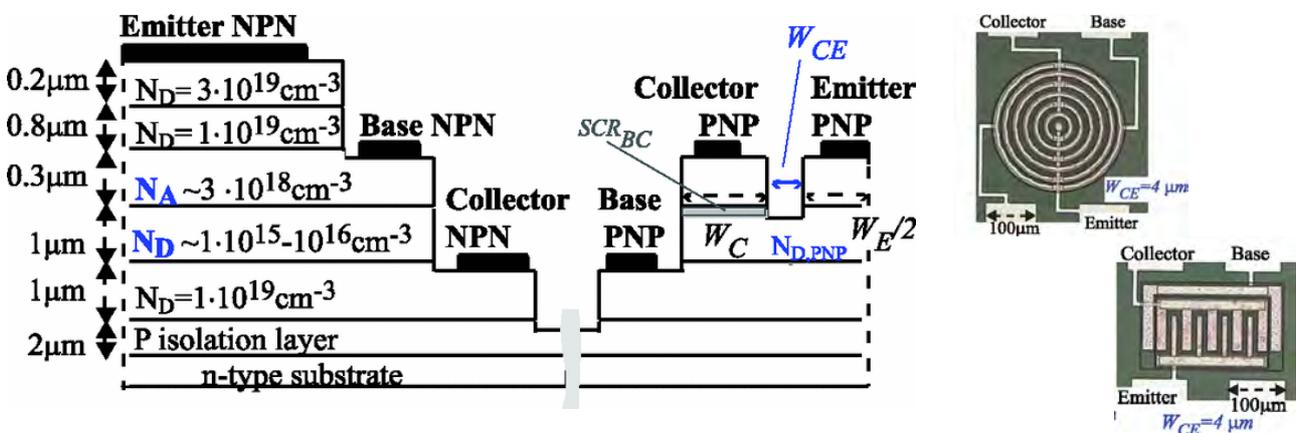


Fig. II.4.2 Technologie bipolaire pour l'intégration d'un transistor vertical NPN et un latéral PNP pour la réalisation de circuits intégrés analogiques [Lann'14].

Très peu d'études existaient lors du démarrage de nos projets sur l'intégration latérale de composants SiC. Les figures II.4.2 et II.4.3 présentent quelques exemples beaucoup plus récents montrant d'abord une technologie bipolaire pour l'intégration d'un transistor vertical NPN et un latéral PNP pour la réalisation de circuits intégrés analogiques [Lann'14]. L'intégration d'un JFET vertical et de la diode antiparallèle pour la réalisation d'un demi-bras d'onduleur a été publiée par l'équipe de Zhao en 2011 [Radh'11].

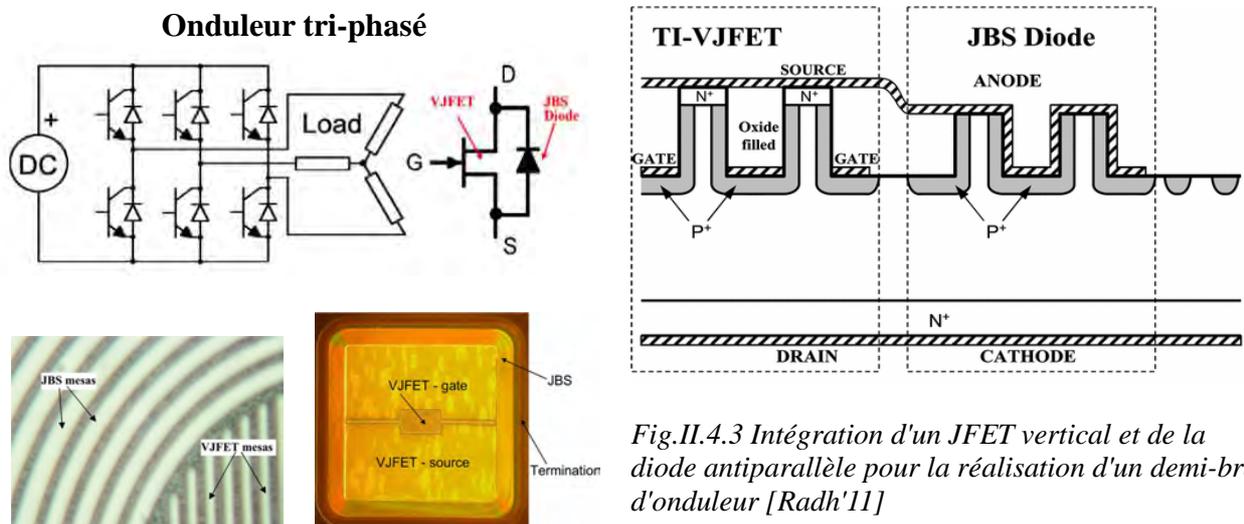


Fig. II.4.3 Intégration d'un JFET vertical et de la diode antiparallèle pour la réalisation d'un demi-bras d'onduleur [Radh'11]

II.4.2 Définition de la structure de l'ondeur monolithique

La simulation et le design des structures des composants ont été réalisés à l'aide des logiciels TCAD SENTAURUS/ISE et MEDICI. Nous avons utilisé plusieurs logiciels équivalents seulement à cause de leur évolution commerciale et leur disponibilité au laboratoire, tout au long de ces projets.

Le fonctionnement des composants sous les différentes polarisations a été analysé par simulations numériques, de type éléments finis, permettant de prévoir les caractéristiques électriques des composants (I-V, tension de claquage, temps de commutation) et de visualiser les grandeurs internes des composants (potentiel, champ électrique, densité de porteurs, densité de courant...). Ainsi, les structures des composants ont été définies : géométrie dimensionnelle, nature des différentes couches, dopages... Elles sont basées sur des structures latérales de JFET type n et type p.

La structure du JFET latéral à canal N peut être observée dans la Figure II.4.4 ainsi que ses caractéristiques électriques prévues par simulation. Une structure complémentaire pour le JFET latéral à canal P a été également déterminée. Ces deux composants ont été intégrés dans deux types de structures finales planaires et gravées.

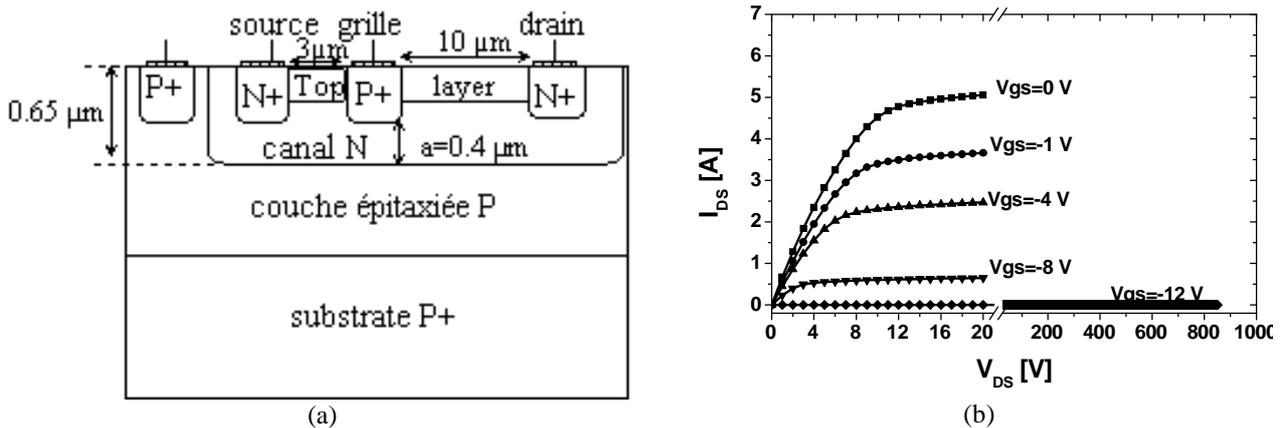


Figure II.4.4 La structure du LJFET à canal N (a) et ses caractéristiques électriques obtenues par simulation TCAD (b)

Un effet double RESURF (reduced surface field) a été utilisé afin d'augmenter le pouvoir d'intégration latérale et la tenue en tension de ces composants. Pour améliorer la tenue en tension de chaque transistor JFET tout en diminuant la résistance série à l'état passant, une deuxième couche à effet RESURF a été ajoutée en surface. Celle-ci correspond aux couches situées entre source, drain et grille des deux JFET complémentaires. Leur rôle est de créer une nouvelle jonction horizontale qui aidera à la désertion de la couche de canal des JFET avant que le claquage latéral se produise. Ainsi le dopage de la couche du canal peut être augmenté.

Dans la figure II.4.5, nous pouvons voir l'influence du dopage de ces couches sur la tenue en tension du JFET à canal de type n. La répartition du champ électrique et celle des équipotentielles sont représentées pour 4 différents dopages de la couche RESURF en surface de type p, en le faisant varier de $5 \times 10^{16} \text{ cm}^{-3}$ à $5 \times 10^{17} \text{ cm}^{-3}$.

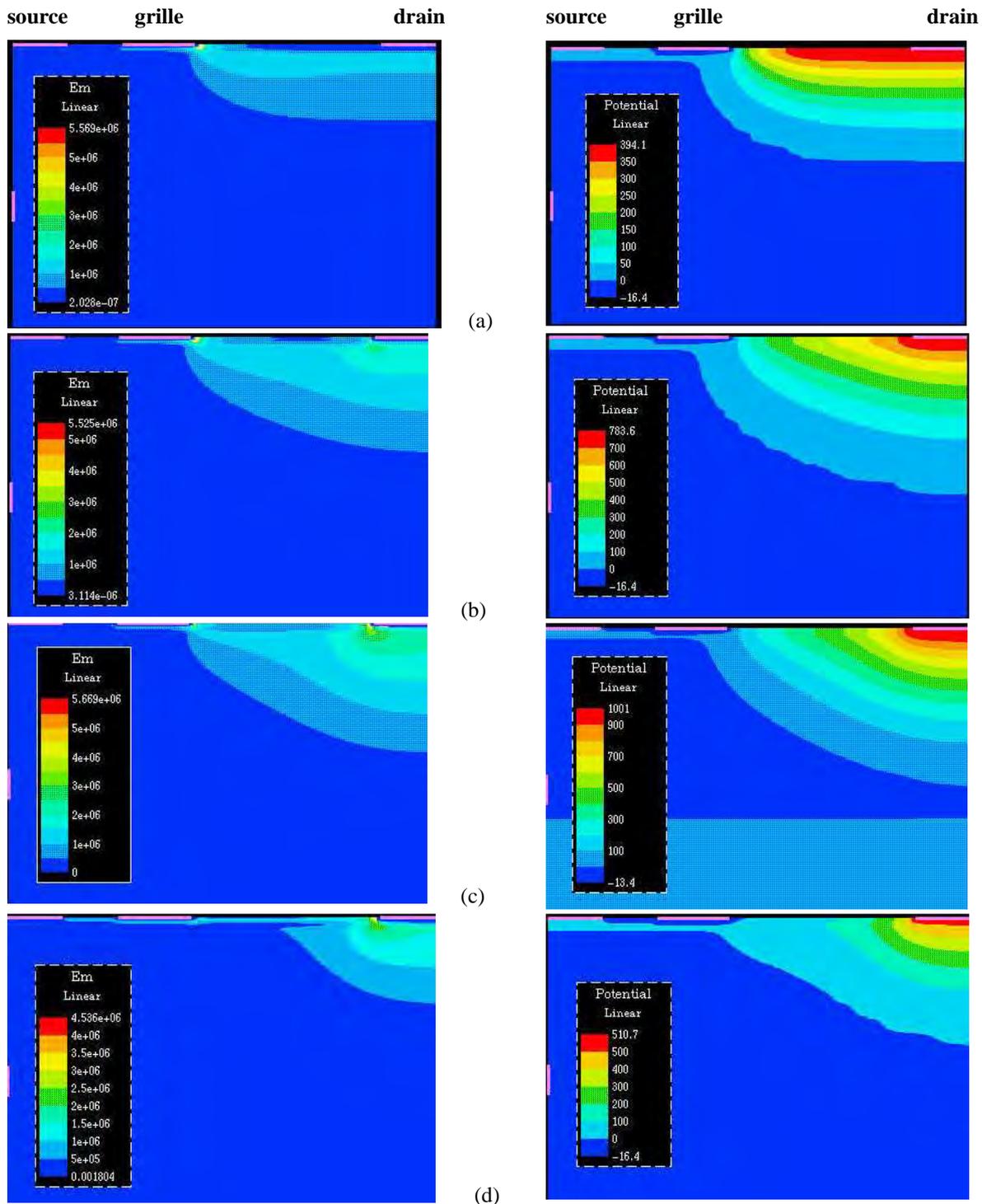


Fig. II.4.5: Répartition du champ électrique (à gauche) et des équipotentielles (à droite) dans le JFET à canal N pour 4 différents dopages de la couche RESURF en surface de type p: $5 \times 10^{16} \text{ cm}^{-3}$ (a), $1 \times 10^{17} \text{ cm}^{-3}$ (b), $2 \times 10^{17} \text{ cm}^{-3}$ (c) et $5 \times 10^{17} \text{ cm}^{-3}$ (d).

Une tenue en tension de 1 kV est obtenue pour un dopage de $2 \cdot 10^{17} \text{ cm}^{-3}$ de la couche RESURF type p à la surface (Figure II.4.6). Ceci correspond au dopage optimal. La variation de la tenue en tension est strictement liée à la distribution du champ électrique qui est résumée dans la figure II.4.7. Ainsi, dans le cas optimal, un équilibre se produit entre les deux pics de champ électrique qui apparaissent au niveau de la grille et du drain. Pour un dopage plus faible de la couche RESURF, le champ électrique est très intense au niveau de la grille et, pour des dopages plus élevés, le pic du champ est présent au niveau du drain.

Les résultats pour le JFET de type p sont équivalents.

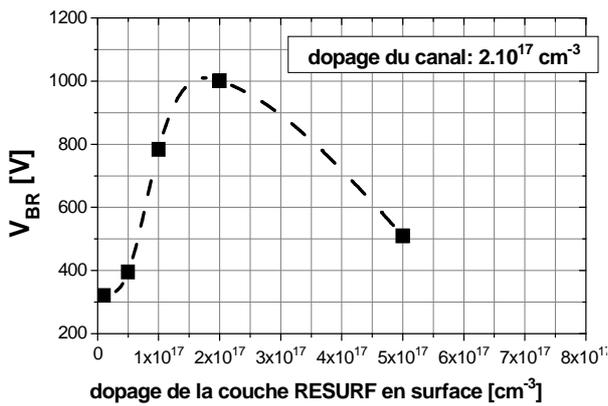


Fig. II.4.6 Variation de la tenue en tension avec le dopage de la couche RESURF en surface

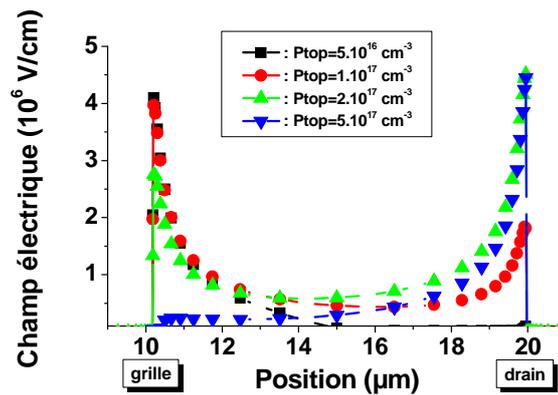


Fig. II.4.7 Distribution du champ électrique dans le JFET latéral

Les commutations de chaque élément ainsi que de la structure du bras d'onduleur ont été également simulées en "mixed -mode" sous MEDICI afin de déterminer les temps de commutation, l'influence des différents paramètres des couches et des différentes capacités formées dans cette structure. On obtient une commutation dans un intervalle limité à une dizaine de ns.

Suite à ce travail de simulation, dans la figure II.4.8 sont présentées les superpositions de deux jeux de masques (des champs répétitifs élémentaires 6×10 mm) qui ont été dessinés et utilisés pour la fabrication d'un lot planaire (figure II.4.8a) et d'un lot de composants gravés (figure II.4.8b). On mentionne que 8 niveaux de masques ont été utilisés pour fabriquer les structures planaires et 10 niveaux pour les structures gravées.

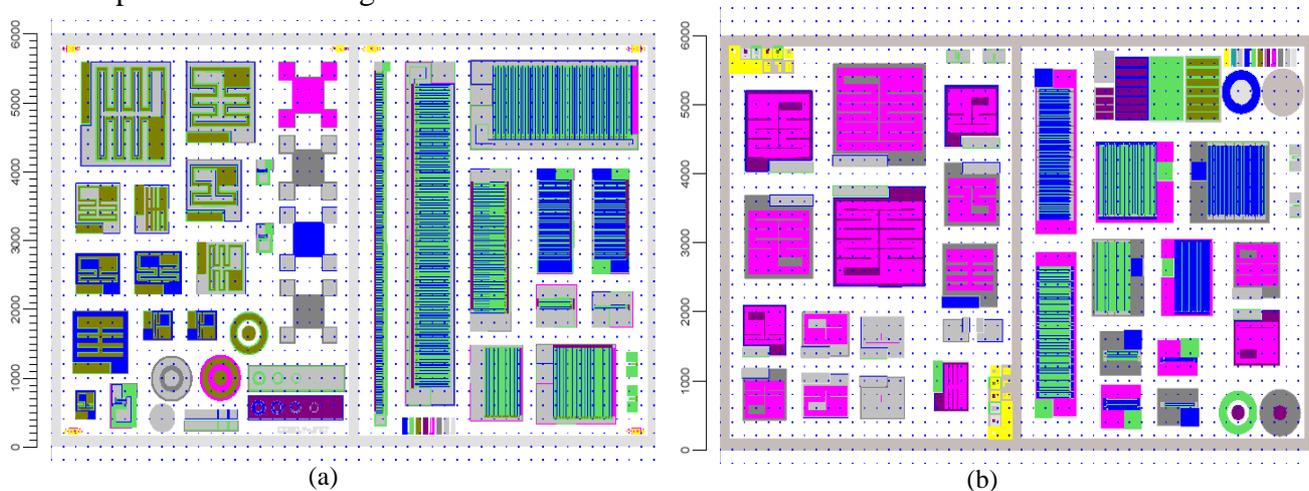


Figure II.4.8 Superposition des niveaux de masques pour des structures planaires (a) et gravées (b). L'échelle de l'ordonnée est graduée en μm .

En détaillant brièvement la fabrication des structures planaires, quatre niveaux de masques concernent le dopage par implantation ionique des source-drain, de la grille, du canal et de la couche RESURF superficielle. Trois niveaux sont également prévus pour la métallisation par ouverture de la couche de passivation. Des composants de différentes tailles ont été fabriqués (de $366 \times 263 \mu\text{m}$ à $1460 \times 1520 \mu\text{m}$) avec des structures compactes interdigitées. Si les longueurs du canal des JFET latéraux varient entre 3 et $15 \mu\text{m}$, ses largeurs varient entre 0,025 et 5,61 cm. Cela permet d'obtenir une gamme assez large pour les calibres en courant. Deux types de JFET ont été définis : avec une grille métallisée sur toute sa largeur ou partiellement métallisée. La métallisation permet d'uniformiser la répartition du potentiel surtout pour les couches de SiC type p qui sont plus résistives. Par contre, cela diminue la compacité des composants. Des motifs de tests électriques et

physico-chimiques ont été également prévus pour les différentes couches formées ainsi que des motifs de test de qualité de la lithographie.

La plupart des étapes technologiques se sont déroulées sur la plate-forme technologique Nanolyon. Les implantations ioniques ont été réalisées majoritairement avec les accélérateurs de l'IPNL de Lyon.

Dans les parties suivantes, nous présentons tout d'abord une analyse des composants latéraux réalisés dans le cadre des deux projets ANR. Les corrélations trouvées entre les résultats nous ont permis d'identifier les étapes technologiques sur lesquelles la thèse de Farah Laariedh a dû se focaliser afin d'améliorer les performances des composants latéraux en vue de leur intégration monolithique. Les changements technologiques et les résultats obtenus sur les nouveaux lots fabriqués sont présentés par la suite.

Enfin, nous terminons avec les résultats que nous avons obtenus sur un lot expérimental où les caissons p^+ ont été réalisés par la croissance VLS. Bien que ces composants aient été réalisés avant la thèse de Selsabil Sejlil et n'ont pas pu bénéficier des importantes avancées de ces dernières années, les résultats sont prometteurs et montrent l'intérêt de cette technique alternative de dopage dans l'intégration monolithique de composants SiC.

II.4.3 Analyse des résultats des projets ANR JFET-SB et COTHT

II.4.3.1 L'étage de puissance

La figure II.4.9 présente les structures individuelles des deux JFET complémentaires (canal type n et respectivement type p) de l'étage de puissance du bras d'onduleur. Ces JFET ont été réalisés séparément lors du premier lot, en utilisant des wafers avec des substrats type p pour les N-JFET et des wafers avec des substrats type n pour les P-JFET.

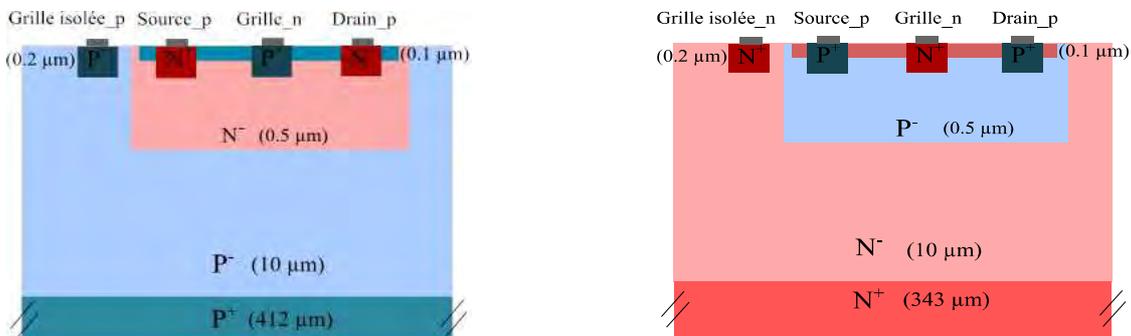


Fig II.4.9 : Vue en coupe des transistors JFET 600V complémentaires de l'étage de puissance du bras d'onduleur à canal n (à gauche) et à canal p (à droite).

Si la tenue en tension des composants, prévue à 600 V, a été démontrée, les résultats sur la conduction des canaux latéraux sont plutôt mitigés. Nous avons obtenu un courant I_{DS} de l'ordre du mA pour les JFET à canal n et des JFET à canal p complètement bloqués. Contrairement aux JFET de puissance à canaux verticaux, les paramètres technologiques semblent avoir un impact plus important sur le comportement des JFET latéraux.

a) Implantation ionique

Comme mentionné, un nombre considérable d'étapes d'implantations ioniques ont été réalisées durant la fabrication de ce lot, 6 implantations différentes dont 4 sur chaque type de composant (canal, source/drain, grille, RESURF). Ceci est certainement la cause de la résistance excessive des canaux obtenus, surtout pour ceux de type p. La couche du canal a été partiellement ou totalement cachée par les implantions en surface de la grille et de la couche RESURF (Fig. II.4.10).

De plus, une couche de silice d'arrêt a été utilisée en surface, contrainte imposée par l'énergie

d'implantation minimale de l'implanteur de l'IPNL disponible. Le contrôle de l'épaisseur de cette couche de silice ajoute une incertitude sur le profil de dopage final. En outre cette technique a demandé l'utilisation d'énergies relativement élevées pour l'implantation de la grille en surface. L'augmentation de l'énergie d'implantation a fait croître également l'écart-type ou la déviation standard (ΔR_p) des ions implantés et ainsi la possibilité de recouvrir le canal par la grille.

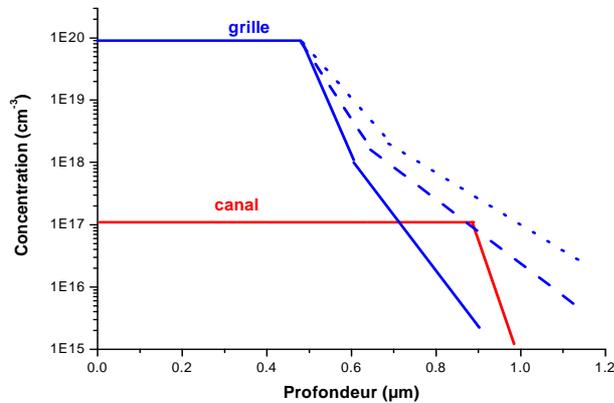


Fig II.4.10. Présentation schématique du profil du canal caché par la queue de canalisation de l'implantation de la grille en surface.

Pour améliorer les lots suivants des JFET de puissance, il a été ainsi souhaitable de garder cet implanteur et cette technique adaptée à la réalisation de couches profondes, comme celle du canal. Par contre, pour la réalisation des caissons de grille, source et drain nous avons utilisé un implanteur classique en limitant l'énergie à une centaine de keV et la couche d'arrêt de silice en surface a été éliminée.

Il a fallu également diminuer ou limiter le nombre de couches réalisées par implantation ionique. En vue de l'intégration des deux JFET P et N sur le même substrat, nous avons ainsi préféré nous focaliser sur une structure gravée plutôt qu'une structure planar qui nécessitait un nombre de caissons implantés plus important (figure II.4.11). Ainsi, nous avons réalisé uniquement la structure gravée avec les JFET P et N intégrés sur la même puce bien que la structure planaire complète ait été aussi définie par simulation TCAD.

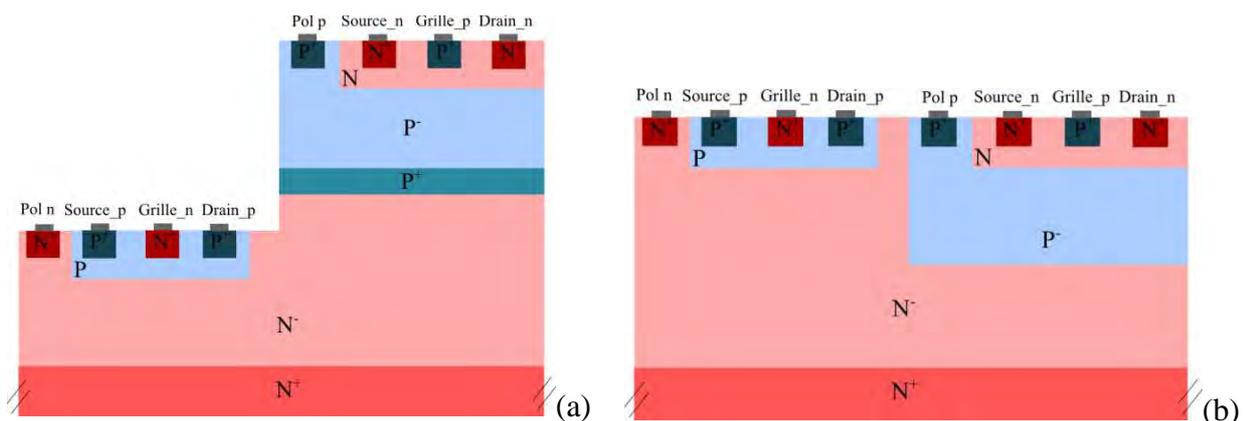


Fig. II.4.11 Structure du bras puissance de l'onduleur monolithique gravé (a) et planar (b) avec les JFET P et N intégrés sur le même substrat.

Ce choix a demandé cependant une maîtrise de la gravure profonde du SiC et d'être capable d'obtenir une surface gravée lisse sans défauts qui puissent nuire à la conduction latérale. Cette étude a été détaillée au §II.3.2.

Comme la tenue en tension a déjà été montrée, nous avons décidé dans un premier temps de ne plus utiliser la couche RESURF en surface en nous focalisant sur l'étude de la conduction du canal implanté.

b) Géométrie des composants

Sur les JFET de type n, nous avons observé qu'il est difficile de polariser la couche de la grille P^+ si elle n'est pas métallisée sur toute sa largeur. Ainsi, pour les lots suivants, nous avons privilégié l'utilisation de JFET avec une structure en serpentín plutôt que ceux en peigne. Ceci implique par contre une diminution considérable de la largeur du canal Z par surface de SiC utilisée.

Sans éliminer complètement les structures en peigne, nous avons augmenté le nombre de JFET avec une structure en serpentín.

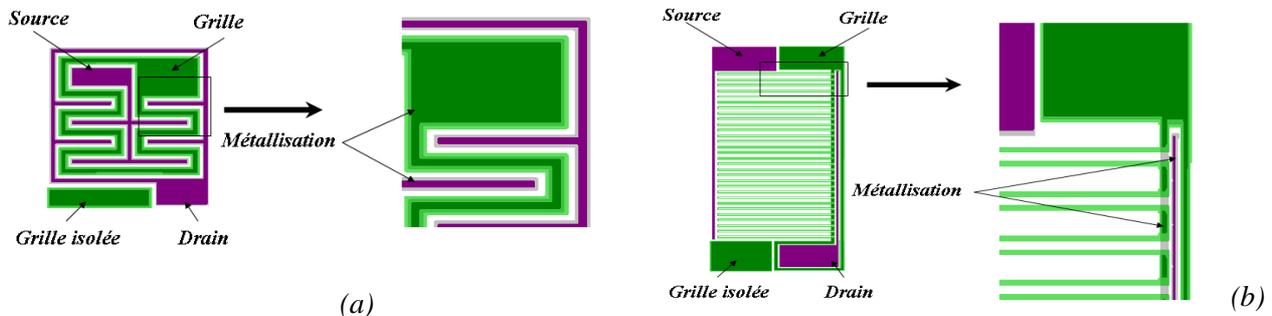


Fig II.4.12 Structure des JFET en serpentín avec une grille P^+ métallisée sur toute sa largeur (a) et structure en peigne avec une grille P^+ partiellement métallisée (b).

c) Contacts ohmiques

Sur les composants de ces lots, la même métallisation a été utilisée pour les caissons N^+ et P^+ . Nous avons utilisé une recette basée sur un alliage Ti/Ni qui a été optimisée pour le SiC-4H de type p, mais qui est très sensible et dépendante des conditions de recuits RTA pour la formation du contact métal/semiconducteur (§II.3.3.3). Si un contact ohmique n'a pas été obtenu sur les couches P^+ , à cause d'une probable contamination du four de recuit RTA utilisé, il est vraiment regrettable de ne pas avoir obtenu non plus de contact ohmique sur les couches N^+ .

Il a été ainsi souhaitable pour les lots suivants de JFET d'utiliser deux métallisations distinctes, une dédiée pour les couches P^+ et l'autre pour les N^+ . Cette dernière s'obtient assez facilement, d'après la littérature, en augmentant la concentration de nickel dans l'alliage Ti/Ni.

Par contre, une étude approfondie s'est imposée pour l'optimisation des contacts ohmiques sur le SiC-4H type p. Elle est présentée en détails dans le §II.3.3.4 et les publications [RI45 et RI57].

II.4.3.2 L'étage de commande

Nous avons trouvé un nombre important de JFET qui fonctionnent dans le sens qu'ils présentent une modulation du canal par rapport à une polarisation V_{gs} . Mais, pour bien mettre en évidence cette modulation, il a fallu commander la grille à des tensions très élevées de l'ordre de 50 V pour les JFET de type p, et -15 V pour les JFET type n. Le blocage des canaux a été également impossible à l'effectuer.

Ces résultats sont dus à des valeurs trop élevées des dopages et des épaisseurs des canaux. Mais il faut souligner que ce lot a permis de montrer qu'il est possible d'intégrer sur la même puce des JFET complémentaires avec des canaux P et N, ce qui a été un résultat très important pour la suite de nos travaux. Remarquons également qu'il s'agit d'une structure gravée.

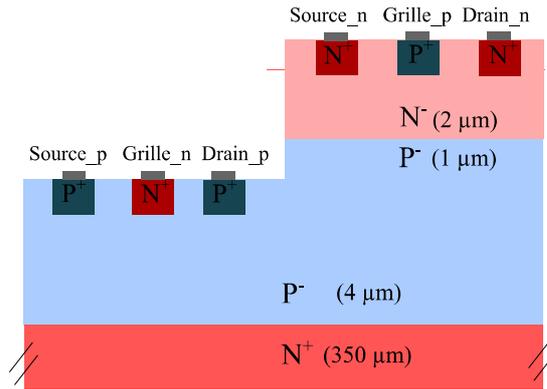


Fig.II.4.13 : Vue en coupe du bras d'onduleur fabriqué pour l'étage commande avec les structures des JFET basse tension à canal N et P intégrées monolithiquement.

Pour améliorer les lots basse tension suivants, il a fallu diminuer les valeurs des dopages et/ou des épaisseurs des couches des canaux. Mais les résultats que nous avons obtenus sur l'étage de puissance nous ont montré que la maîtrise de cette conduction latérale est délicate et très sensible aux paramètres technologiques. Une attention particulière a été accordée à l'implantation de la grille en surface pour le prochain lot basse tension.

Comme pour le lot 600 V, la même métallisation, basée sur un alliage Ti/Ni, a été utilisée pour les caissons N^+ et P^+ , en évitant l'utilisation de l'aluminium pour ce lot prévu pour fonctionner à haute température. Nous avons mis en évidence les mêmes défaillances. Ainsi, pour les prochains lots de composants commande basse tension, comme pour les JFET haute tension, nous avons utilisé et optimisé deux métallisations distinctes, une dédiée pour les couches P^+ et l'autre pour les N^+ .

II.4.4. JFET latéraux complémentaires intégrés monolithiquement

Des nouveaux lots de composants JFET de puissance et commande ont été fabriqués, finalisés durant la thèse de Farah Laariedh. Des JFET complémentaires (canaux P et N) ont été intégrés monolithiquement sur la même puce SiC-4H pour les deux étages : puissance et commande. Les étapes technologiques optimisées ont été implémentées dans la fabrication de ces composants.

Avant la fabrication des composants, les paramètres (dopage et épaisseur) des différentes couches épitaxiées ont été confirmés par des analyses SIMS (Fig. II.4.14).

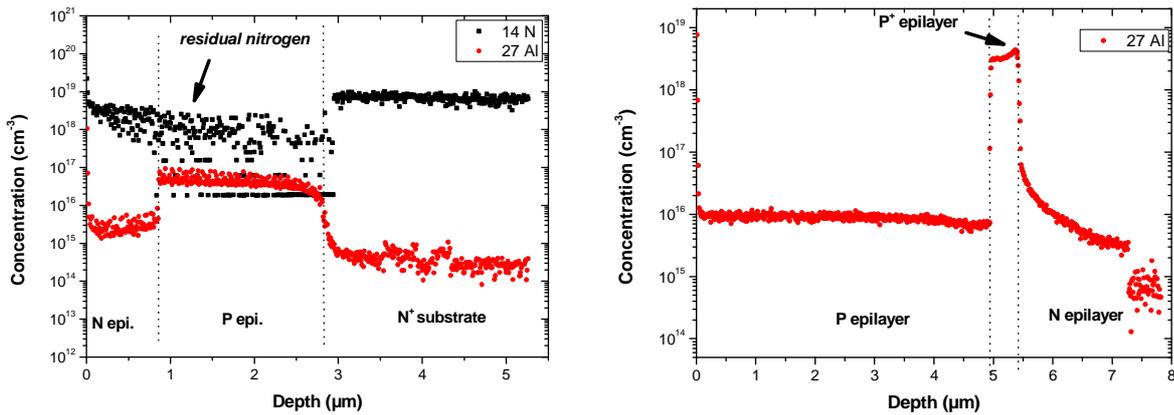


Fig.II.4.14. Profils des dopages aluminium et azote mesurés par SIMS pour les couches épitaxiales CVD utilisées dans les structures de l'étage de puissance (à gauche) et de commande (à droite).

Des grilles moins profondes ont été réalisées en éliminant la couche d'arrêt de silice en surface et en utilisant des énergies d'implantations ioniques plus faibles par rapport aux lots précédents, limitées à 60 et 100 keV. Uniquement pour les canaux de l'étage de puissance, nous avons gardé les implantations à haute énergie.

Les paramètres des implantations ioniques ont été optimisés par simulation Monte-Carlo en utilisant le logiciel I²SiC qui prend en compte la structure cristalline du SiC-4H (voir §II.3.1). Des canaux de conduction relativement profonds (~0,5 μm) ont été ainsi obtenus (Fig. II.4.15).

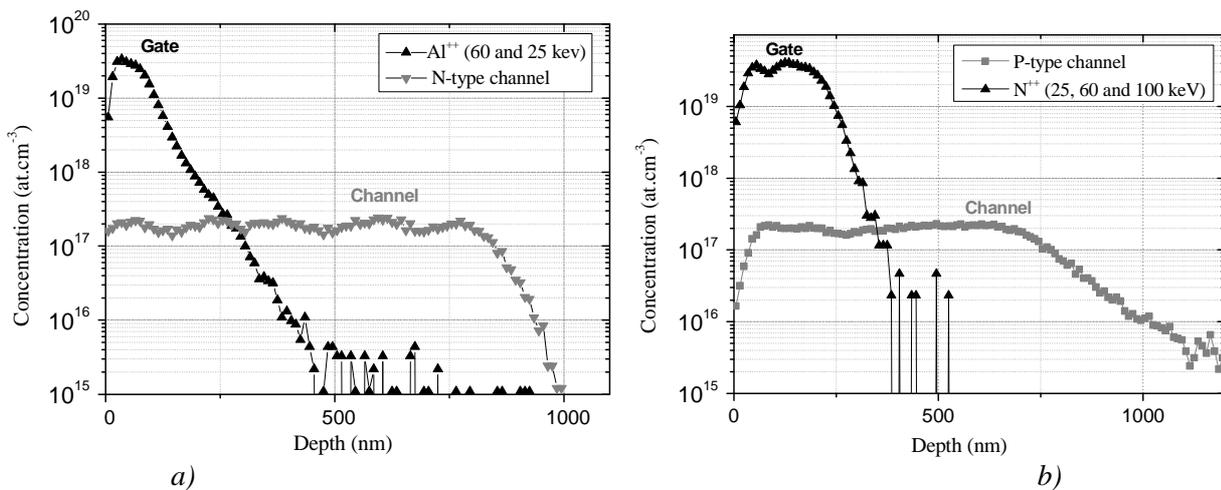


Fig.II.4.15. Paramètres des implantations ioniques et profils de dopages des grilles et des canaux optimisés par simulation MC I²SiC pour les N-JFET (a) et les P-JFET (b) de l'étage de puissance.

L'optimisation du contact ohmique sur les couches de type p et le fait d'utiliser une métallisation distincte pour le contact ohmique de type n nous a permis d'avoir une bonne

conduction dans les canaux des JFET de l'étage de commande et également pour l'étage de puissance. Nous avons obtenu un courant de plusieurs dizaines de milliampères, jusqu'à une centaine de milliampères pour les JFET à canal N, et de l'ordre du milliampère pour ceux à canal P.

Une modulation du courant I_{ds} en fonction de la tension V_{gs} a été obtenue sur une bonne partie des JFET, des exemples étant présentés dans la figure II.4.16. Par contre, un certain nombre de JFET n'ont pas pu être bloqués, probablement à cause de la mise en conduction de transistors parasites dus aux structures gravées multicouches utilisées.

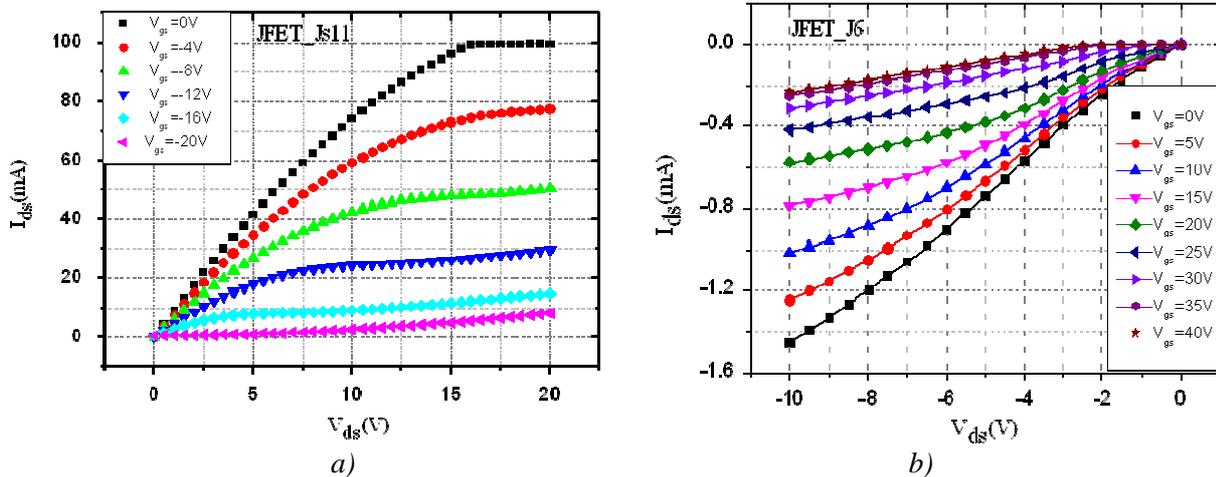


Fig. II.4.16. Des caractéristiques électriques typiques $I_{ds} - V_{ds}$ versus V_{gs} pour les N-JFET (a) de l'étage de puissance et les P-JFET (b) de l'étage de commande.

Nous avons trouvé que des gravures sèches supplémentaires post-fabrication permettent de diminuer les courants de fuite et améliorer le blocage des transistors. Ceci permet d'enlever sur les flancs des structures des couches contaminées par les étapes technologiques utilisées [RI30]. Une étape d'oxydation thermique sacrificielle est nécessaire avant la réalisation des contacts ohmiques. Cette oxydation thermique permet de consommer les couches contaminées et la couche de silice formée s'élimine par une attaque humide. C'est un procédé assez classique pour la technologie silicium, mais hélas, le manque de fours d'oxydation sur la plateforme Nanolyon ne nous a pas permis de l'appliquer sur nos composants SiC.

II.4.5. JFET latéraux avec caissons p^+ réalisés par VLS

Pour pallier les inconvénients liés à l'utilisation de l'implantation ionique et la présence du phénomène de canalisation dans la réalisation des différentes zones des JFET latéraux, il a été naturel d'appliquer nos études sur le dopage localisé par croissance VLS pour la réalisation des caissons des JFET complémentaires. Ces recherches étant réalisées en parallèle et vue la durée relativement longue que la réalisation d'un lot de composants SiC nécessite, il a été difficile d'appliquer les dernières configurations de croissance VLS optimisées. Ces composants ont été réalisés dans le cadre du **projet ANR VLOC**.

Dans les derniers lots de JFET complémentaires intégrés monolithiquement que nous avons finalisés, nous avons prévu une plaque SiC avec des caissons P^+ réalisés par croissance VLS. Les résultats obtenus ont été publiés et détaillés dans [RI68].

La figure II.4.17 présente une coupe schématique du bras d'onduleur de commande présentant des structures de JFET latéraux intégrés avec les couches dopées P^+ réalisées par croissance VLS.

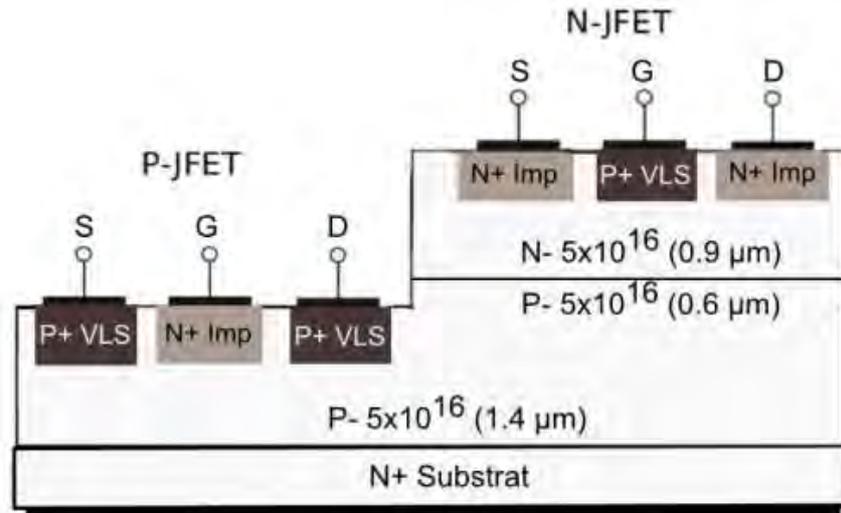


Fig. II.4.17: Présentation schématique des JFETs latéraux N et P intégrés monolithiquement avec des caissons P⁺ réalisés par croissance VLS.

Les caractéristiques typiques I_{ds} - V_{ds} en fonction de V_{gs} sont représentées dans la figure II.4.18 pour les deux types de JFETs à canal N et P. Comme attendu et comme dans le cas des composants précédents, à cause d'une plus faible mobilité dans le canal P, ces JFET présentent un courant plus faible. Notons que, pour les deux types de JFET, nous obtenons une modulation de la résistivité du canal en variant la tension grille-source V_{gs} . Cependant, nous avons observé dans le cas des transistors à canal N, un décalage des caractéristiques à l'origine en augmentant la tension V_{gs} pour attendre le régime bloqué.

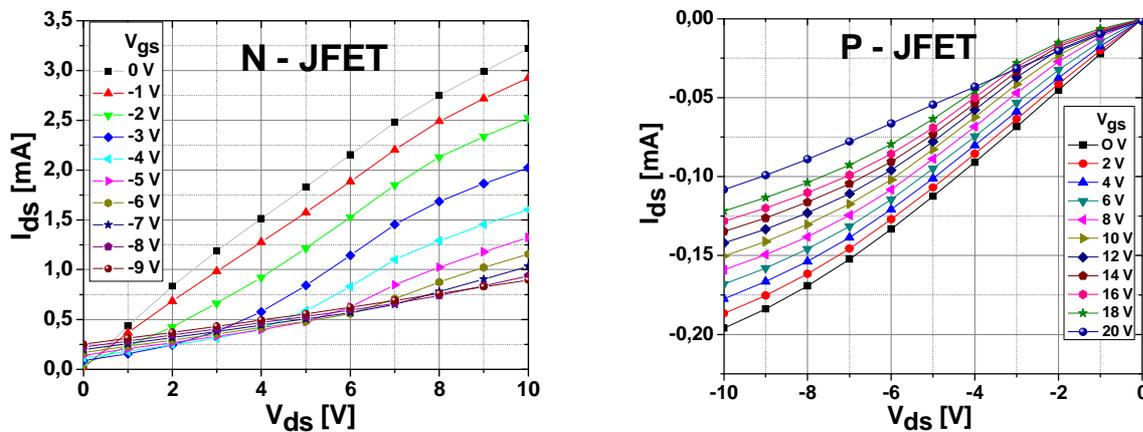


Fig. II.4.18. Caractéristiques électriques typiques des transistors N-JFET et P-JFET avec des caissons P⁺ réalisés par VLS.

Suite à des analyses élémentaires des différentes jonctions présentes dans la structure des composants, nous avons trouvé l'origine de ce comportement. Dans les transistors N-JFET, la couche P⁺ VLS assure directement la jonction P/N sous la grille. Par contre dans le cas des transistors JFET à canal P, les caissons P⁺ VLS sont utilisés comme source et drain et la jonction P/N sous la grille est formée entre la couche implantée N⁺ et la couche épitaxiée CVD type P.

Les caractéristiques I_{gs} - V_{gs} sont présentées dans la figure II.4.19 pour les deux types de JFET.

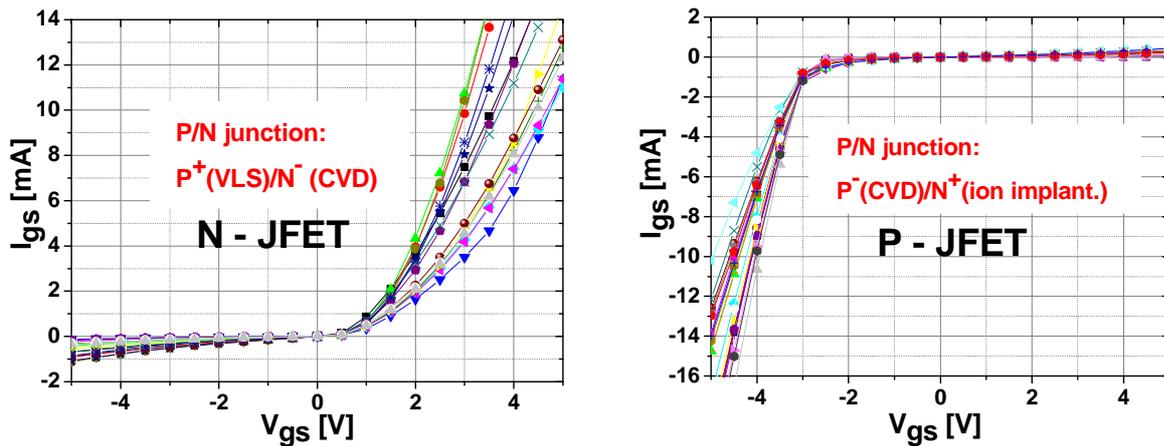


Fig. II.4.19. Caractéristiques $I_{gs} - V_{gs}$ des transistors N-JFET et P JFET

Nous pouvons observer que dans le cas des JFET à canal N, la jonction de grille assurée directement par la couche VLS P⁺, ne bloque pas bien en inverse. Une tension de seuil typique d'une jonction P/N dans le SiC-4H (d'une valeur de ~3V) est obtenue uniquement dans le cas des transistors à canal P.

Le comportement anormal des transistors à canal N est ainsi certainement dû à une interface VLS (type P⁺) / CVD (type N) qui présentait encore des défauts. Les travaux de la thèse de Selsabil Sejlil dans le cadre du projet VELSiC ont permis d'identifier ces défauts et de trouver des solutions pour optimiser le procédé de croissance VLS (voir §II.3.1.2.)

II.4.6 Conclusion sur l'intégration latérale des JFET complémentaires et sa technologie

Les résultats obtenus finalement ont permis de montrer la faisabilité de l'intégration de JFET complémentaires à canal N et P sur la même puce en SiC, aussi bien avec des interrupteurs pour la partie puissance que pour la partie commande, driver.

Nous avons également relevé les difficultés technologiques rencontrées. Tout d'abord, les structures planaires ne sont pas vraiment envisageables à cause du nombre très important d'étapes d'implantation ionique avec des profils et des queues de canalisation difficilement contrôlables dans le SiC. C'est le cas aussi du GaN pour lequel il existe aujourd'hui aussi des projets sur l'intégration latérale d'interrupteurs. Le remplacement de quelques étapes d'implantation ionique par des méthodes alternatives comme la VLS semble une voie très prometteuse. Nous avons montré au moins partiellement la faisabilité.

La maîtrise de la gravure plasma du SiC (ce qui n'est pas le cas pour le GaN) permet l'intégration des structures latérales avec les difficultés que cette technologie suppose : utilisation de résines épaisses, multicouches épitaxiales (transistors parasites à court-circuiter), charges résiduelles sur les flancs. Des étapes complémentaires comme l'oxydation thermique sacrificielle sont nécessaires ainsi que des couches de passivation/isolation pour améliorer la robustesse et la fiabilité des composants.

Enfin, on mentionne qu'il n'est pas toujours indiqué de réduire le nombre d'étapes technologiques comme nous l'avons essayé pour la métallisation en espérant diminuer la durée et le coût de fabrication. Finalement, nous avons dû utiliser des métallisations distinctes pour les couches de type p et n. L'utilisation de couches VLS fortement dopées P⁺ permettra probablement d'envisager une métallisation nickel sur l'ensemble des contacts ohmiques.

II.5. Capteurs SiC pour environnement sévère

Ces dernières années, le spectre de mes recherches a été étendu aux composants SiC de type capteurs. Nous avons été sollicités à travers différents projets pour valoriser la technologie SiC que nous avons développée à Lyon pour les composants de puissance. Grâce à ses propriétés physiques remarquables rappelées dans le §II.1, le SiC est également très recherché pour des composants type capteurs fonctionnant sous des contraintes sévères, comme le forage, le spatial, les réacteurs nucléaires ainsi que dans des environnements chimiques très corrosifs. On mentionne également sa biocompatibilité et son utilisation déjà en médecine comme couche encapsulante inerte.

Nous avons fabriqué différents types de capteurs à Lyon basés sur une technologie SiC : des capteurs optiques UV [RI44, RI47, RI52, RI72] dans le cadre de la **thèse de Stéphane Biondo** (IM2NP Univ. de Marseille), des capteurs de neutrons [RI61, RI64, RI71, RI76, RI81, RI82] dans le cadre du **projet européen ISMART** (Innovative Sensor for Material Aging and Radiation Testing) financé 2012-2016 par KIC InnoEnergy et des capteurs électrochimiques dans le cadre de la **thèse de Julien Pezard** [RI69, RI83, RI85]. Les différentes structures et leurs caractéristiques et performances sont détaillées dans les publications mentionnées. Quelques éléments sont présentés ci-dessous.

II.5.1. Photodétecteurs UV en SiC-4H

La figure II.5.1 présente les structures des photodétecteurs UV en SiC que nous avons réalisées. Elles sont basées sur des technologies lyonnaises SiC standard, utilisées pour la fabrication de diodes PiN verticales. La fenêtre optique a été reprise des structures de test que le laboratoire AMPERE fabrique pour des mesures OBIC.

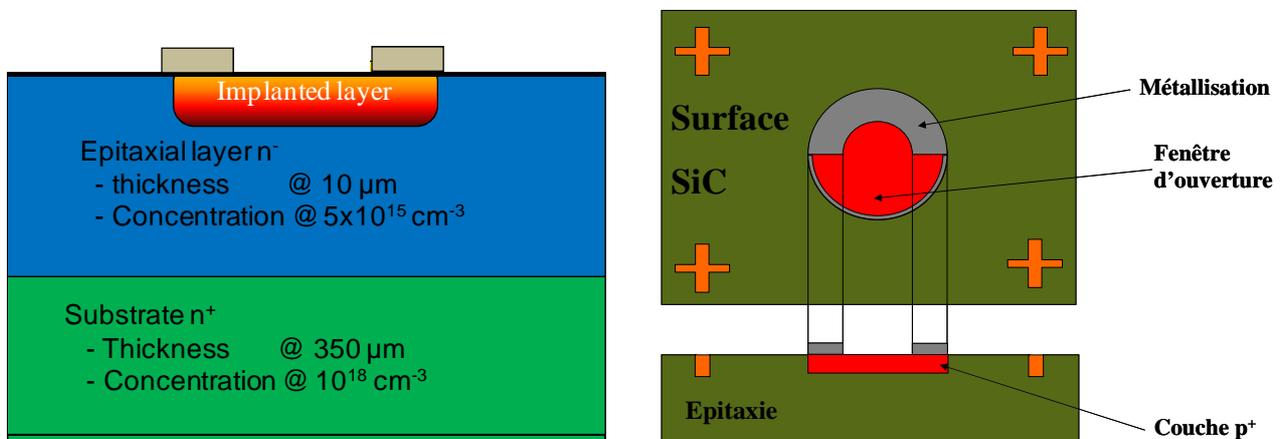


Fig. II.5.1 Structures des photodétecteurs UV en SiC, vue en coupe à gauche et vue mixte de dessus et en coupe à droite

Lors de la fabrication de ces photodétecteurs, pour la création de la zone active qui est représentée par une ZCE créée par une jonction P/N, nous avons utilisé deux méthodes pour la création de la couche P⁺ en surface : une implantation standard d'aluminium à 27 keV ($R_p=30$ nm) visant une concentration de dopants de $5 \times 10^{19} \text{ cm}^{-3}$ et une immersion plasma de B_2H_6 à 8 keV ($R_p=10$ nm) visant une concentration de $5 \times 10^{20} \text{ cm}^{-3}$.

Le but était de créer une couche très mince de P⁺ en surface afin d'augmenter la réponse spectrale, d'étaler davantage la ZCE et de profiter presque de toute la profondeur de la couche épitaxiée faiblement dopée N⁻. C'est pour la première fois que nous utilisons cette technique d'immersion plasma pour le dopage p de SiC, technique alternative à l'implantation ionique avec des perspectives très intéressantes dans l'utilisation dans des structures difficiles d'accès (comme les puits gravés profonds, JFETs normally-off commercialisés à un moment donné par Semisouth...).

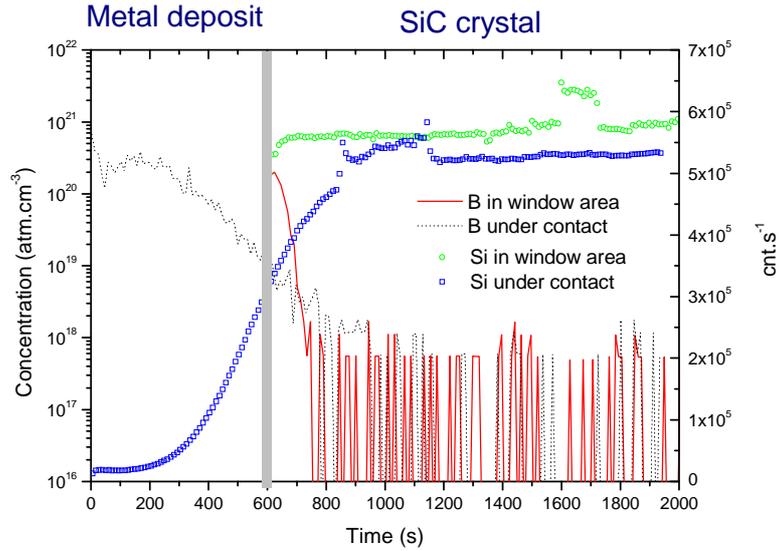


Fig. II.5.2 Analyses SIMS du contact métallique au-dessus des zones P⁺ créées par immersion plasma

Les mesures électriques I-V des composants que nous avons fabriqués ont montré cependant que, dans ce dernier cas, nous obtenons un comportement de diode type JBS. Les mesures SIMS réalisées (fig. II.5.2) ont confirmé que la couche créée par immersion plasma B₂H₆ a été consommée lors de la formation de la métallisation primaire que nous avons prévue pour former le contact ohmique sur la couche P⁺.

Les réponses spectrales que nous obtenons avec les deux structures (dopage aluminium par implantation ionique et bore par immersion plasma) sont présentées dans la figure II.5.3. Elles sont mesurées en température sur des photodiodes d'un diamètre de 230 μm et qui ont subies des irradiations de 10 MeV 2.10¹¹ protons et 1 MeV 2.10¹² électrons afin de simuler les radiations spatiales.

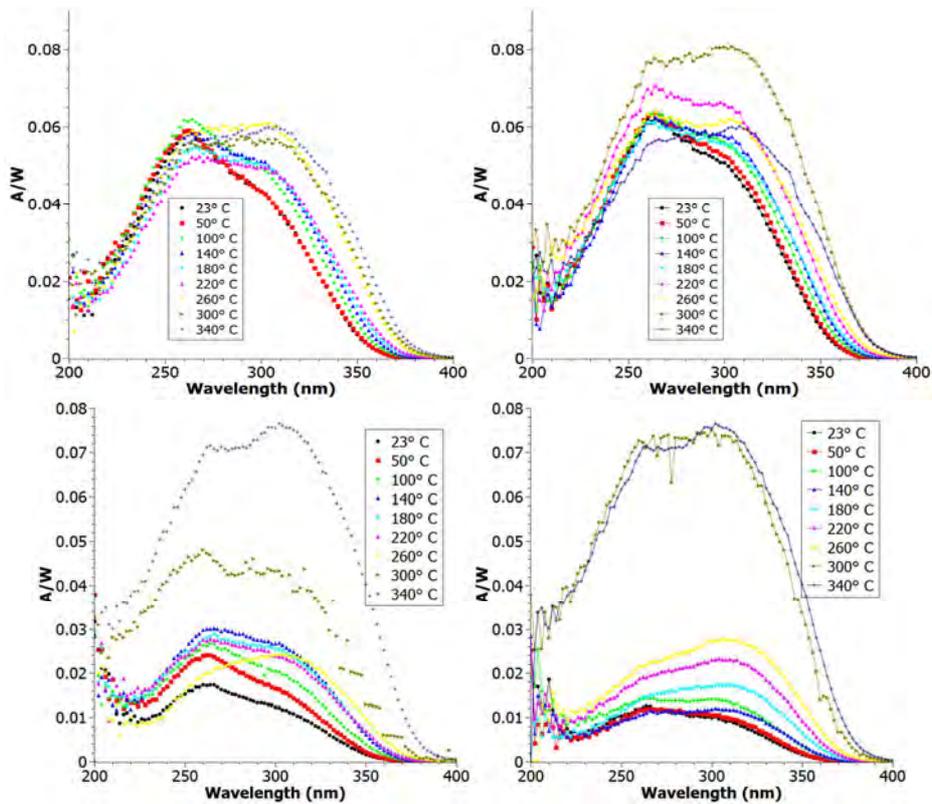


Fig. II.5.3 Réponses spectrales des photodétecteurs UV réalisés par dopage aluminium (en haut) et bore (en bas) et mesurées en températures croissantes et décroissantes

II.5.2. Détecteurs de neutrons en SiC-4H

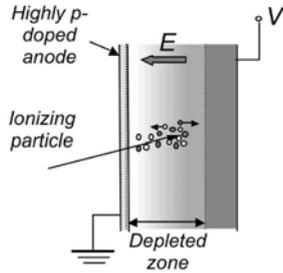


Fig. II.5.4. Schéma de principe d'un détecteur de particules

La figure II.5.4 présente le schéma de principe d'un détecteur de particules basé également sur une ZCE créée dans un semiconducteur.

Le silicium est actuellement le semiconducteur le plus utilisé. Le germanium et le CdTe sont des alternatives pour améliorer l'efficacité, mais avec un fonctionnement sous azote liquide. Notons que le silicium est limité aussi à 50-100°C à cause de l'augmentation des courants de fuite et du bruit. C'est dans ce contexte que le diamant et le SiC sont des matériaux mieux adaptés. Grâce aux forces interatomiques fortes des SiC et diamant, les détecteurs auront une durée de vie en fonctionnement plus longue comparée à celle des semiconducteurs précédents et ne nécessiteront pas de refroidissement, les dispositifs en SiC et diamant étant capables de fonctionner à haute température. De plus, les énergies cumulées ou produites par les réactions nucléaires internes peuvent être utilisées d'une manière intelligente soit pour guérir par exemple les défauts structuraux créés par les ions et radiations, soit les stocker et les employer pour autoalimenter le système comme nous l'expliquons ci-dessous.

Mais la technologie du diamant est immature et des faibles surfaces de détection peuvent être utilisées à cause de la trop faible taille des échantillons (quelques mm). Des détecteurs SiC basés sur des jonctions p/n ont déjà été montrés avec une bonne stabilité thermique, fonctionnant sous forts champs électriques et en régime de saturation sur toute la largeur des zones déplétées.

La figure II.5.5 présente la structure envisagée pour notre détecteur en SiC multipixels: pour les neutrons, thermiques, rapides et radiations γ . A droite sur le schéma en coupe, nous retrouvons la structure d'une diode verticale PiN avec une couche épitaxiale faiblement dopée n⁻. Des éléments sont rajoutés (comme le ¹⁰B ou le Li) pour la réalisation des réactions nucléaires. Ces réactions sont données ci-après dans les figures II.5.7 et II.5.10.

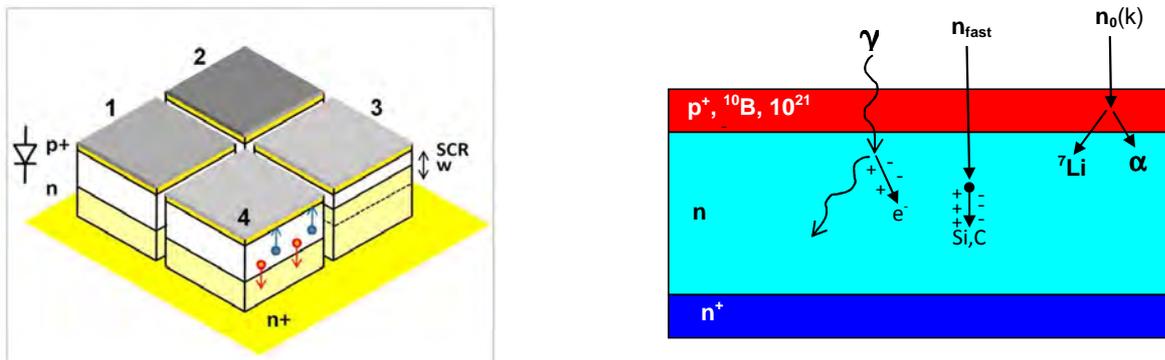


Fig. II.5.5 Schéma de principe du détecteur SiC multipixels proposé dans le cadre du projet ISMART (à gauche) et vue en coupe de la structure PiN utilisée (à droite).

De plus, le projet ISMART a eu comme ambition pour ce détecteur SiC qu'il soit intégré dans un système autonome, autoalimenté par les énergies des réactions nucléaires et fonctionnant à haute température. La figure II.5.6 montre l'intégration de ce détecteur dans un système autoalimenté.

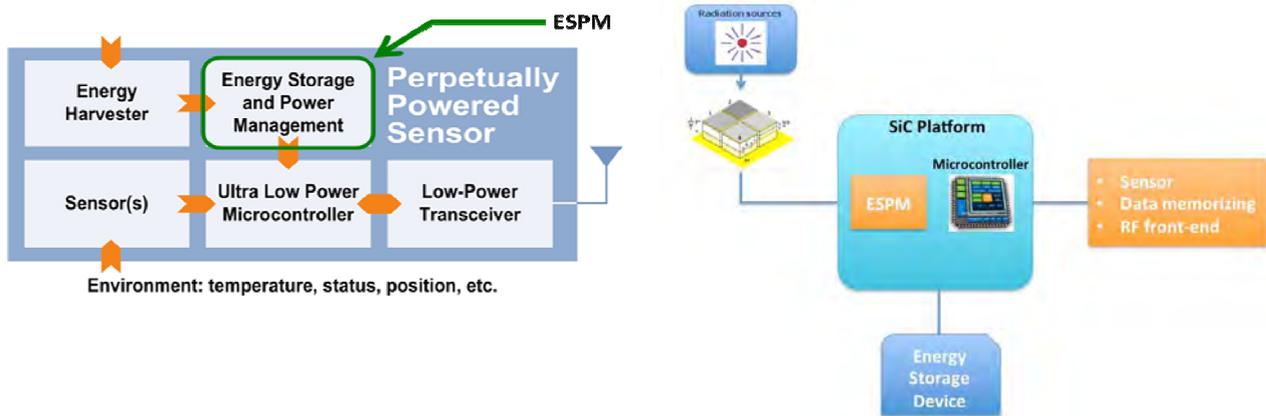


Fig. II.5.6 Intégration du capteur SiC multipixels dans un système autoalimenté

Neutrons thermiques

Le projet ISMART s'est proposé de concevoir et de tester les détecteurs fabriqués à la fois avec des neutrons thermiques et rapides. On rappelle ci-dessous quelques éléments de base concernant ces neutrons.

Par rapport aux neutrons rapides, les neutrons thermiques sont ralentis par un modérateur suite aux chocs avec les noyaux des atomes de celui-ci. Un neutron thermique, appelé également neutron lent, a une énergie cinétique inférieure à 0,025 eV. Les neutrons rapides ont une énergie supérieure à 0,907 MeV. Par rapport à un réacteur à neutrons rapides, un réacteur à neutrons thermiques utilise un modérateur qui ralentit les neutrons rapides issus des réactions de fission. La principale raison pour laquelle on utilise ce procédé de ralentissement des neutrons est de permettre aux neutrons d'interagir avec les atomes fissiles (^{235}U ou ^{239}Pu) présents dans le combustible d'un réacteur nucléaire. Ceci permet finalement d'avoir un meilleur rendement du réacteur.

La figure II.5.7 présente la structure des composants SiC utilisés pour les détecteurs de neutrons thermiques. Par rapport à une diode PiN verticale de puissance, nous avons dû ajouter une couche dopée ^{10}B qui est l'élément clé de la réaction avec ces neutrons thermiques (ces réactions sont également détaillées dans la figure II.5.7). Nous avons essayé plusieurs configurations en essayant par exemple de former directement une couche P⁺ dans le SiC par implantation ^{10}B . Finalement les meilleurs détecteurs sont ceux basés sur une structure classique de diodes PiN et où le ^{10}B a été inséré dans la métallisation de l'anode par implantation ionique à température ambiante.

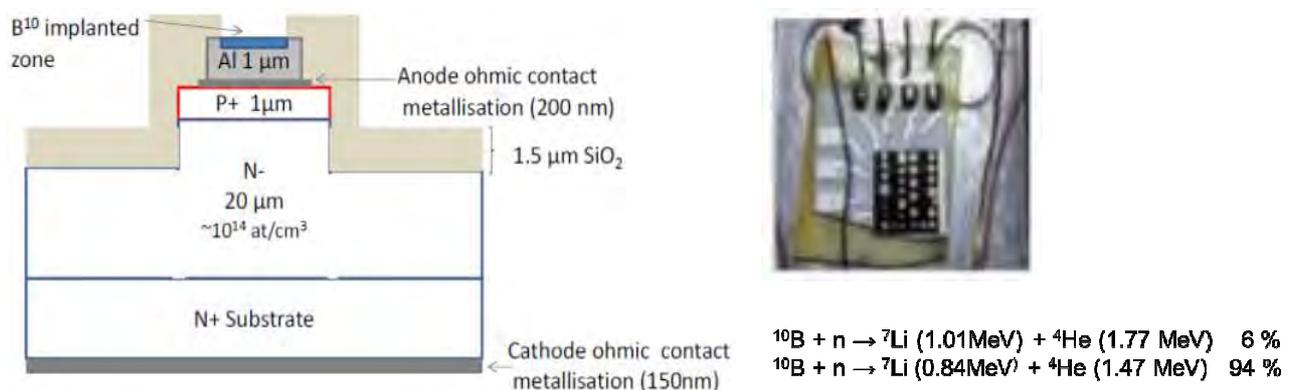


Fig.II.5.7 Structure du détecteur de neutrons thermiques réalisé en SiC et les réactions nucléaires qui y réagissent

Cette étape technologique ne détériore en rien les caractéristiques I-V en inverse des diodes comme le montre la figure II.5.8 où les mêmes courants de fuite sont mesurés.

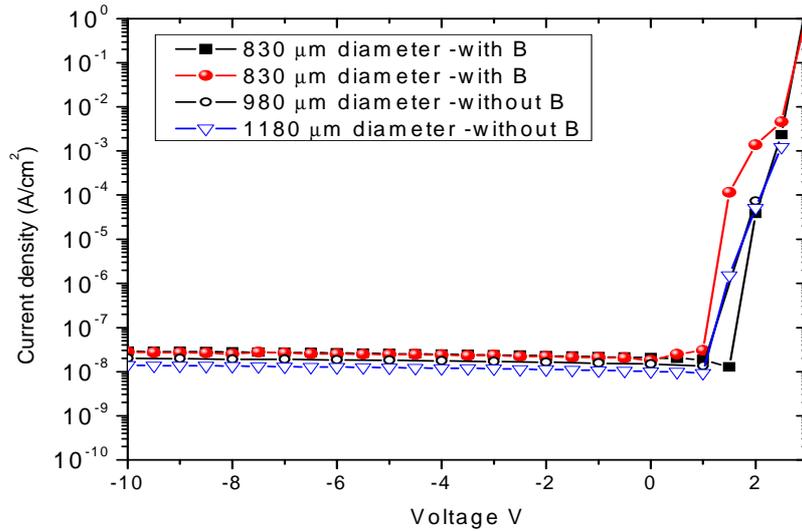


Fig.II.5.8 Caractéristiques I-V en inverse des diodes avant et après implantation de ^{10}B dans la couche de métallisation de l'anode

Des tests de mesure des détecteurs fabriqués ont été réalisés dans le réacteur BR1 de SCK CEN en Belgique sous un flux de neutrons 0,0025 eV avec une dose de $7 \times 10^8 \text{ n/cm}^2 \text{ s}$ dans un réacteur avec une puissance de 700 kW. L'échantillon était à température ambiante sous une polarisation en inverse de 0 à -75 V. Les réponses obtenues sur des structures avec et sans la couche active de ^{10}B sont présentées dans la figure ci-dessous. L'abscisse ("channel number") correspond à l'énergie des neutrons thermiques (trop faible pour être représentée directement en énergie comme pour les neutrons rapides (Fig II.5.11)). Le nombre de coups correspond à l'intensité des "puls" des courants (charges) obtenus par la réponse directe de nos détecteurs (après traitement du signal).

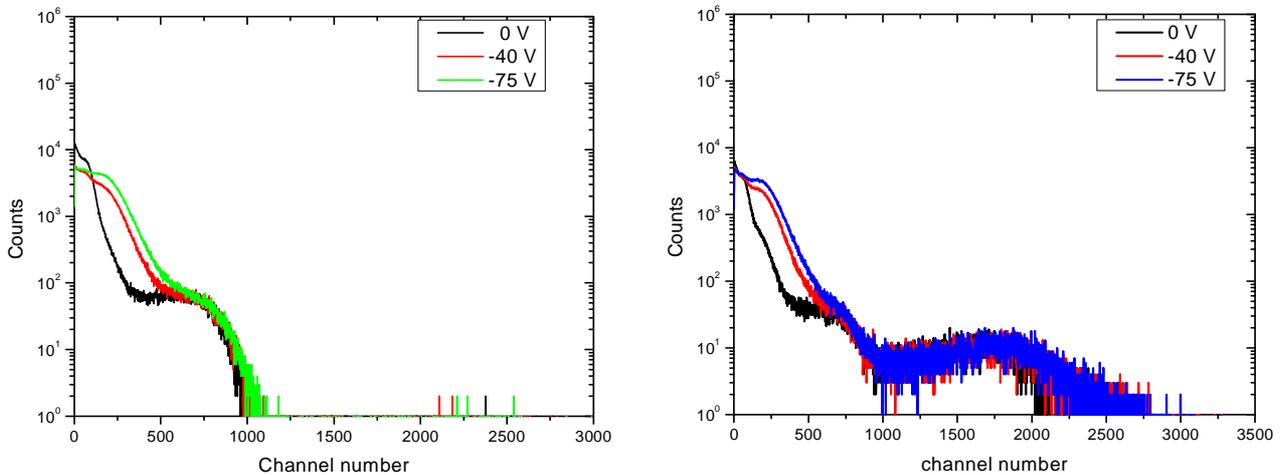


Fig. II.5.9 Mesures au SCK CEN avec des détecteurs sans (à gauche) et avec (à droite) couche active de ^{10}B .

Neutrons rapides

La figure II.5.10 présente la structure des détecteurs de neutrons rapides que nous avons fabriqués. A droite est présenté le dispositif de test conçu avec une boîte en céramique macor pour pouvoir réaliser les mesures en température, jusqu'à 500 °C.

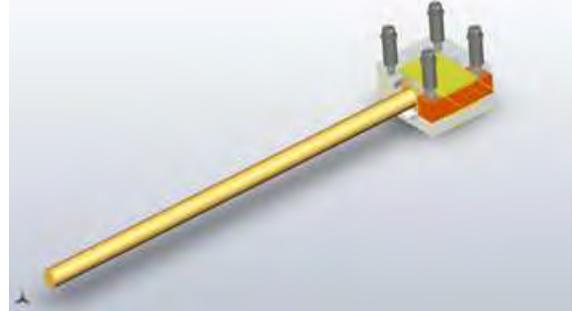
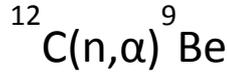
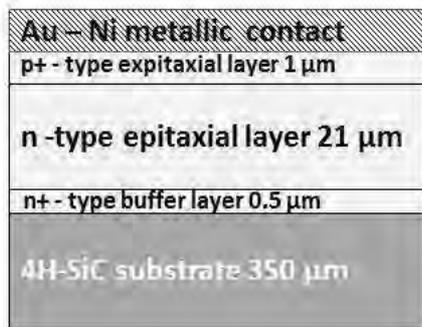


Fig.II.5.10 Structure du détecteur de neutrons rapides réalisé en SiC

Ces détecteurs ont été testés avec un générateur de neutrons (deutérium-tritium) de l'Université Technique de Dresde à 14 MeV sous un flux de $2,4$ à $3,1 \times 10^7$ n/cm² s. La température a été de l'ambiante à 500 °C et le bias de polarisation de -280 à -20 V (dépendant de la température).

Les réponses obtenues sont présentées dans la Fig. II.5.11; elles se remarquent par leur stabilité en température jusqu'à 500 °C.

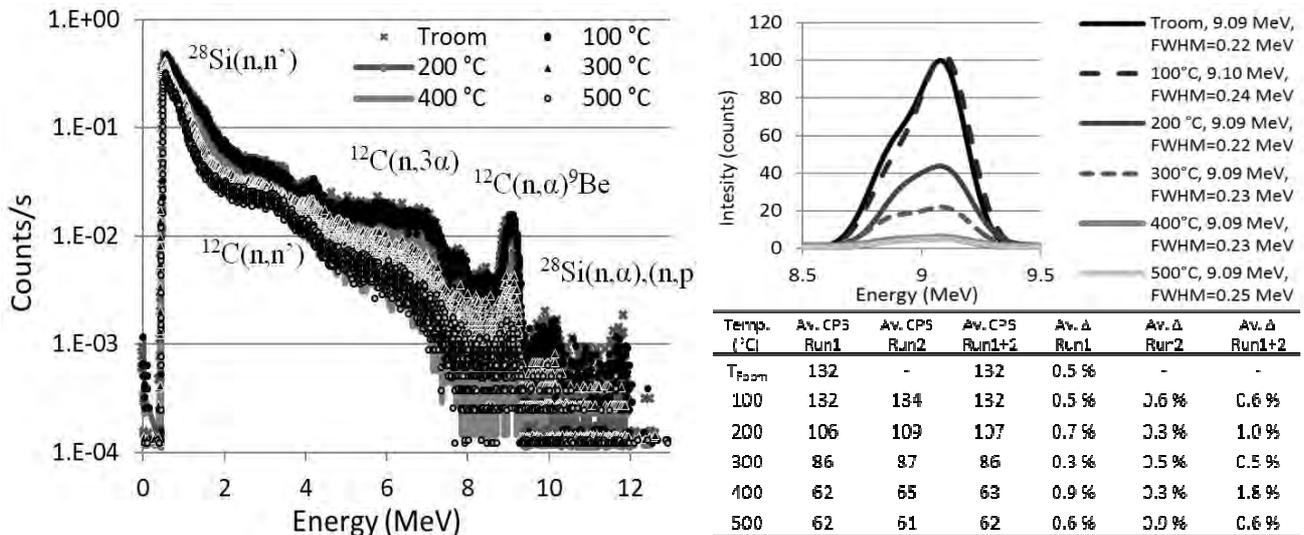


Fig.II.5.11 Mesures réalisées jusqu'à 500 °C avec un générateur de neutrons rapides de l'Université Technique de Dresde à 14 MeV sous un flux de $2,4$ à $3,1 \times 10^7$ n/cm² s.

II.5.3. Couches carboniques sur SiC pour la détection électrochimique

Nous donnons ci-dessous quelques détails sur les capteurs électrochimiques réalisés sur substrats SiC dans le cadre de la **thèse de Julien Pezard**, conduite à l'interface entre deux équipes de recherche du laboratoire AMPERE.

Ainsi, nous avons mis en commun notre savoir-faire sur la structuration du SiC et la réalisation de couches carboniques à la surface du SiC, avec les compétences en microbiocapteurs électrochimiques intégrés dans des dispositifs microfluidiques du département bioingénierie. Comme couche carbonique à la surface du SiC, nous avons visé les résines pyrolysées (PPF) utilisées comme protection pour les recuits post-implantation ionique du SiC ainsi que les couches carboniques (comme le graphène) qui se génèrent à la surface du SiC par sublimation de silicium à haute température 1500 – 1700 °C. Ces couches sont également intéressantes dans la fabrication des biocapteurs et peuvent être intégrées sur un même substrat en SiC par une technologie relativement simple utilisée dans la fabrication de composants de puissance. Nous avons également sollicité nos collègues du LSPM pour déposer sur SiC des couches de diamant synthétique polycristallin fortement dopé au bore afin de réaliser des électrodes et les comparer avec les autres couches carboniques synthétisées sur SiC en PPF et en "graphène".

Notre volonté est d'utiliser ces couches carboniques comme des transducteurs d'événements de reconnaissance dans des systèmes microfluidiques. Intégrés sur un même support en SiC et rassemblées dans la même zone de transduction, ces couches carboniques pourront combiner leurs différentes propriétés chimiques et électrochimiques. Cette configuration de transducteur permettra la détection simultanée de plusieurs espèces moléculaires cibles dans un échantillon unique. A notre connaissance, personne ne s'est encore intéressé à rassembler ces différents matériaux sur une même zone de transduction pour bénéficier d'une combinaison de leurs différentes propriétés dans la détection de plusieurs cibles. Un tel outil de détection en temps réel de cibles chimiques ou biologiques peut connaître des applications dans le domaine clinique pour le diagnostic des maladies et notamment dans le suivi des patients admis en réanimation où la rapidité du diagnostic, la sensibilité de l'outil et sa capacité à détecter plusieurs cibles moléculaires sont déterminantes. La biocompatibilité de ces matériaux permet d'envisager la production de microsystèmes implantables. Par ailleurs, ce type de biocapteurs peut également connaître des applications environnementales pour la détection rapide et la quantification des contaminants chimiques ou biologiques.

Domaine d'électroactivité

La figure II.5.12 présente les domaines d'électroactivité de ces électrodes carboniques synthétisées sur des surfaces d'environ 1 cm² de SiC.

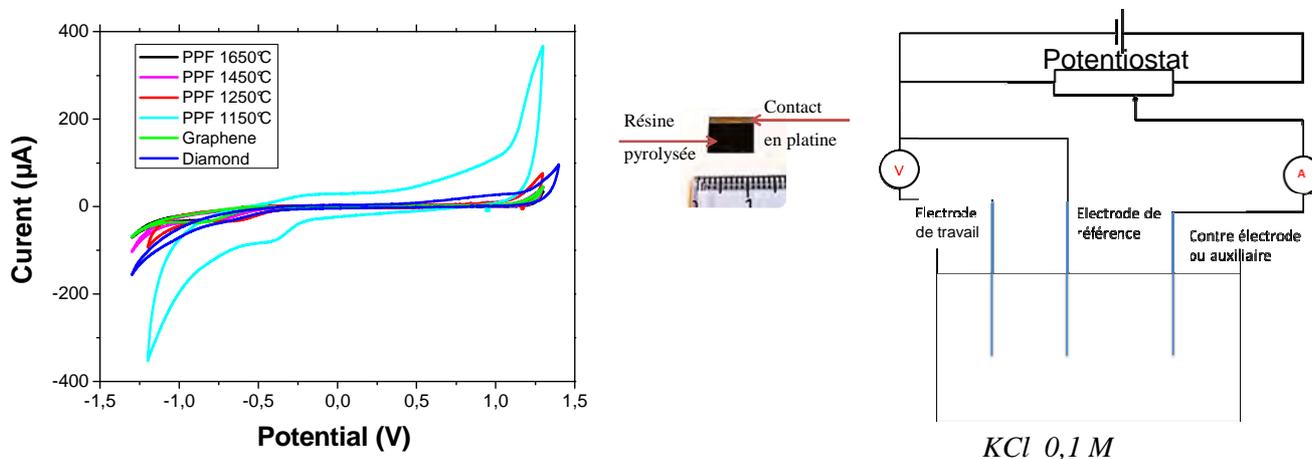


Fig.II.5.12 Domaine d'électroactivité par voltampérométrie avec 3 électrodes (carbonnée, Ag/AgCl, Pt)

Tableau II.5.1 Domaine d'électroactivité de nos électrodes carbonées dans des solutions de KCl 0,1M et PBS 10X

Electrode	Potential window in KCl 0,1 M	Potential window in PBS 10X
PPF annealed 1150°C	-0,5 – 1,1 V	-1,08 – 1,05 V
PPF annealed 1250°C	-1,2 – 1,35 V	-1,2 – 1,15 V
PPF annealed 1450°C	-1,4 – 1,37 V	-1,25 – 1,2 V
PPF annealed 1650°C	-1,6 – 1,39 V	-1,4 – 1,25 V
Graphene	-1,4 – 1,39 V	-1,4 – 1,25 V
Diamond	-1 – 1,37 V	-1,1 – 1,25 V

Les couches PPF ont été obtenues par la pyrolyse de résines AZ5214E d'une épaisseur d'environ 1 µm déposées par spin-coating sur des substrats SiC. Un premier recuit à 750 °C/30 min sous vide primaire a été réalisé suivi d'un recuit à haute température sous argon (Figure II.5.13).

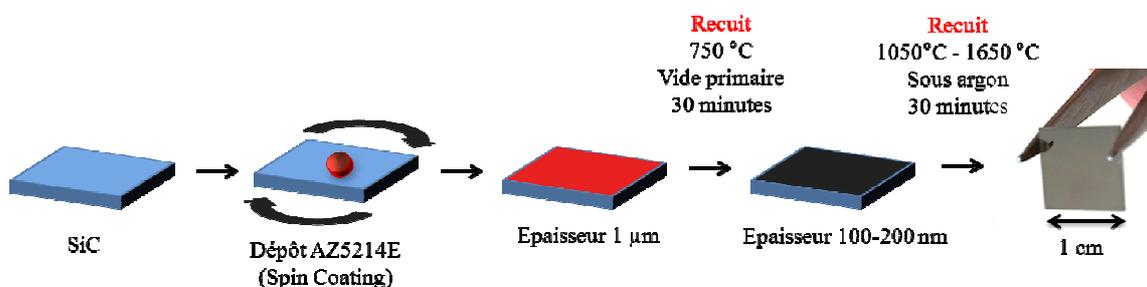


Fig. II.5.13 Synthèse et recuit de couches PPF par pyrolyse de résines AZ5214E déposées sur SiC.

Ainsi, on observe que le domaine d'électroactivité augmente avec la température de recuit des couches PPF. Ceci concorde avec l'augmentation de la conductivité électrique que nous avons mise en évidence par des mesures I-V. La figure II.5.14 présente des caractéristiques I-V linéaires que nous avons obtenues par des mesures 4-pointes sur ces couches PPF recuites à différentes températures jusqu'à 1650 °C. La variation de la résistivité extraite est représentée en fonction de la température de recuit ainsi que les épaisseurs de ces couches obtenues par mesures au profilomètre α -step.

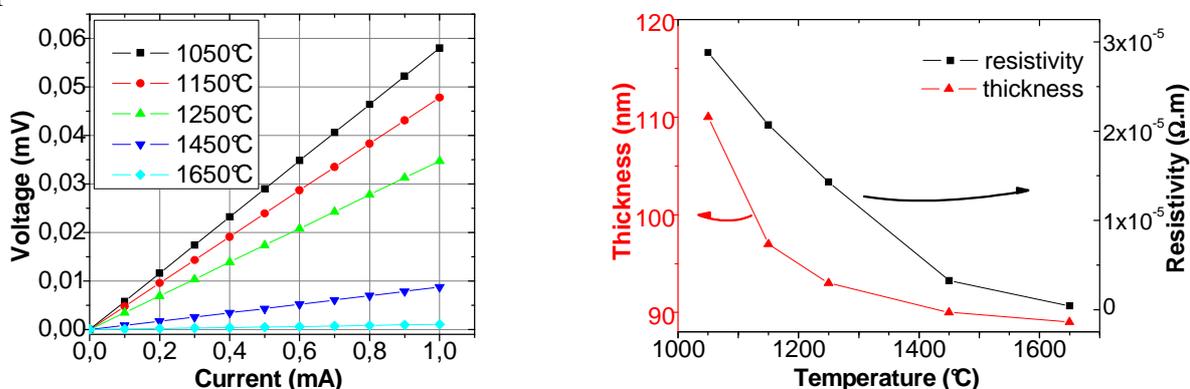


Fig. II.5.14. I-V par mesures 4-pointes sur les couches PPF recuites à différentes températures (à gauche). Résistivité extraite et épaisseur des couches vs température (à droite).

A la fois la résistivité et les épaisseurs des couches diminuent avec la température de recuit. La variation de l'épaisseur de ces couches PPF correspond à une évolution structurale (désordre,

taille des nanocrystallites) de ces couches que nous avons mise en évidence par des analyses μ -Raman présentées dans la figure II.5.15. La variation relative des intensités des pics Raman D et G, résumée dans le tableau II.5.2 est un indicateur des changements structuraux dans les couches PPF, comme la taille des nanocrystallites $L_a(\text{nm}) = (2,4 \times 10^{-10}) \lambda_L^4 (I_D/I_G)^{-1}$ [Canc'06], où λ_L est la longueur d'onde 633 nm de notre laser Raman HeNe (LabRAM ARAMIS HORIDA 20 mW).

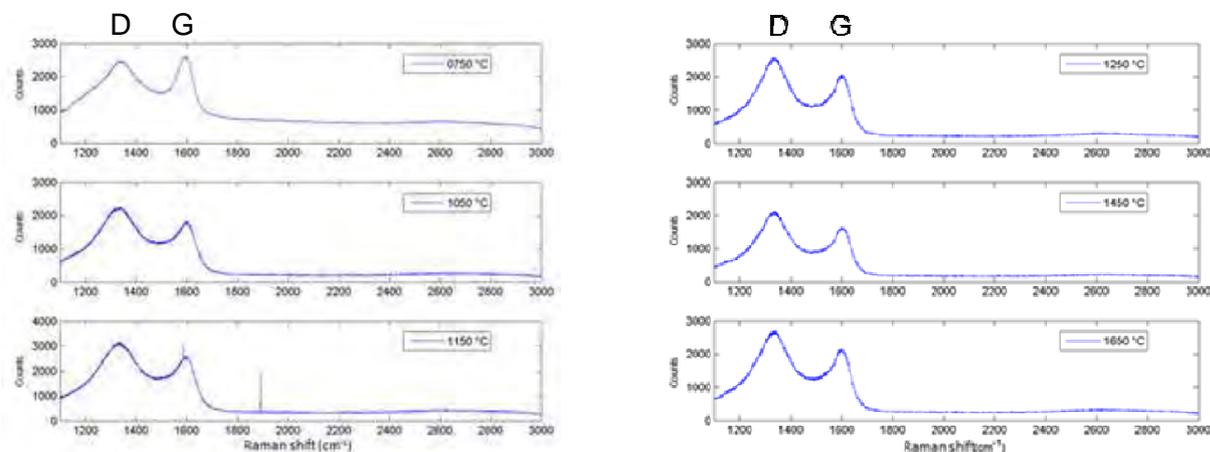


Fig. II.5.15. Analyses μ -Raman des couches PPF en fonction de la température de recuit.

Tableau II.5.2 Variation relative des intensités des pics D et G extraits des analyses μ -Raman sur les couches PPF recuites à différentes températures

T (°C)	750	1050	1150	1250	1450	1650
I_D/I_G	0,946	1,235	1,250	1,265	1,275	1,289

Ainsi, on peut considérer que la température optimale pour nos couches de PPF est celle de 1650°C qui correspond au plus large domaine d'électroactivité et à la plus faible conductivité électrique. Cette valeur correspond à la température que nous utilisons pour générer du "graphène" à la surface du SiC. Ainsi, ces deux électrodes carbonées peuvent être réalisées à la surface du SiC durant la même étape technologique.

Biocapteur enzymatique

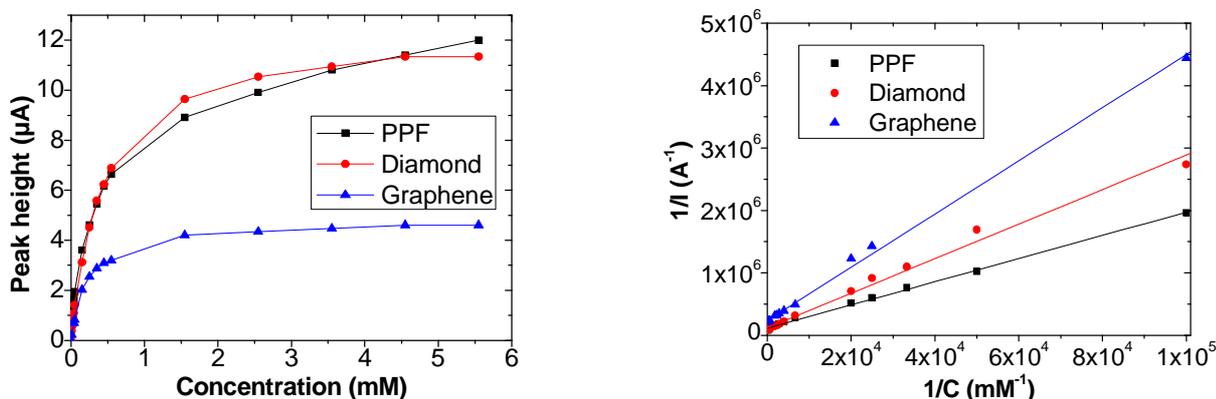


Fig. II.5.16 Courbes de calibration Michaelis-Menten (à gauche) et Lineweaver Burk (à droite) pour nos électrodes carbonées utilisées comme biocapteurs pour la détection de l'acetylthiocholine.

La figure II.5.16 présente les courbes de calibration Michaelis-Menten et Lineweaver Burk pour nos électrodes carbonées (échantillons 1 cm²), utilisées comme biocapteurs pour la détection de l'acetylthiocholine en PBS 10X. Pour l'immobilisation des enzymes, ces électrodes ont été préalablement fonctionnalisées par adsorption en utilisant un dépôt de chitosane 0,5 % dans de

l'acide acétique ajusté à un pH 5 avec NaOH (pas de résultats probants pour le moment avec des méthodes de fonctionnalisation covalentes ou par emprisonnement).

Le tableau II.5.3 résume les caractéristiques électrochimiques de nos électrodes carbonées utilisées comme transducteur de biocapteurs enzymatiques, comme la vitesse de réaction (i_{max}), la constante Michaelis Menten (K_M), la limite de détection, la sensibilité ainsi que le domaine de linéarité.

Tableau II.5.3 Caractéristiques des biocapteurs obtenus avec nos électrodes carbonées

	PPF	Graphene	Diamond
i_{max} (A)	8,67E-06 ± 2,25E-08	4,20E-06 ± 4,15E-08	8,31E-06 ± 2,08E-08
K_M (mM)	0,161 ± 4,19 E-04	0,179 ± 17,6 E-04	0,23 ± 5,75 E-04
Detection limit (M)	2,98 E-05 ± 7,76 E-08	6,98 E-06 ± 6,98 E-08	2,28 E-05 ± 5,70 E-08
Sensitivity (μ A/mM)	11,21 ± 0,58	5,91 ± 0,67	12,83 ± 0,44
Linear range (M)	2,98 E-05 to 0,55 E-03	6,98 E-06 to 0,55 E-03	2,28 E-05 to 0,45 E-03

Pour les trois électrodes, des valeurs proches pour la constante K_M ont été obtenues, l'enzyme fixée présentant la même activité. Des biocapteurs basés sur des nanotubes de carbone [Chen'08] ont montré une constante de 0,25 mM, ce qui est relativement proche de nos résultats. De même une constante de 0,77 mM a été obtenue par [Li'12] pour la détection de l'acetylthiocholine sur électrode de graphène. Dans notre étude, nous visons à obtenir une faible constante de Michaelis, puisqu'une faible valeur est synonyme d'une activité enzymatique maximale atteinte avec de faibles concentrations de substrat. Concernant la sensibilité, par rapport au "graphène", nos électrodes en PPF et diamant présentent des valeurs supérieures. Nos valeurs sont proches de la littérature où des sensibilités autour de 10 μ A/mM ont été obtenues par [Du'07]. Concernant la limite de détection de nos électrodes qui se situe entre 7 et 30 μ M, les plus faibles valeurs sont obtenues avec nos couches en "graphène". Des limites de détection de 3 μ M sur des couches fonctionnalisées en graphène ont été obtenues par [Zhang'14].

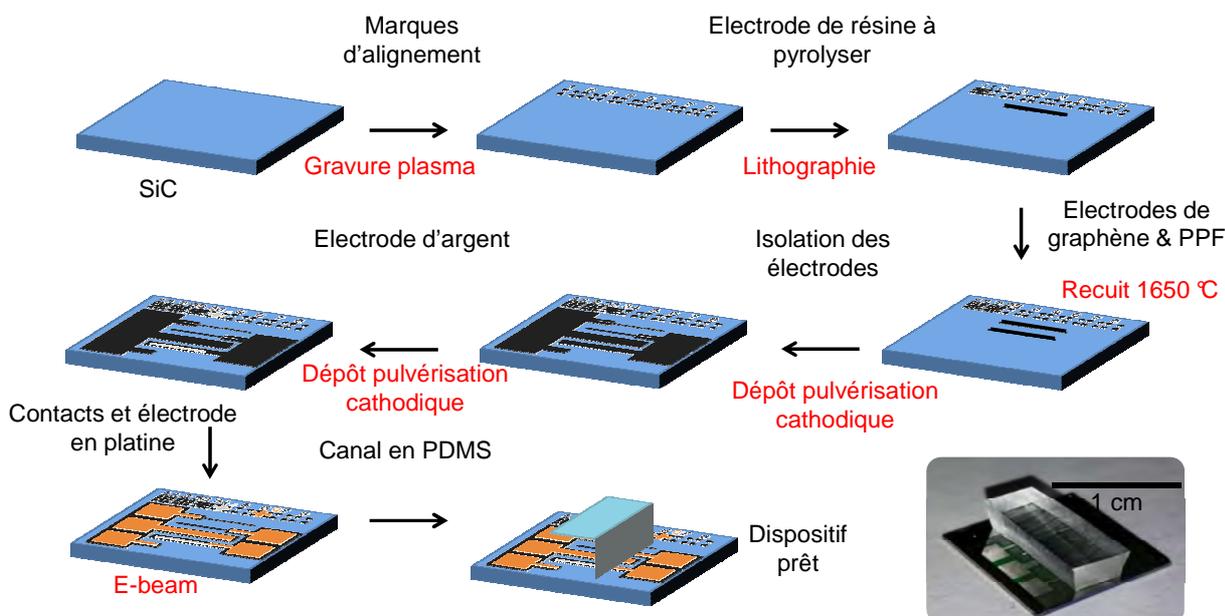


Fig. II.5.17 Enchaînement technologique pour l'intégration des électrodes PPF et graphène dans un dispositif microfluidique sur SiC.

Cette étude s'est achevée par la définition d'un procédé de fabrication (Fig. II.5.17) pour l'intégration des électrodes PPF et "graphène" dans un dispositif microfluidique sur support SiC. Ce

dispositif est en cours de réalisation. Nous sommes à la dernière étape qui est assez délicate à cause de la très bonne adhérence des couches de PDMS sur SiC comparée au silicium et qui demande d'optimiser les procédures standard de microtamponnage développées au laboratoire sur du silicium.

II.5.4 Conclusion sur les capteurs SiC pour environnement sévère

Ces dernières années, nous avons fait profiter la technologie SiC que nous avons développée à Lyon pour les composants de puissance pour d'autres applications en fabricant des capteurs pour environnements sévères: le spatial, le nucléaire et des milieux chimiques corrosifs. Nous avons prouvé leur faisabilité et nous avons montré leurs performances.

On peut dire que nous avons étudié deux familles de capteurs. La première est celle où l'élément détecteur est une ZCE ou des éléments que nous avons insérés proches de celle-ci (l'implantation du ^{10}B pour les détecteurs de neutrons). La deuxième famille est basée sur la réponse électrochimique des matériaux, dans une moindre mesure du substrat SiC mais surtout des électrodes carboniques développées à sa surface. Ces couches carboniques ont une fenêtre électrochimique supérieure au platine !

Si on compare le SiC au diamant qui est son concurrent pour ces applications capteurs pour environnements sévères, il faut préciser que la première famille où des ZCE sont formées, demande d'une part un semiconducteur monocristallin qu'on sache doper pour créer des jonctions et d'autre part des grandes surfaces de wafers pour une meilleure réponse spectrale. Pour cette famille, le SiC est actuellement de loin préférable, pour la maîtrise des deux dopages (type n et p) et par rapport aux tailles des plaquettes disponibles qui n'ont pas cessé de s'agrandir ces dernières années.

Pour la deuxième famille des capteurs électrochimiques, nous avons montré les excellentes qualités des couches de graphène et diamant que nous avons faites croître ou déposées sur nos substrats SiC. Ces couches peuvent également être déposées par CVD ou nanopoudres (diamant) sur d'autres substrats à moindre coût que le SiC. Mais si, avec des substrats "bas-coûts", nous aurons tendance à produire des dispositifs capteurs jetables, il faut souligner que les substrats en SiC, même s'ils sont plus onéreux par leur inertie chimique à toute attaque acide, permettent d'envisager des dispositifs facilement recyclables. En fin de vie des dispositifs, les substrats à base de SiC pourront être réutilisés avec des nouvelles couches fonctionnelles formées à leur surface.

Les couches PPF qu'on a synthétisées à la surface du SiC s'avèrent des réelles alternatives ou complémentaires aux couches de diamant et graphène, ces couches PPF étant remarquables par la simplicité de leur procédé de fabrication par rapport aux deux autres couches carboniques. Les couches PPF peuvent être soit isolantes soit conductrices en fonction de la température de synthèses, ce qui permet d'envisager des dispositifs intégrant à la fois des électrodes conductrices et des isolations en PPF.

Sur ces capteurs électrochimiques, on regrette de n'avoir pas pu former des électrodes en SiC, nos couches étant trop résistives. Précisons que nous avons utilisé des substrats classiques et que nous n'avons pas testé les couches VLS, fortement dopées aluminium. Cela sera fait prochainement sur d'autres capteurs électrochimiques qui seront présentés dans la partie sur les perspectives.

Enfin, mentionnons que nous n'avons pas tout simplement transféré la technologie utilisée pour les composants de puissance pour fabriquer les capteurs SiC. Les projets que nous avons eus pour le développement de ces capteurs nous ont permis de tester des nouvelles étapes technologiques alternatives, comme l'immersion plasma pour le dopage de type p du SiC.

Il a fallu également veiller à ce que des réflexes que nous avons maintenant adoptés pour la technologie SiC ne s'appliquent pas forcément à ces capteurs. A titre d'exemple lors de l'implantation ^{10}B dans les métallisations pour fabriquer les détecteurs de neutrons, nous avons dû insister auprès de l'opérateur de réaliser l'implantation ionique à température ambiante et sans chauffer le port-substrat comme les implantations ioniques qui se font dans le SiC pour le dopage.

III. Perspectives de mes recherches

III.1. Introduction sur mes perspectives de recherche. Vers une technologie grand-gap d'intégration avec des nouvelles applications et fonctions

Bien qu'en principe l'utilisation des semiconducteurs à large bande interdite ne puisse espérer une réussite industrielle que sur des marchés de niche (électronique de puissance, capteurs pour des environnements sévères), ces matériaux commencent aussi à être considérés pour leur contribution sociétale. L'économie d'énergie obtenue dans les réseaux de distribution d'énergie utilisant des composants grand-gaps à faibles pertes est un exemple.

Pour profiter pleinement des propriétés remarquables de ces matériaux, il faut d'abord stabiliser les structures des composants actuels, maîtriser les vulnérabilités et les phénomènes parasites présents. D'autre part, la quête de nouvelles structures avec davantage de fonctionnalités intégrées et notre acharnement dans l'amélioration de la mise en œuvre de ces matériaux feront que nos modestes contributions sur la progression des connaissances sur ces matériaux permettront de déboucher sur des champs applicatifs plus larges. Les centres colorés dans les matériaux grand-gaps, présentés dans la cinquième partie de ce chapitre, sont un exemple significatif.

Pour améliorer les performances des composants grand-gap et intégrer plus de fonctionnalités, il faut maîtriser en profondeur la technologie actuelle, les matériaux et les interfaces créées entre les différentes couches des dispositifs. Pour franchir des verrous, il faut également faire appel à des étapes technologiques alternatives ou nouvelles, comme la technique de dopage VLS et la gravure électrochimique du SiC que nous avons détaillées dans la partie bilan des recherches. Dans la troisième partie de ce chapitre nous présenterons l'utilisation de la technique ALD (Atomic Layer Deposition) pour améliorer l'interface diélectrique/SiC.

Tout au long du chapitre concernant le bilan de mes activités de recherche, un certain nombre de perspectives ont déjà été données. Elles ne seront que partiellement rappelées en préférant donner d'autres éléments.

Avant de détailler dans les sous-chapitres suivants cinq thèmes de recherche que je compte développer dans un avenir assez proche, je présente ci-dessous brièvement deux exemples de structures qu'on pourra imaginer à partir de la technologie présentée dans mon bilan de recherches.

Superjonctions

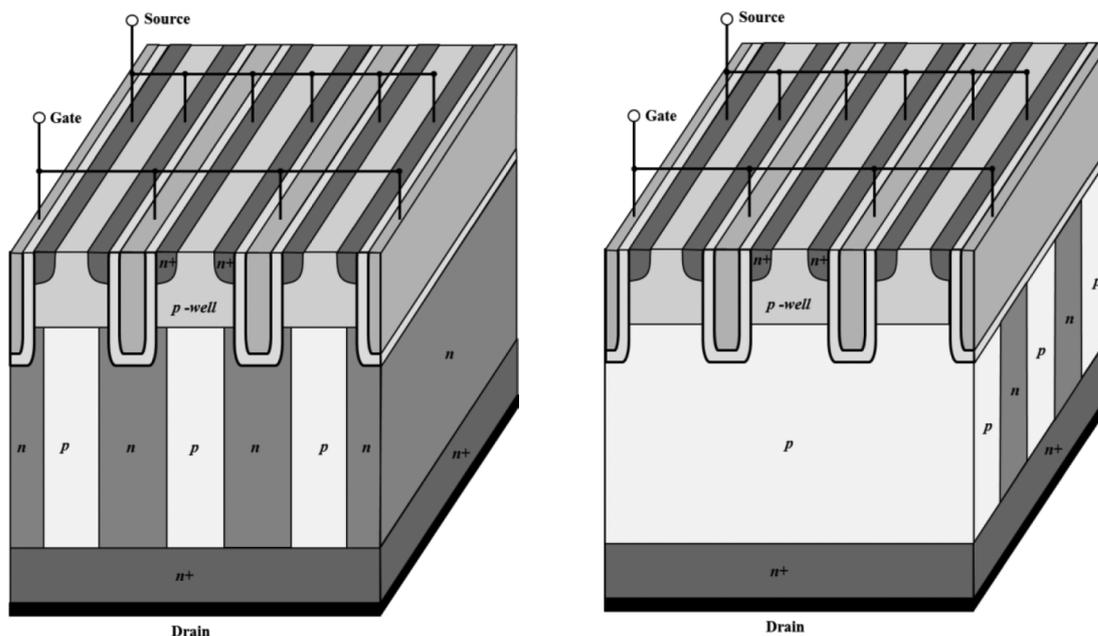


Fig. III.1.1. Présentation schématique 3D des structures des trench-MOSFET à super-jonctions (SJ) avec les couches SJ parallèles (à gauche) et perpendiculaires (à droite) aux tranchées du MOSFET

L'utilisation de la gravure profonde dans le SiC et le remplissage des puits par des couches épitaxiales pourront ouvrir les portes à la réalisation de composants de puissance à super-jonctions (SJ) en SiC, comme les structures en silicium présentées dans la figure III.1.1, des trench-MOSFET (MOSFET en tranchées) à superjonctions [Udre'17]. Pour la croissance épitaxiale dans les puits gravés, on pourra utiliser la technologie 3DSiC® développée par Ascatron ou peut-être un jour celle par VLS pour les couches de type p si la conformité des dépôts pré-croissance le permet.

Aujourd'hui des structures beaucoup plus simples ont été montrées en SiC comme la diode fabriquée par [Kosu'14] présentée Fig. III.1.2. Des implantations ioniques Al et B à très fortes énergies (jusqu'à 9 MeV) ont été utilisées pour créer les puits de type p, cette étape étant insérée entre deux croissances épitaxiales. Ces composants présentent un V_{BR} et un R_{ON} qui sont supérieurs aux limites conventionnelles du SiC [Udre'17]

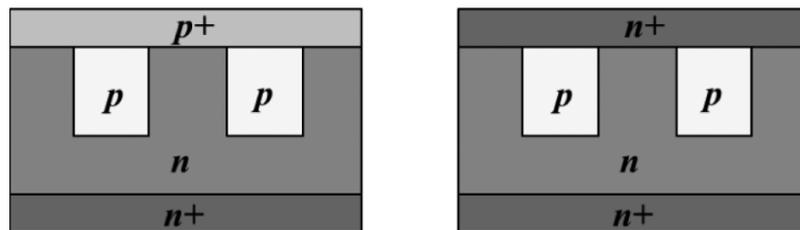


Fig. III.1.2. Diode (à gauche) et résistor (à droite) à superjonctions fabriqués par [Kosu'14]

Supercondensateurs

L'exemple ci-dessous montre que les technologies actuelles, récentes ou moins récentes ne sont pas complètement exploitées. La Fig. III.1.3 reprend le cliché MEB de la figure II.3.80 représentant le résultat d'une croissance VLS d'une ancienne configuration sous gaz vecteur argon.

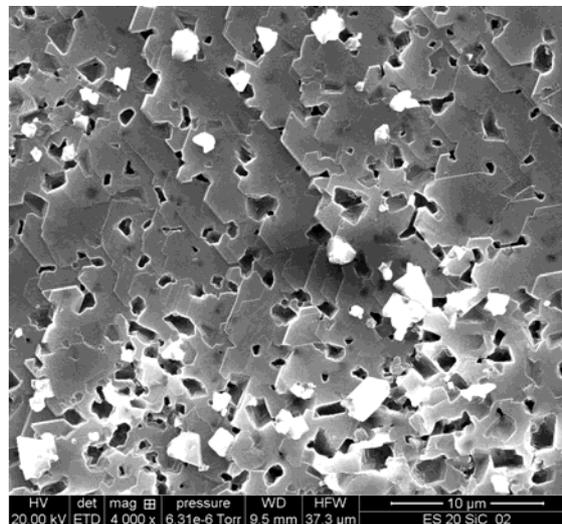


Fig. III.1.3. Cliché MEB de la surface d'une croissance VLS ancienne configuration sous gaz vecteur argon

C'est une surface très rugueuse d'une couche poreuse en SiC qui n'est absolument pas souhaitable pour la réalisation de composants électroniques de puissance. Par contre, aujourd'hui des collègues s'efforcent d'obtenir du SiC poreux par d'autres méthodes.

Notre SiC poreux obtenu par VLS sous argon est en plus très conducteur et de type p. Ainsi, il peut être utilisé comme électrodes pour la détection électrochimique. Ces électrodes sont en plus isolées par rapport au support - substrat qui est dans la plupart des cas de type n. La surface de détection est extrêmement importante grâce à la structure poreuse de cette couche.

Cette couche poreuse et conductrice en SiC peut également être utilisée pour fabriquer des

supercondensateurs qui grâce au SiC auront l'avantage de pouvoir fonctionner à haute température ou sous d'autres contraintes sévères. Lors de nos études présentées, nous avons voulu éviter la croissance colonnaire VLS du SiC, avec des trous qui traversaient la couche que nous obtenions si le silicium de l'alliage VLS était déposé par pulvérisation cathodique. En utilisant justement ces paramètres que nous avons évités, nous pourrions optimiser ces couches VLS poreuses pour des électrodes de supercondensateurs.

Des structures plus classiques de supercondensateurs en SiC pour la haute température pourront être réalisées en utilisant nos travaux sur la gravure profonde du SiC. Des techniques de dépôt conformes par rapport à la géométrie des puits gravés type PECVD ou ALD pourront être utilisées pour remplir avec le diélectrique et la deuxième électrode.

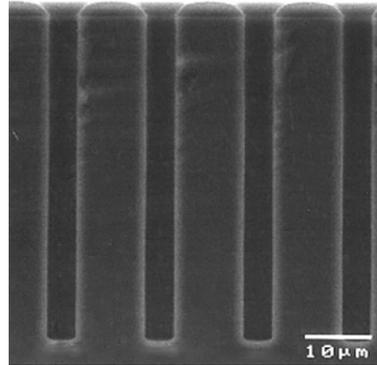


Fig. III.1.4. Des trous via créés dans le Si par gravure DRIE cryogénique ou procédé Bosch

Perspectives de recherche à plus court terme

Pour la suite, je me focalise sur des sujets qui sont plus proches de nos activités actuelles au laboratoire AMPERE et de celles de nos collègues parisiens auprès desquels ma carrière semble s'orienter pour ces prochaines années.

Dans les sous-chapitres suivants, je présente cinq thèmes de recherches que je veux développer à court et moyen terme. Les deux premiers concernent la fiabilité des composants grand-gap SiC et GaN ainsi que l'interface diélectrique/SiC qui sont en forte continuité avec mes recherches actuelles. Il s'agit de sujets de recherches au cœur des thématiques de plusieurs laboratoires du génie électrique en France, dont mon unité d'accueil actuelle. Pour la réalisation de ces études, je vais m'approcher des laboratoires avec des recherches orientées plus physiques comme l'INSP/Université Paris 6 et m'appuyer sur les moyens technologiques de l'ESYCOM/ESIEE. L'expérience du laboratoire INSP sur les défauts de ces matériaux grand-gap et les moyens expérimentaux d'investigation dont il dispose permettront de nous apporter des éléments de réponse sur la physique de ces matériaux et interfaces, les défauts présents, qui impactent sur les caractéristiques et la technologie des composants que nous utilisons. Des liens étroits seront gardés avec les laboratoires AMPERE, SATIE et GeePs qui disposent de moyens de tests et stress électriques spécifiques pour les composants grand-gap, comme le banc DLTS qui vient d'être installé au laboratoire AMPERE.

Le troisième thème de recherche concerne les centres colorés dans les matériaux grand-gap (SiC) qui est un sujet de recherche très actuel en France et dans le monde. A Lyon je suis déjà sollicité par mes collègues de l'INL désireux aujourd'hui d'utiliser et profiter de la technologie SiC que j'ai développée sur la plateforme Nanolyon. L'étude des centres colorés dans les matériaux grand-gap est aussi un des thèmes phares de recherche au laboratoire INSP. A l'INSP j'apporterai en complément par rapport aux compétences de mes collègues, un savoir-faire sur la technologie et un esprit composant qui permettront de valoriser les résultats remarquables obtenus ces dernières années, sur l'identification et la manipulation de ces défauts actifs, à travers de dispositifs et des tests que nous réaliserons sur les plateformes du laboratoire et dans la salle blanche de

l'ESYCOM/ESIEE.

Le quatrième thème de recherche concerne le développement de capteurs électrochimiques pour d'autres applications, environnement et médicales avec ESYCOM/ESIEE, qui est un laboratoire de référence sur les capteurs, disposant d'une plateforme technologique dédiée et adaptée à la taille actuelle des plaquettes SiC, 100 et 150 mm.

Le dernier thème de recherche, qui se réalisera à plus long terme, vise l'étude de nouveaux matériaux, comme le Ga_2O_3 , de la même famille des matériaux grand-gap que j'ai étudiée jusqu'à maintenant. Des nouvelles structures et fonctionnalités pourront être envisagées grâce à ses remarquables propriétés physiques en lui-même et par rapport aux interfaces qu'il peut créer.

III.2. Robustesse et fiabilité de composants grand-gap : SiC et GaN

La mise sur le marché ces dernières années de composants grands gap SiC et GaN montre une certaine maturité de cette filière. Pour combler la forte demande des industriels (avionique, automobile, ferroviaire, militaire...), il faut souligner que cette mise sur le marché a été faite de manière un peu trop anticipée, en prenant le risque de décevoir certains end-users par le manque de fiabilité de ces composants. Le premier cas a été celui des premières générations de diodes Schottky SiC commercialisées par Infineon en 2001. Aujourd'hui, la plupart de la communauté est focalisée sur les transistors MOSFET SiC dont les caractéristiques et performances, bien que très intéressantes, sont difficiles à interpréter et comprendre par une communauté habituée aux composants silicium standard. Je note que la quasi-moitié des présentations de la dernière conférence internationale sur le SiC (ICSCRM 2017) a été focalisées sur ce composant et l'interface métal-oxyde-semiconducteur sur SiC.

Les déviations de comportement de ces composants mises en évidence par des tests de caractérisation électriques et électrothermiques, comme l'instabilité du V_{TH} , sont dues à la présence de défauts à l'intérieur des différentes couches ou aux interfaces. L'identification de ces défauts demande des analyses physiques complémentaires et des compétences dont l'INSP dispose, spécifiques à ces matériaux semiconducteurs grands gap.

Ces études sont à réaliser directement sur des composants commerciaux, MOSFET, Schottky, JFET SiC et des HEMT GaN ou sur des structures simplifiées, créées par nous à travers divers projets passés, en cours ou nouveaux dédiés spécifiquement à ces études.

L'utilisation d'un stress sous irradiation ou thermique permet d'accélérer l'activation de ces défauts et failles/déviations de comportement produites dans le fonctionnement des composants. Des faisceaux ioniques peuvent également être utilisés pour précisément localiser d'une manière volontaire des défauts dans les structures des composants en identifiant les couches et les interfaces problématiques.

Pour mener à bien ce travail de "reverse engineering", nous avons besoin à la fois d'une expérience sur la technologie de ces composants (que j'apporte) et sur la nature des défauts créés (savoir-faire INSP). Une symbiose parfaite peut être trouvée.

Les résultats de ces recherches sont à fort intérêt pour des laboratoires comme AMPERE et SATIE, pour qui la robustesse et la fiabilité de composants à large bande interdite, SiC et GaN sont des axes prioritaires de recherche.

Plusieurs études en cours AMPERE/SATIE existent sur la fiabilité du MOSFET SiC et l'instabilité du V_{TH} . A titre d'exemple on peut mentionner la thèse de Thomas Santini soutenue fin 2016 (suivie par Bruno Allard/Zoubir Khatir) et la thèse en cours d'Oriol Avino Salvado (suivie par Hervé Morel/ Stéphane Lefebvre). Les deux thèses portent sur des composants commercialisés MOSFET SiC pour des applications concernant des systèmes embarqués aériens (AIRBUS).

La thèse de Thomas Santini, "Contribution à l'étude de la fiabilité des MOSFETs en Carbone de Silicium", s'est focalisée sur la dégradation de l'oxyde de grille par des stress de vieillissement accéléré. L'analyse de la déviation du V_{TH} a permis d'obtenir des modèles de dégradation et des lois de vieillissement pour aboutir à une prédiction de la durée de vie restante des composants (RUL=Remaining Useful Life)

Ces résultats ne répondent en rien sur l'origine des déviations de comportement électrique observées, des analyses physiques étant nécessaires et la fabrication de structures de test simplifiées pour identifier les défauts responsables.

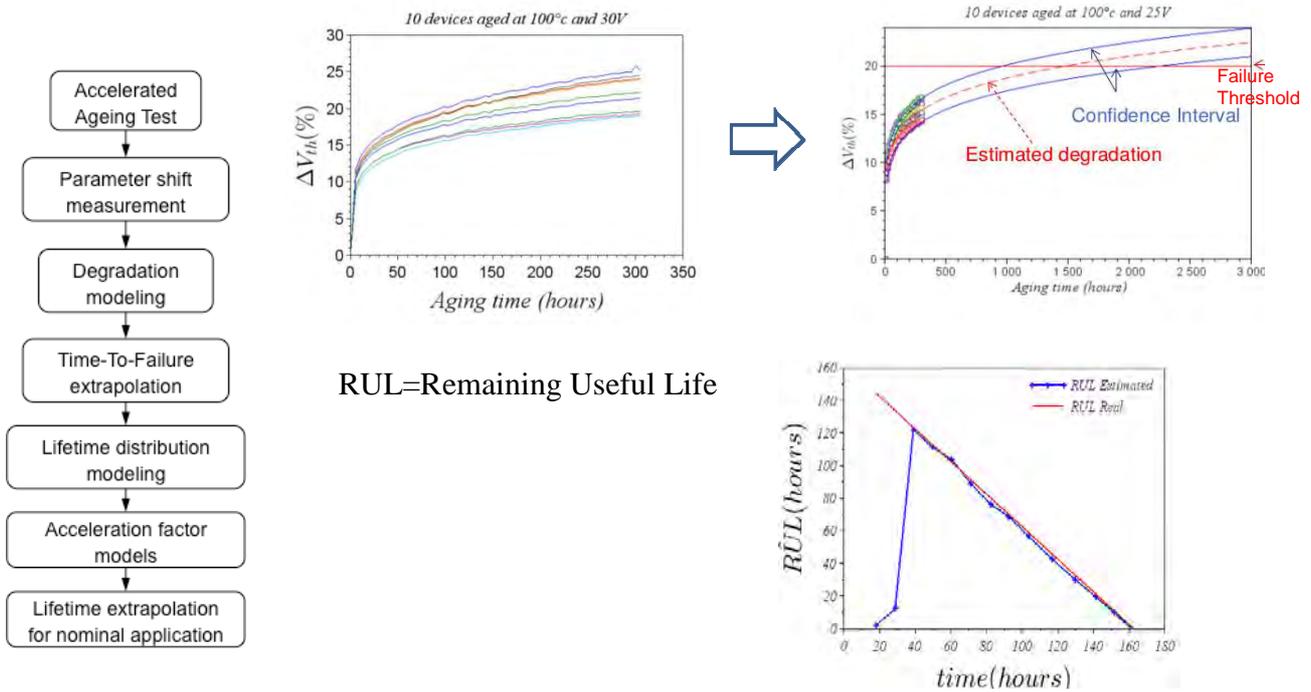


Fig. III.2.1 : Démarche et résultats sur la prédiction du temps de vie des composants MOSFET SiC [Sant'16].

Dans la thèse d'Oriol Avino Salvado, on a également montré que, contrairement au MOSFET en silicium aujourd'hui robuste, les MOSFET SiC présentent des problèmes de fiabilité liés à l'oxyde de grille, quel que soit le fabricant.

La dérive de la tension de seuil V_{TH} est a priori due à l'injection et au piégeage de porteurs de charges à l'interface SiO_2/SiC voire dans l'oxyde. Cette injection dépend donc de la polarité de la tension appliquée à la grille et à la durée d'application (rapport cyclique).

Par contre, Oriol n'observe pas de dégradation importante de la jonction P-N en conduction. Ainsi, l'utilisation de la diode interne est donc possible pour des applications de type onduleur "diode-less", ce qui représente un des objectifs principaux de sa thèse.

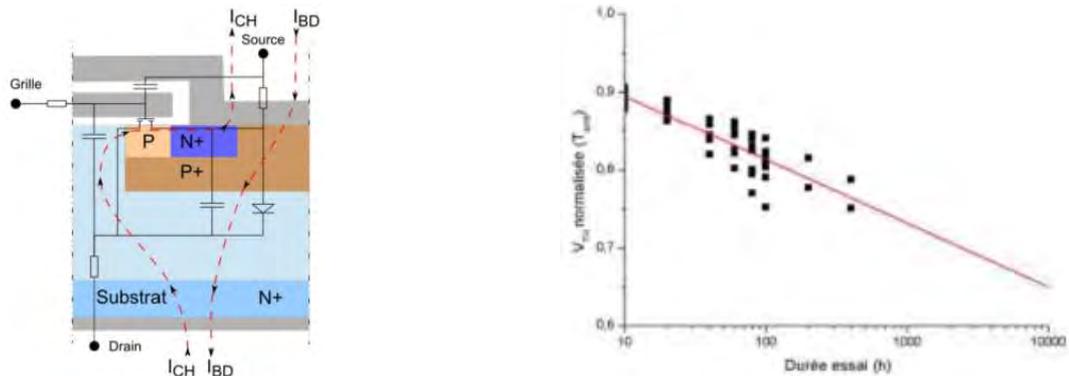


Fig. III.2.2 A gauche: schéma d'un MOSFET vertical SiC, canal et diode bipolaire interne. A droite : dérive du V_{TH} [Salv'16].

On note enfin la thèse plus académique de Tanguy Phulpin soutenue au LAAS en 2017 "Contribution à l'analyse des mécanismes de défaillance lors de décharges électrostatiques et de radiations aux ions lourds de composants MESFET en carbure de silicium". Les composants MESFET sur lesquels il a effectué ses recherches ont été réalisés lors d'un précédent projet AMPERE/CNM. Ces composants ont été qualifiés vis-à-vis de la robustesse aux décharges électrostatiques (ESD) responsables de nombreuses défaillances électriques, et tenue aux radiations

pour garantir le fonctionnement dans des systèmes embarqués spatiaux ou aériens.

Il a utilisé la thermographie infrarouge active en tant qu'outil d'analyse de défaillance. Il a démontré clairement une limite liée au claquage des diélectriques intermétalliques. Un second mécanisme de défaillance correspond au déclenchement d'une structure parasite. Le défaut observé est lié à la sublimation sous forte température du SiC qui laisse un trou dans le semiconducteur (à cause du fort champ de rupture dans le SiC). La défaillance ne modifie pas clairement les caractéristiques électriques. La thermographie infrarouge active permet de discriminer ces deux types de défaillance (dégradation de l'oxyde ou du SiC)

Aujourd'hui depuis quelques mois, Tanguy Phulpin est jeune MCF, également en région parisienne, au GeePs Supelec. Nous nous sommes déjà rencontrés et je lui fournirai pour regarder des points chauds des composants en SiC que j'ai déjà fabriqués.

III.3. Les diélectriques sur le SiC : SiO₂, Al₂O₃...

Les couches diélectriques sont nécessaires et utilisées dans les composants (de puissance) :

- Comme couches de passivation sur les flancs des BJT, MOSFET et d'autres composants bipolaires et unipolaires, verticaux ou latéraux, avec des mesas gravées... Ces diélectriques ont une forte influence sur les performances des composants : tenue en tension, gain des BJT,
- Oxyde de grille pour des composants de type MOS.

Le SiC est a priori le seul semiconducteur grand gap où on peut faire croître un oxyde thermique de haute qualité, le SiO₂. Cependant les densités d'états à l'interface SiC/SiO₂ sont trop élevées, $D_{IT} \sim 10^{12} - 10^{13} \text{ eV}^{-1}\text{cm}^{-2}$, après oxydation et sans autre traitement post-oxydation. Ces valeurs sont deux à trois ordres de grandeur plus élevées que pour l'interface Si/SiO₂.

Ceci entraîne aussi une très faible mobilité dans le canal d'inversion des composants MOSFET, une mobilité aussi faible qu'elle est inférieure à $10 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$.

L'origine de ces densités d'états trop élevées et de cette faible mobilité de porteurs est liée aux défauts présents à l'interface ou dans les couches voisines :

- Liaisons inachevées à l'interface, pendantes, lacunes silicium ou oxygène, interstitiels,
- Complexes oxycarbures de silicium SiO_xC_y,
- Présence de carbone à l'interface : liaisons pendantes de carbone, paires C-C, clusters de carbone.

Si, dans le cas du silicium, les D_{IT} à plus de 3 eV ne sont plus dans le gap, dans le cas du SiC on les retrouve dans le gap et proche de E_c , détériorant fortement le canal d'inversion. C'est là qu'il faut réduire les D_{IT} dans le cas du SiC.

Pour cela, il faut d'une part optimiser le procédé d'oxydation et d'autre part ajouter des traitements spécifiques post-oxydation et des recuits supplémentaires. La figure III.3.1 présente schématiquement la complexité et la multitude des traitements technologiques qu'on peut envisager pour améliorer cette interface diélectrique/SiC.

La suite de ce paragraphe détaillera brièvement une partie de cette technologie nécessaire encore à optimiser pour augmenter la fiabilité et la robustesse des composants unipolaires (MOSFET), mais aussi bipolaires (pour la partie passivation). Ces éléments sont extraits de l'excellent papier de synthèse publié en 2016 par A. Siddiqui et al [Sidd'16], article que j'ai eu le plaisir de "reviewer".

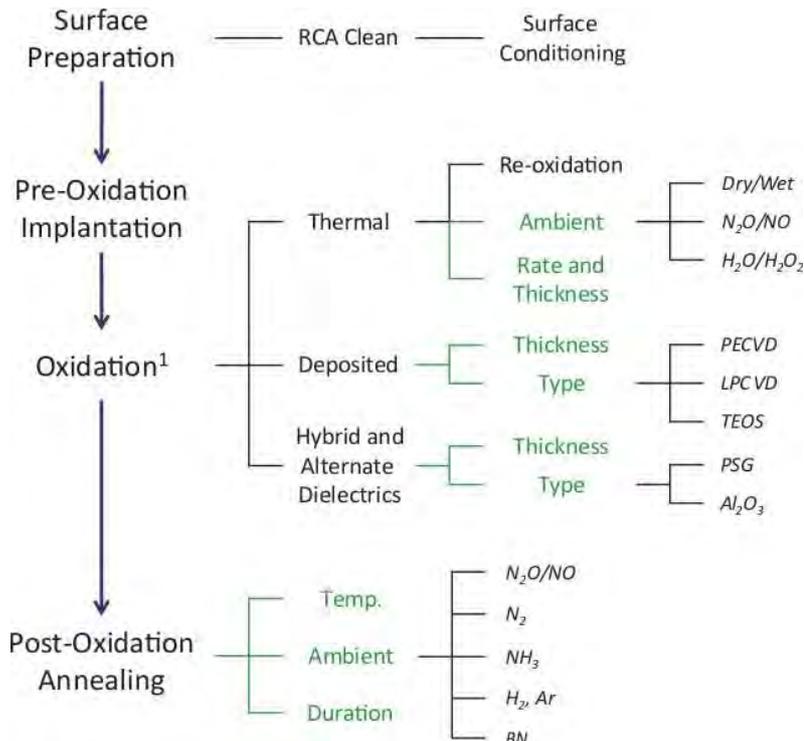


Fig. III.3.1 Présentation schématique des étapes technologiques envisagées pour réaliser l'oxydation du SiC et améliorer la qualité de l'interface SiC/diélectrique [Sidd'16].

Préparation des surfaces

Un nettoyage standard pour tous les semiconducteurs consiste dans des bains RCA pour éliminer toutes les particules contaminantes. On termine par une désoxydation avec une solution HF diluée juste avant l'oxydation pour éliminer tout oxyde natif.

Mais, dans le cas du SiC, il vaut mieux ne pas se limiter aux RCA, un conditionnement des surfaces avant oxydation et après nettoyage sous N₂ et/ou H₂, réduit les D_{IT} à mi-gap. On prévient la formation des couches SiO, on forme des monocouches de SiN si c'est sous N₂ ou on a une réorganisation atomique si le conditionnement est sous H₂.

Oxydation thermique

Dans le cas du SiC, on peut utiliser aussi bien une oxydation sèche qu'humide. En humide, on obtient un meilleur D_{IT} à mi-gap, mais plus élevé proche de E_c. Sans traitement additionnel dans les deux cas, D_{IT} ~ 10¹² eV⁻¹ cm⁻².

L'oxydation sous N₂O ou NO réduit D_{IT} en éliminant le carbone qui s'accumule à l'interface et réduit les épaisseurs des zones de transition SiC/SiO₂.

L'utilisation H₂O₂ à la place de H₂O réduit les oxycarbures et améliore le D_{IT} à mi-gap mais pas proche de E_c.

Une re-oxydation après une descente en température permet de former de nouvelles monocouches à la l'interface

Concernant l'épaisseur de la couche de silice formée et la durée d'oxydation, si le procédé est trop long, on augmente l'épaisseur de la couche de transition qui contient des pairs carbone, on observe aussi la détérioration de la mobilité. La couche de transition apparait dès 2 nm d'oxyde thermique. On obtient un D_{IT} réduit aussi si on diminue la vitesse d'oxydation.

Oxydes déposés

A la fin, ils sont aussi bons que les thermiques, voire meilleurs. Exemple: un dépôt PECVD suivi d'un traitement N₂O à 1250 °C pendant 3 h.

L'épaisseur déposée joue aussi. 100 nm est déjà un bon compromis.

Diélectriques alternatifs - Al₂O₃

C'est une des voies les plus prometteuses. On peut mentionner l'utilisation des high-k comme

Al₂O₃ encapsulant des fines ou ultrafines couches de silice thermique (mauvaise adhérence de l'Al₂O₃ directement sur SiC).

Des mobilités jusqu'à 294 cm²V⁻¹s⁻¹ ont été montrées avec un oxyde thermique de 0,7 nm encapsulé avec de l'Al₂O₃ ($D_{IT|E_c-0,2eV}$ mesurée à 5-8x10¹¹ eV⁻¹cm⁻²). Il est connu aussi que l'utilisation des tubes en alumine lors de l'oxydation thermique peut améliorer le D_{IT} .

Recuit post-oxydation sous différentes atmosphères

Durant cette étape, on utilise N₂O et NO qui apportent une concentration bénéfique d'azote à l'interface en formant des liaisons stables S-N et apportant aussi de l'oxygène pour évacuer le carbone.

On utilise N₂ uniquement en complément au N₂O ou NO pour apporter plus d'azote à l'interface.

Le NH₃ n'est pas meilleur que N₂O ou NO et en plus l'incorporation de l'azote dans le l'oxyde-bulk réduit son champ de claquage.

Les H₂ et Ar sont intéressants aussi bien avant ou après traitement N₂O et NO, en passant dans le cas du H₂ les nouveaux défauts introduits par les N₂O et NO dans le gap.

La combinaison d'un traitement thermique sous N₂O et la diffusion du bore (B) à travers l'oxyde permet de former du B₂O₃, diminuer D_{IT} proche de E_c (~4x10¹² eV⁻¹cm⁻² à ~1x10¹¹ eV⁻¹cm⁻²) et augmenter d'une manière très prometteuse la mobilité (102 cm² V⁻¹ s⁻¹). Celle-ci est une autre piste très suivie en ce moment pour l'augmentation de la mobilité du canal d'inversion.

Implantation ionique préoxydation

L'implantation ionique de l'azote dans le SiC avant l'oxydation peut s'avérer très bénéfique. Un $D_{IT|E_c-0,2eV} \sim 1 \times 10^{11}$ eV⁻¹cm⁻² pour une dose implantée de 2,2x10¹⁴ cm⁻² comparé à ~4x10¹¹ eV⁻¹cm⁻² pour une dose implantée de N⁺ de 5,6x10¹³ cm⁻². La mobilité avec une dose N⁺ de 2,2x10¹⁴ cm⁻² est ~80 cm² V⁻¹ s⁻¹ et de ~57 cm² V⁻¹ s⁻¹ pour une dose de N⁺ de 5,6x10¹³ cm⁻². L'augmentation de la dose semble bénéfique mais jusqu'à une certaine limite.

Cette implantation provoque une déviation du V_{TH} dans le cas des MOSFETs. Par contre, elle semble plus intéressante pour la passivation des flancs des composants, une amélioration du gain des BJT étant observée.

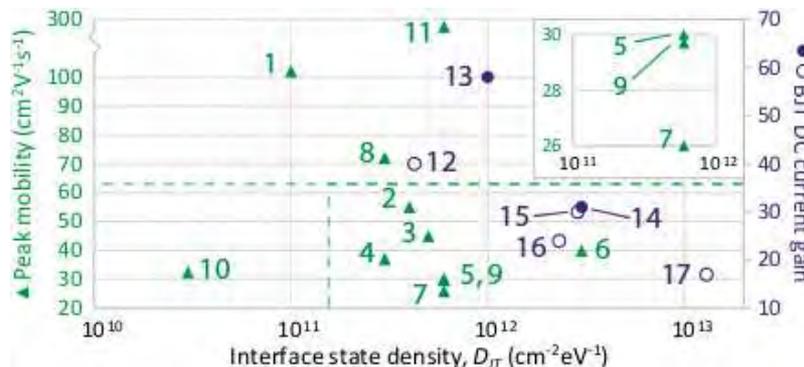


Fig. III.3.2 Synthèse des mobilités dans les canaux d'inversion des MOSFET et des gains des BJT [Sidd'16].

L'oxydation du SiC ou plus généralement l'amélioration de l'interface diélectrique/SiC est une étape technologique que je n'ai pas encore développée dans mes recherches. Elle complète mes études sur la technologie des composants grand-gap (dopage, gravure sèche, contacts ohmiques...) étant une étape critique et indispensable pour obtenir des nouvelles structures de composants ou améliorer la robustesse et la fiabilité des composants actuels, commercialisés. L'expérience de l'INSP, bien qu'elle remonte à plusieurs années, sur l'interface SiO₂/SiC et les moyens expérimentaux et technologiques mis à disposition à l'INSP et l'ESYCOM me permettent d'avoir un cadre idéal pour le développement de ces études qui profiteront aussi à toute la communauté génie électrique qui s'intéresse aujourd'hui à ces matériaux et composants grand-gap.

III.4. Nouvelles applications pour les détecteurs électrochimiques

Comme je l'ai déjà précisé au §II.5.3, les détecteurs électrochimiques basés sur les couches carboniques que nous avons développées sur SiC et surtout leur intégration dans un système microfluidique sur le même substrat, permettront la détection simultanée et en temps réel de plusieurs espèces moléculaires pour des applications dans le domaine clinique médical. Le diagnostic des maladies et le suivi des patients en réanimation nécessitent une rapidité du diagnostic et leur suivi permanent, la sensibilité des outils utilisés et leur capacité à détecter plusieurs cibles moléculaires étant déterminantes. Des microsystèmes implantables peuvent être envisagés grâce à la biocompatibilité de ces matériaux.

De plus, ces capteurs électrochimiques peuvent connaître également des applications environnementales comme celles pour la détection rapide et la quantification des contaminants chimiques ou biologiques.

Une étude assez récente de [Sanc'13] montre le potentiel de l'utilisation des couches de PPF sur silicium pour la détection de micropolluants comme le mercure (Hg) avec des limites inférieures à 2 ppb (fig. III.4.1).

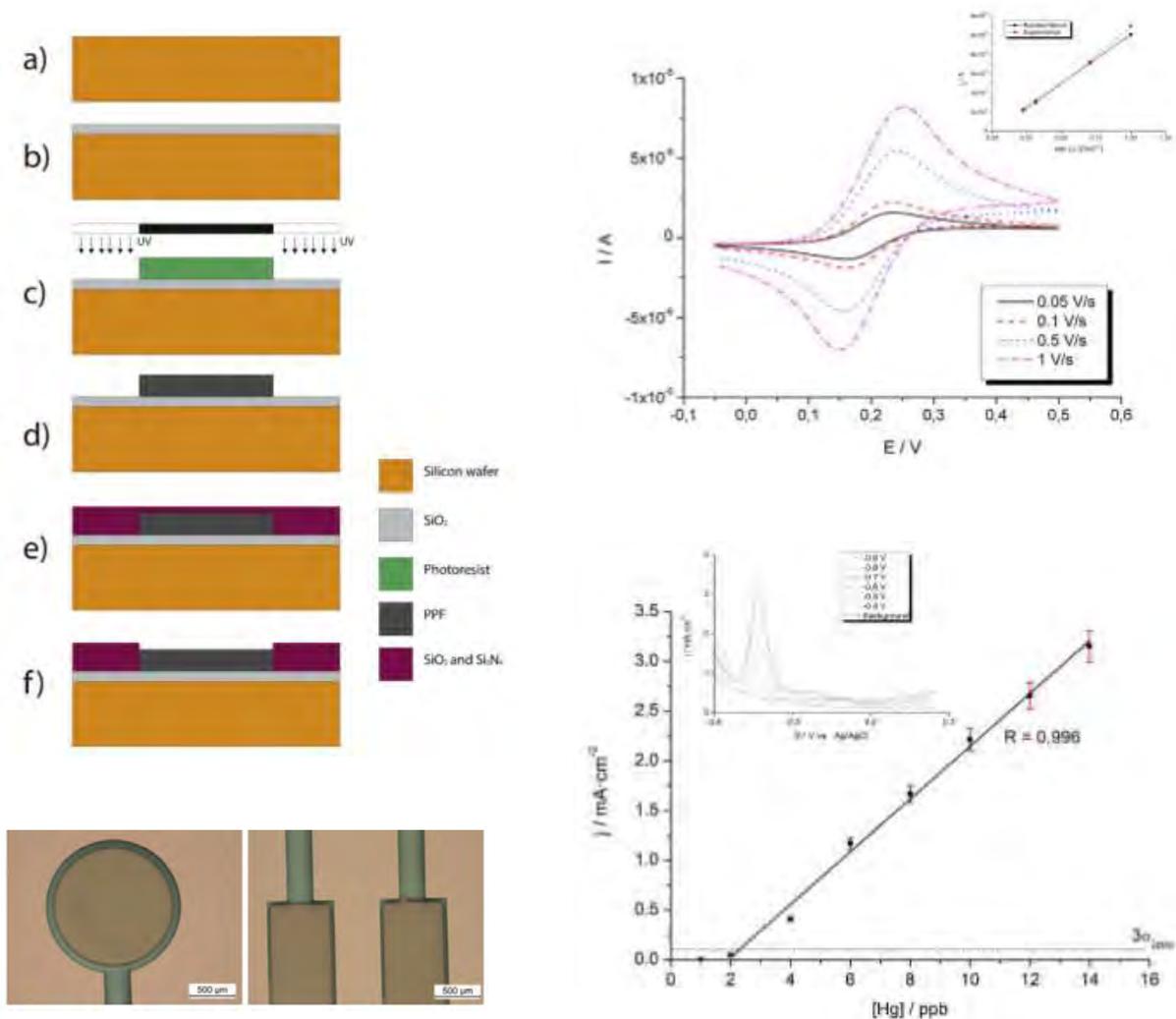


Fig. III.4.1. Détecteur de mercure (Hg) en silicium avec des électrodes en PPF [Sanc'13]. A gauche la réalisation technologique et à droite les caractéristiques électrochimiques y compris courbe d'étalonnage pour la détection.

En remplaçant le substrat silicium par un substrat SiC, nous allons obtenir une meilleure adhérence des couches PPF formées (en technologie SiC, il est bien connu que les résines ne

nécessitent pas de promoteur d'adhérence contrairement au silicium).

En plus, les substrats SiC peuvent être beaucoup plus résistifs, et donc nous n'aurons plus besoin d'isolation avec une couche de silice. La robustesse est aussi améliorée naturellement par l'utilisation d'un substrat SiC inattaquable chimiquement.

Comme je l'ai déjà précisé, contrairement au silicium, l'utilisation d'un substrat SiC permet également d'envisager des dispositifs recyclables une fois que la fonction transducteur est dégradée par des milieux d'utilisation corrosifs, puisque le substrat SiC résistera à ces conditions hostiles grâce à sa remarquable inertie chimique.

Par rapport au silicium, un substrat SiC permet l'utilisation d'autres couches carboniques à la surface du SiC qui peuvent être générées à haute température (comme le graphène). Nous avons aussi vu qu'un traitement thermique à très haute température (~1600°C) améliore la conductivité des couches PPF. Avec ces multicouches intégrées, on élargit ainsi la palette des espèces qu'on peut détecter.

On pourra également envisager dans ces nouveaux projets, l'utilisation comme électrodes des couches SiC fortement dopées par VLS, comme celles optimisées récemment dans la thèse de Selsabil Sejlil qui n'étaient pas disponibles lors de la thèse de Julien Pezard. Ces couches VLS fortement dopées et conductrices, étant de type p, elles seront en plus isolées du substrat par une jonction p/n.

Ces idées ont fait l'objet d'un projet et d'une demande de financement ANR Générique 2017 avec le laboratoire ESYCOM et sa plateforme ESIEE dont le but est de développer une nouvelle plateforme miniaturisée sur support SiC, pour détecter des micropolluants à très faibles concentrations dans divers milieux, même très hostiles.

Le laboratoire ESYCOM est un laboratoire de référence dans le développement de capteurs semiconducteurs. Tout particulièrement le développement de capteurs sous environnements sévères est une thématique de recherche historique de ce laboratoire. Ainsi, je me suis approché des permanents de ce laboratoire pour développer ensemble des projets qui sont en continuité avec mes recherches actuelles.

En juin 2017, l'ESIEE a inauguré sa nouvelle salle blanche d'une surface de 600 m². C'est une salle blanche avec un parc complet d'équipements pour une technologie silicium dédiée 100 et 150 mm avec une bonne perspective d'évolution et progression. Notons que ces conditions sont idéales pour le développement d'une technologie actuelle en SiC (et d'autres matériaux grand gap comme le GaN sur substrat silicium). Cette salle blanche dispose également de moyens d'analyses et d'investigations comme du FIB associé au MEB ainsi que des bancs de test sous-pointes pour caractériser électriquement les composants durant tout au long du procédé technologique de fabrication.

En revenant aux thématiques de recherches propres au laboratoire ESYCOM, il faut préciser que l'un des axes phares du laboratoire concerne les capteurs pour la santé et interfaces avec le vivant. Dans ce cadre, une technologie diamant a été développée sur la plateforme ESIEE à travers plusieurs projets en collaboration avec le CEA/LIST. Au passage, je note la réticence des autres plateformes technologiques dédiées silicium d'introduire des matériaux carbonés, ce qui n'est pas le cas de l'ESIEE. Tout récemment, un "starting grant ERC" a été obtenu par l'un des ingénieurs de la salle blanche de l'ESIEE pour la réalisation de son projet "NEURODiam" qui prévoit l'achat et l'installation de bâtis de croissance de diamant sur cette plateforme. Un fort intérêt existe également sur l'utilisation du SiC pour ces applications, le SiC étant un matériau biocompatible et inerte chimiquement avec l'avantage par rapport au diamant de disposer d'une technologie plus mature et des surfaces de substrats plus importantes.

Des collaborations sont déjà en cours qui visent l'utilisation de couches en SiC comme encapsulant pour les dispositifs médicaux réalisés à l'ESYCOM/ESIEE.

III.5. Nouvelles applications – technologie de traitement de l'information, photonique quantique avec des centres colorés en SiC

D'une manière générale sur les matériaux grand-gap, on s'intéresse depuis un certain nombre d'années et avec un engouement important en ce moment sur les centres colorés qui sont des défauts profonds optiquement actifs. Les plus connus sont les centres NV (association d'un atome d'azote substitutionnel avec une lacune de C en premier voisin) et SiV (Si-lacune ou remplacement de deux atomes de C par un atome de Si) dans le diamant.

Ces défauts ponctuels peuvent être utilisés comme des qubits, l'élément physique de base dans l'informatique quantique. Des fortes applications visent notamment la cryptographie quantique, le calcul quantique et des applications de type capteurs ultra-sensibles utilisant des effets quantiques. Ceci est dû au fait que ces défauts ont un comportement d'atome artificiel isolé, protégé et stable au sein de la matrice cristalline du diamant. Ils possèdent un spin électronique non nul qui peut être manipulé au moyen d'impulsions micro-ondes et lu optiquement. Ces défauts présentent une luminescence parfaitement stable et forte jusqu'à température ambiante et constituent donc une source pratique de photon unique (SPS – "single photon source") à zéro phonon.

Des études ont montré depuis 2012 que le SiC présente des défauts similaires aux centres NV du diamant. En France et notamment en région parisienne, l'équipe "Couches nanométriques, formation, interfaces, défauts" de l'INSP a identifié récemment des centres NV($N_C V_{Si}$) équivalents par des mesures de résonance paramagnétique électronique dans les 3 polytypes principaux du SiC et étudié leur photoluminescence dans le polytype 4H [Bard'15, Zarg'16].

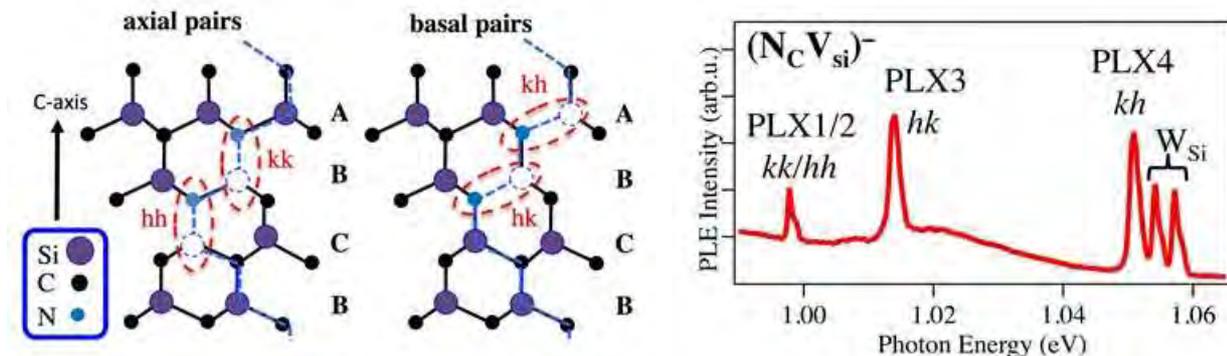


Fig.III.5.1 : Défaut $N_C V_{Si}$ dans le réseau hexagonal du 4H-SiC (à gauche) et photoluminescence de ce défaut (à droite) [Zarg'16].

Dans la famille des matériaux grand-gap, le SiC présente l'avantage d'être un matériau beaucoup plus mature avec une technologie prouvée pour les dispositifs de l'électronique de puissance : dopage, multiples méthodes de gravure ou structuration... La disponibilité de substrats à l'achat jusqu'à 150 mm permet d'envisager un développement à une échelle industrielle de ces nouveaux composants. Ainsi, par rapport au diamant, on peut déjà imaginer dans le SiC l'implémentation et le contrôle de ces défauts dans une électronique intégrée type CMOS ou équivalente.

Mon rapprochement avec l'INSP apportera le savoir-faire de la technologie SiC et une orientation applicative (composants électroniques intégrés) permettant à cette équipe de valoriser sa forte expérience dans l'identification de ces défauts et centres colorés.

Des émissions à photon unique ont été montrées avec un pompage optique ou par injection électrique sur des structures basiques de diodes SiC comme celle publiée par Lhormann et al. de l'Université de Melbourne [Lhor'15] et montrée dans la figure III.5.2. La couche P^+ a été créée par implantation ionique d'Al et, pour le recuit post-implantation, on a utilisé un C-cap (§II.3.1.1).

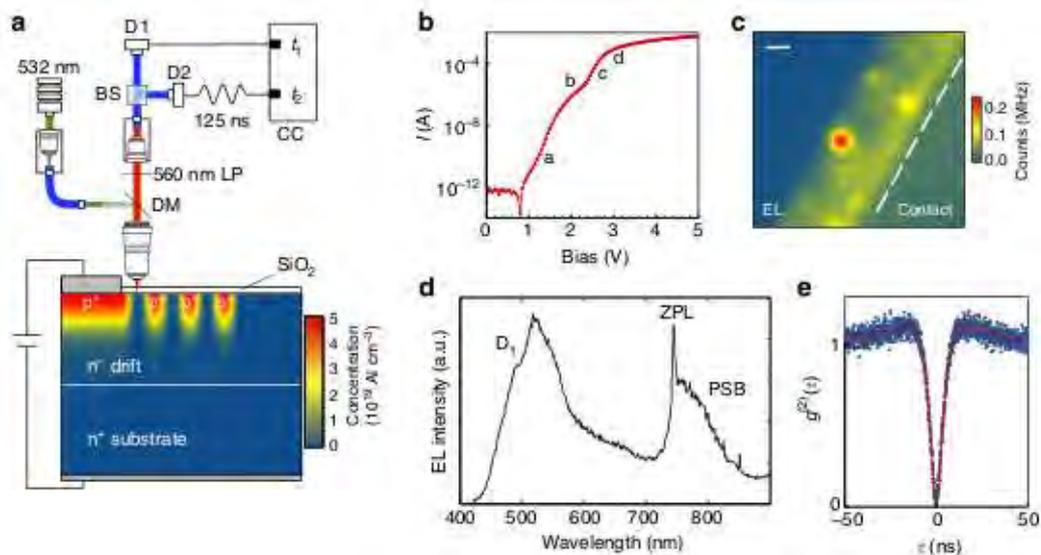


Fig.III.5.2 : Sources de photon unique dans une diode PiN 4H-SiC: (a) banc expérimental confocale (b) caractéristique I-V de la diode avec différents régimes (c) cartographie par électroluminescence (EL) de la périphérie sous polarisation directe 10V. Le spot brillant central est un défaut SPS (d) spectre EL du défaut SPS avec un ZPL (zero phonon line) à 745 nm [Lhor'15].

Les défauts SPS de cette étude sont stabilisés uniquement via le recuit à haute température. Le rôle de la couche encapsulante C-cap est primordial. Sans cette couche, la rugosification de la surface du SiC provoquerait une dégradation de la photostabilité des défauts SPS et une diminution de leur densité.

Sur ces dispositifs, en utilisant également des moyens technologiques pour la nanostructuration de surface, on peut parvenir à améliorer l'efficacité d'émission (mise en cavité) et de collection (structure en piliers par exemple) des diodes électroluminescentes.

La figure III.5.3 présente le procédé de fabrication d'une matrice de piliers à partir d'une surface de SiC nanostructurée où des défauts centres colorés ont été créés préalablement par irradiation électronique à température ambiante (énergie 2 MeV, dose 10^{14} cm^{-2}) [Radu'17]. Un procédé de masquage aluminium a été défini par lithographie électronique et gravure ICP. Dans le même équipement de gravure ICP, les piliers SiC ont été créés en utilisant un plasma SF_6 pour transférer les motifs créés dans le masque aluminium. Le masque non consommé a été finalement retiré par une solution humide.

Des matrices 10 x 10 de nanopiliers espacés de 5 μm ont été créés avec un diamètre variable de 400 nm à 1,4 μm . La forme tronconique des cylindres est liée aux paramètres de gravure ICP utilisés.

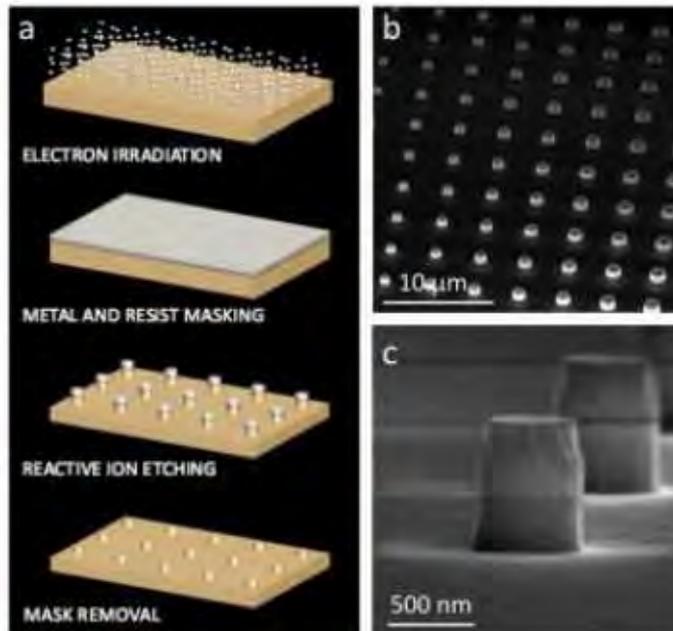


Fig.III.5.3 : Procédé technologique des structures de nanopiliers dans une surface SiC ou des centres colorés ont été créés préalablement par irradiation électronique. Images MEB des piliers formés [Radu'17].

Enfin, je mentionne que l'année dernière j'ai été sollicité par les collègues du laboratoire INL pour participer au projet SPESIC déposé pour un financement ANR afin de les aider pour réaliser ce type de structures avec une démarche originale qui consistait d'utiliser des couches 3C-SiC à plus faible coût, fabriqués sur Si par la société française NOVASIC.

Bien que le projet ANR n'ait pas été retenu, ces études ont continué à travers une thèse de doctorat exploratoire financée par la région Auvergne-Rhône-Alpes. La Fig. III.5.4 présente les premiers résultats qui montrent une surface SiC structurée en piliers réalisée à Lyon. Nous avons utilisé tels quels les procédés de gravure plasma du SiC développés lors de mes travaux sur les composants de puissance SiC haute tension en utilisant un masque dur en nickel.

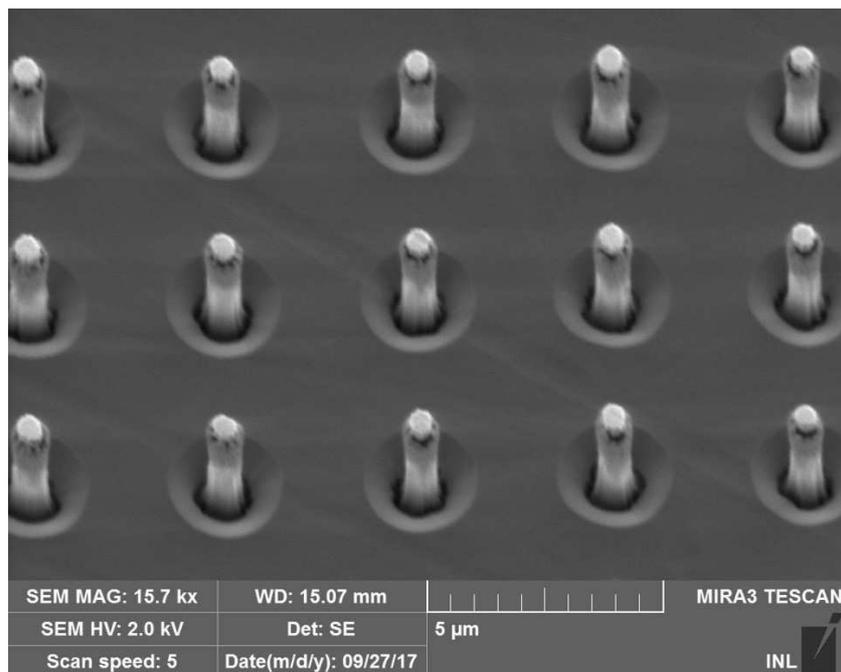


Fig.III.5.4: Surface structurée de SiC avec des piliers réalisés à Lyon en utilisant mes procédés de gravure plasma développés pour les composants SiC de puissance haute tension.

III.6. Nouveaux matériaux grand-gap - oxydes de gallium Ga_2O_3 . Composants grand-gap à hétérojonctions

Un des forts promoteurs de ce semiconducteur en France est le Prof Christian Brylinski du LMI que je remercie pour les discussions portées ensemble et son excellent article [Bryl'17].

Dans la famille des matériaux grand-gap, on s'intéresse de plus en plus ces dernières années au Ga_2O_3 . C'est un semiconducteur avec un gap aussi élevé que celui de diamant (4,9 eV), mais qu'on sait en revanche doper n avec des dopants légers (Si, Sn, lacune d'oxygène). Il a un champ de claquage supérieur au SiC et GaN et donc il peut être considéré a priori comme un concurrent sérieux du SiC ou GaN pour des applications de puissance.

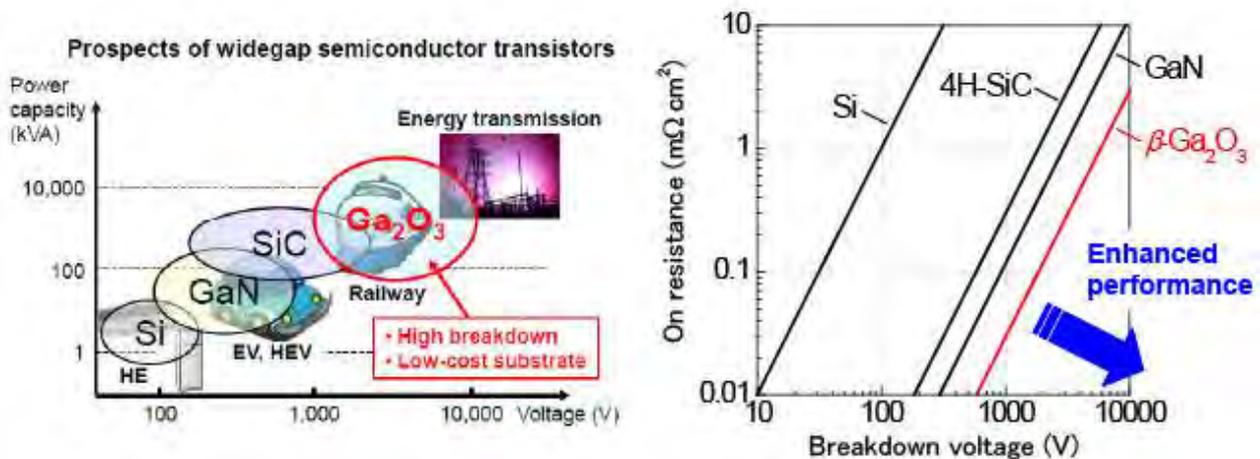


Fig.III.6.1: Applications potentielles pour l'électronique de puissance (à gauche) et limites de performances théoriques (à droite) du Ga_2O_3 comparés aux SiC, GaN et silicium [NICT'13].

Le Ga_2O_3 existe sous plusieurs formes cristallines : α , β , γ , δ , ϵ , la forme β étant la plus stable avec une température de fusion $\sim 1900^\circ\text{C}$. Des monocristaux massifs sous forme de wafers jusqu'à 100 mm de diamètre ont été montrés en utilisant pour les fabriquer la méthode de croissance EFG (Edge-defined Film-fed) qui est un procédé dérivé de la méthode Czochralski. Cette méthode de croissance peut être considérée comme low-cost par rapport au coût de fabrication d'autres matériaux grand-gap (SiC, Diamant, GaN). Ainsi, on peut anticiper qu'à terme un wafer 6 à 8 pouces de diamètre coûtera 10 à 100 fois moins cher qu'un wafer des filières SiC ou GaN.

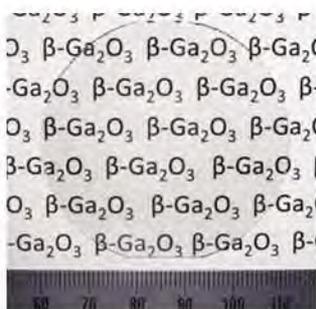


Fig. III.6.2. Image d'un wafer 50 mm de Ga_2O_3 produit par croissance EFG [NICT'13].

Pour avoir des couches minces, on peut également utiliser des procédés d'épithaxie comme: MBE, MOCVD, PLD, ALD sur saphir, GaN ou SiC.

Les études les plus avancées se retrouvent surtout au Japon, où la société Tamura propose des substrats. NICT et AIST sont dans un programme national pour applications télécom et électronique de puissance et on note également la start-up Flosfia de Université de Kyoto.

Des composants Ga_2O_3 ont été également montrés comme des MESFET et MOSFET ainsi que des LED émettant à 170 mW. La figure III.6.3 présente la structure d'un MOSFET, vue en

coupe et de dessus ainsi que les caractéristiques électriques obtenues. Pour l'oxyde de grille, on a utilisé une couche d' Al_2O_3 déposée par ALD.

On remarque que les performances électriques sont remarquables pour ces premiers composants. On obtient une modulation du courant en direct. A l'état bloqué, une tenue en tension $V_{\text{BR}} = 370 \text{ V}$ est obtenue sans protection périphérique. Les courants de fuite sont extrêmement faibles, quelques pA/mm, ce faible niveau permettant d'estimer des faibles pertes quand ces composants seront utilisés en commutation.

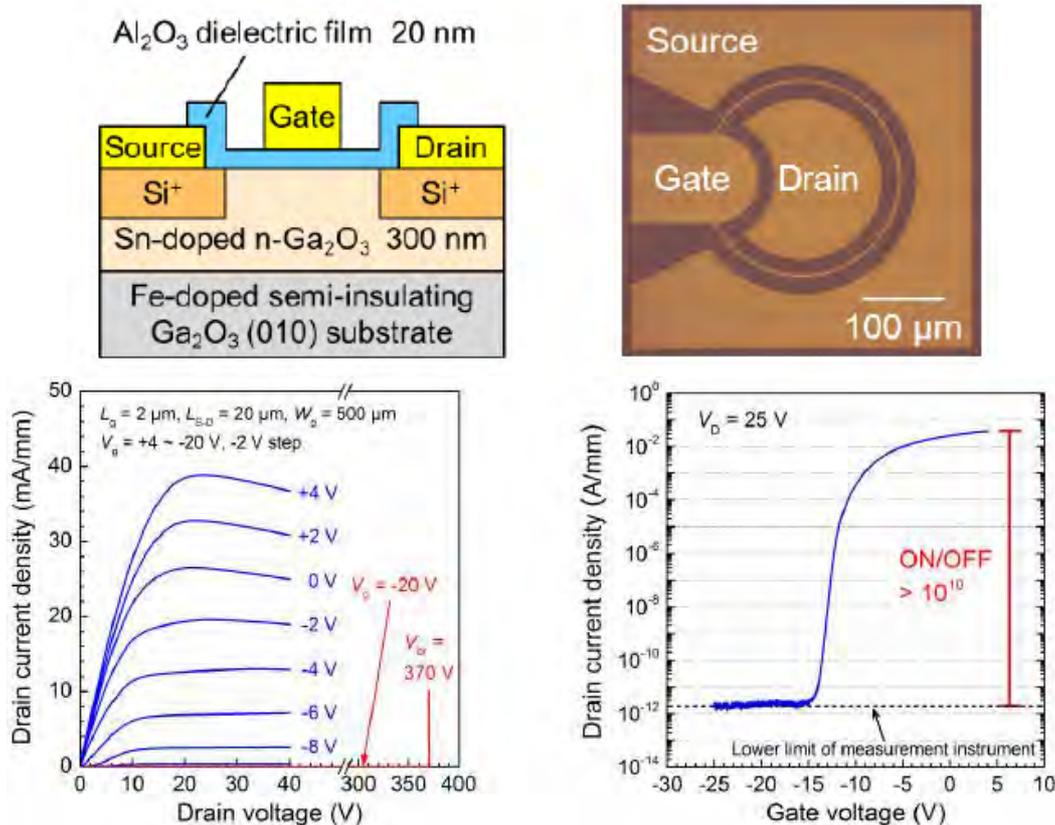


Fig. III.6.3 MOSFET Ga_2O_3 : structure en coupe et vue de dessus (en haut), caractéristiques électriques (en bas) [NICT'13].

En revanche, par rapport aux autres semiconducteurs grand-gap, le Ga_2O_3 présente une bien plus mauvaise conductivité thermique 10-30 W/K.m à température ambiante, 15-50 fois moins que le SiC et même 5-15 fois moins que le silicium. Une autre vulnérabilité pour les composants de puissance peut être liée à l'activité électrique des lacunes d'oxygène pour la stabilité du dopage effectif sous fort champ électrique ou forte température locale.

C'est l'un des points où l'INSP pourra aider la communauté grand-gap dans le développement de ces composants. L'INSP connaît déjà ce matériau et ses défauts actifs et la synthèse de couches minces pourra également y être envisagée dans ce laboratoire ou avec un autre partenaire en France (le CRHEA pour la croissance MBE et MOCVD ou le LMI à Lyon qui s'intéresse déjà à la croissance du Ga_2O_3 par ALD).

Même si la faible conductivité thermique du Ga_2O_3 nous limitera à des faibles épaisseurs de couches (sans pouvoir dépasser quelques 500 V en tenue en tension), on pourra en revanche envisager d'utiliser ces couches sur d'autres semiconducteurs grand-gap en fabriquant des hétérostructures de type HEMT (effet piézo probable) ou HBT (Heterojunction Bipolar Transistor). Il y a un bon accord de mailles avec le SiC (la distance interatomique Ga-O est voisine de celle du SiC).

La figure III.6.4 présente la structure verticale d'un HBT sur substrat SiC que nous avons

envisagée en 2014 lors du dépôt d'un projet ANR avec le laboratoire LMI.

La réalisation de transistors HBT à base de matériaux grands gap, comme (Al)GaN/SiC ou Ga₂O₃/SiC, surclasserait les technologies actuelles GaInP/GaAs ou SiGeC sur silicium. Les applications concernent la conversion d'énergie dans les gammes 50V à environ 3 kV.

D'une manière générale, en termes d'efficacité énergétique, un HBT sur un matériau semiconducteur surclasse les autres transistors bipolaires ou à effet de champ qu'on peut fabriquer sur le même matériau.

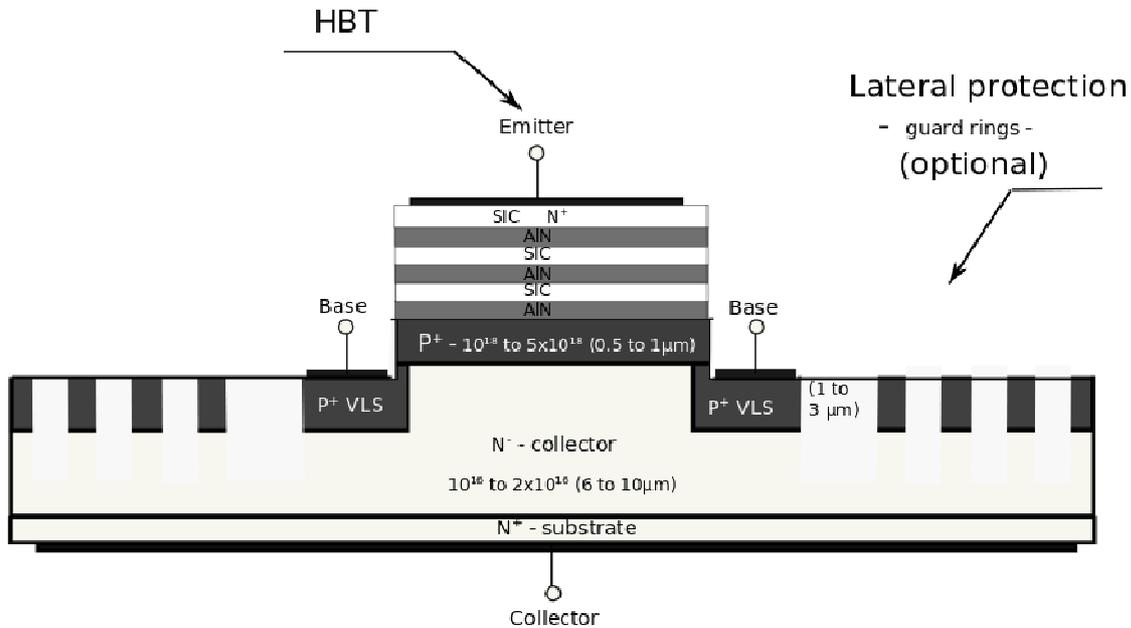


Fig. II.6.4 Structure verticale d'un HBT sur SiC que nous avons envisagé en 2014 avec le laboratoire LMI lors du dépôt du projet ANR Excelsic.

Réaliser un HBT sur SiC supprimera les désavantages des BJT SiC à homojonctions qui sont déjà commercialisés. Ainsi, on s'affranchit des inconvénients liés au faible dopage de la région de base et au très fort dopage de la couche d'émetteur.

De plus, la structure verticale que nous avons proposée autorise l'utilisation de protections périphériques de jonction efficaces pour améliorer la répartition des équipotentiels et éviter le développement de pics de champ électrique. On peut même envisager des protections périphériques dans le SiC en VLS ainsi que la prise de contact sur la base comme nous le montrons schématiquement dans la figure III.6.4.

En 2014, lors du dépôt du projet ANR, nous avons prévu une solution solide AlN/SiC pour créer un matériau à plus large bande interdite que le SiC. Aujourd'hui, nous pouvons envisager l'utilisation du Ga₂O₃ en s'appuyant sur le savoir-faire de la communauté sur ce matériau, INSP et le GEMAC sur des aspects défauts-matériaux, le LMI et le CRHEA pour la croissance ALD, MBE, ou MOCVD. Pour la caractérisation de ces composants, par rapport au laboratoire AMPERE spécialisé dans les composants de puissance, le laboratoire ESYCOM apportera en complément ses plateformes de caractérisation à haute fréquence. Des recherches sont menées dans son équipe "Systèmes RF, mm et optiques" pour la réalisation de composants photoniques/micro-ondes pour les réseaux de communication à ultra haut débit.

Peu d'études existent sur la réalisation des HBT WBG/SiC mais elles montrent cependant la faisabilité et des pistes à explorer. Dans les figures ci-dessous, nous présentons les structures (Al)GaN/SiC fabriquées par [Lee'02] aux Etats-Unis et [Miy'a'12] au Japon.

La Fig. III.6.5 présente la structure d'un HBT GaN/SiC fabriqué par Lee et al. en 2002. Il est parti de deux substrats SiC différents. Sur un premier, il a réalisé les couches d'Al(GaN) et sur le

deuxième une structure plus classique PiN avec une fine couche d'épitaxie de type p en surface. Ensuite, il a réalisé le collage moléculaire de la couche GaN sur l'épitaxie de type p SiC, l'état de surface avant bonding (rugosité, nettoyage chimique) étant critique. Le substrat SiC sur lequel la couche de GaN a été créée a été ensuite éliminé par des polissages successifs en réduisant son épaisseur d'abord à 50 μm et ensuite à 1-2 μm . Finalement, pour augmenter la précision de reprise de la couche épitaxiale, une gravure RIE SF_6 a été effectuée.

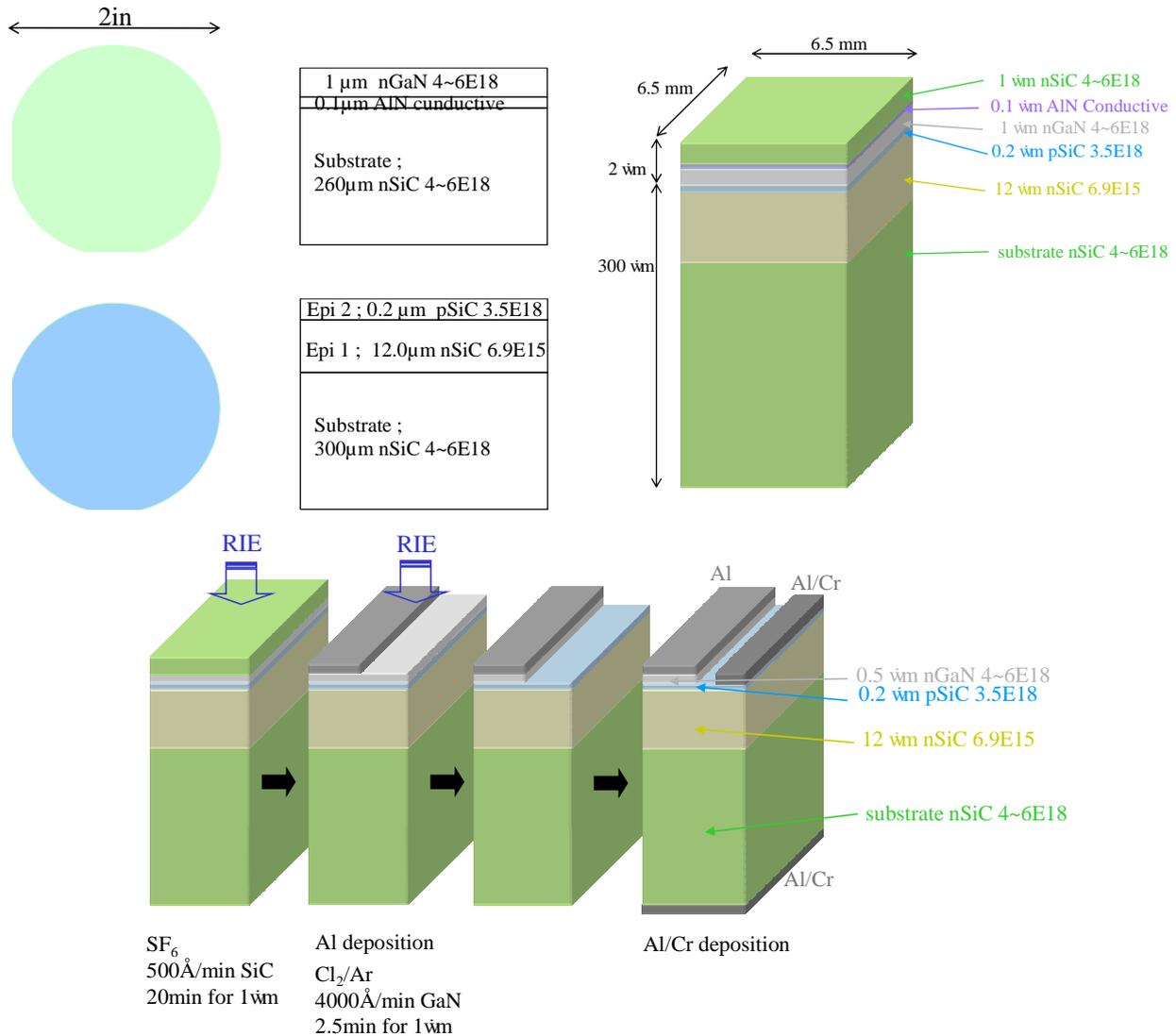


Fig. III.6.5. HBT GaN/SiC fabriqué par Lee et al. en 2002 montrant la structure obtenue par collage (bonding) moléculaire et polissage des substrats SiC utilisés (en haut) et la structure finale ou des gravures RIE ont été utilisées pour l'ouverture des prises de contact (en bas).

La figure III.6.6 présente la structure fabriquée par Miyake et al. ainsi que les caractéristiques obtenues. Une attention particulière a été portée sur la présence de la couche tampon d'AlN présente entre le GaN et le SiC. Son épaisseur joue sur le niveau des courants de fuite en inverse, mais aussi sur le gain du transistor. Remarquons que, sur la technologie en "bonding" proposée par Lee et al., cette couche tampon n'apparaît plus à l'interface de l'hétérojonction.

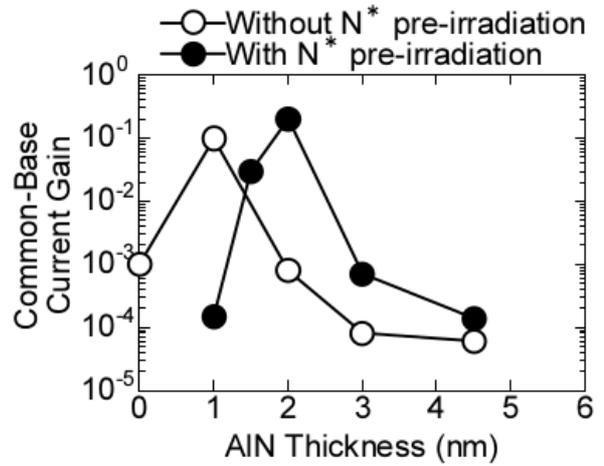
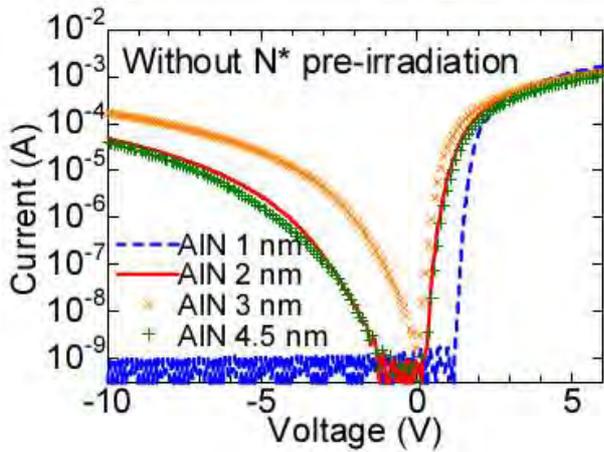
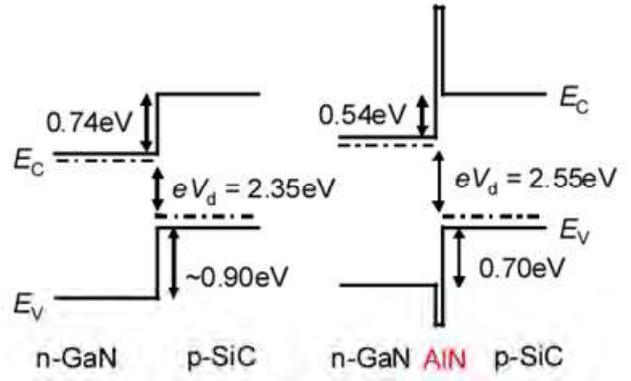
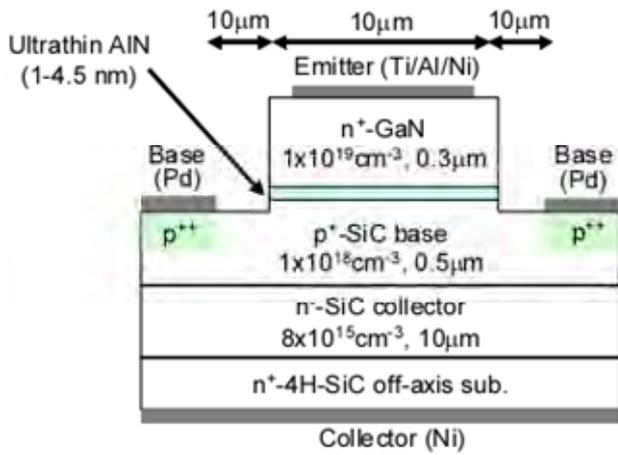


Fig. III.6.6. HBT GaN/SiC fabriqué par Miyake et al. en 2012, ainsi que les caractéristiques électriques obtenues. Influence de la couche tampon d'AlN présente entre le GaN et le SiC.

Liste des publications scientifiques

RI	CI	CN	dont Web of Science™
88	93	18	71

Revue internationale (RI) à comité de lecture

2017

RI88) Jean-François Mogniotte; Dominique Tournier; Christophe Raynaud; Mihai Lazar; Dominique Planson; Bruno Allard, "Silicon-Carbide technology of MESFETs-based power integrated circuits", IEEE Journal of Emerging and Selected Topics in Power Electronics, DOI: 10.1109/JESTPE.2017.2778002, Date of Publication: 27 November 2017

RI87) Lazar, M.; Sejlil, S.; Lalouat, L.; Raynaud, C.; Carole, D.; Planson, D.; Ferro, G.; Laariedh, F.; Brylinski, C.; Morel, H.; " P-Type Doping of 4H-SiC for Integrated Bipolar and Unipolar Devices", Rom. J. Inform. Sci. Technol. Vol. 18, Issue: 4 Pages: 329-342, 2015 (this issue was in fact published in 2017)

RI86) S. Sejlil, L. Lalouat, M. Lazar, D. Carole, C. Brylinski, F. Jomard, D. Planson, G. Ferro, C. Raynaud, "Very High Sustainable Forward Current Densities on 4H-SiC p-n Junctions Formed by VLS Localized Epitaxy of Heavily Al-Doped p++ Emitters", Materials Science Forum, Vol. 897, pp. 63-66, 2017

RI85) J. Pezard, V. Soulière, M. Lazar, N. Haddour, F. Buret, C. Raynaud, D. Planson, "Realization and Characterization of Carbonic Layers on 4H-SiC for Electrochemical Detections", Materials Science Forum, Vol. 897, pp. 739-742, 2017

RI84) S. Sejlil, M. Lazar, D. Carole, C. Brylinski, D. Planson, G. Ferro and C. Raynaud, "Further optimization of VLS localized epitaxy for deeper 4H-SiC p-n junctions" Physica Status Solidi (a), Volume 214, Issue 4, April 2017, 1600454 (7p) DOI: 10.1002/pssa.201600454

2016

RI83) Julien Pezard, Mihai Lazar, Naoufel Haddour, Claude Botella, Pascale Roy, Jean-Blaise Brubach, D. Wysocka, Bertrand Vilquin, Pedro Rojo Romeo, François Buret, "Realization of a graphene gate field effect transistor for electrochemical detection and biosensors", Thin Solid Films (2016), Volume 617, Part B, 30 October 2016, Pages 150–155, <http://dx.doi.org/10.1016/j.tsf.2016.04.031>

RI82) D. Szalkai; R. Ferone; F. Issa; A. Klix; M. Lazar; A. Lyoussi; L. Ottaviani; P. Tüttő; V. Vervisch "Fast Neutron Detection With 4H-SiC Based Diode Detector up to 500 °C Ambient Temperature" IEEE Transactions on Nuclear Science, Year: 2016, Volume: 63, Issue: 3 Pages: 1491 - 1498, DOI: 10.1109/TNS.2016.2522921

RI81) Fatima Issa; Laurent Ottaviani; Dora Szalkai; Lvermeer Vermeeren; Vanessa Vervisch; Abdallah Lyoussi; Raffaello Ferone; Andrej Kuznetsov; Mihai Lazar; Axel Klix; Olivier Palais, "4H-SiC Neutron Sensors Based on Ion Implanted 10B Neutron Converter Layer", IEEE Transactions on Nuclear Science, Year: 2016, Volume: 63, Issue: 3, Pages: 1976 – 1980, DOI 10.1109/TNS.2016.2565439

RI80) Tony Abi-Tannous; Maher Soueidan; Gabriel Ferro; Mihai Lazar; Christophe Raynaud; Bérangère Toury; Marie-France Beaufort; Jean-Francois Barbot; Olivier Dezellus; Dominique Planson, "A Study on the Temperature of Ohmic Contact to p-Type SiC Based on Ti3SiC2 Phase", IEEE Transactions on Electron Devices, Year: 2016, Volume: 63, Issue: 6, Pages: 2462 - 2468, DOI: 10.1109/TED.2016.2556725

RI79) Selsabil Sejlil, Mihai Lazar, F. Cayrel, Davy Carole, Christian Brylinski, Dominique Planson, Gabriel Ferro, Christophe Raynaud, "Optimization of VLS Growth Process for 4H-SiC P/N Junctions", Materials Science Forum, Vol. 858, pp 205-208 (2016)

doi:10.4028/www.scientific.net/MSF.858.205, Trans Tech Publications, Online: 2016-05-24

RI78) T. Abi-Tannous, M. Soueidan, G. Ferro, M. Lazar, C. Raynaud, B. Gardiola, D. Planson, "Thermally Stable Ohmic Contact to p-Type 4H-SiC Based on Ti₃SiC₂ Phase", Materials Science Forum, Vol. 858, pp. 553-556, (2016) doi:10.4028/www.scientific.net/MSF.858.553, Trans Tech Publications, Online: 2016-05-24

RI77) Thi Thanh Huyen Nguyen, Mihai Lazar, Jean-Louis Augé, Hervé Morel, Luong Viet Phung, Dominique Planson, "Vertical termination filled with adequate dielectric for SiC devices in HVDC applications", Materials Science Forum, Vol. 858, pp 982-985 (2016) doi:10.4028/www.scientific.net/MSF.858.982, Trans Tech Publications, Online: 2016-05-24

RI76) F. Issa , V. Vervisch, L. Ottaviani, D. Szalkai, L.Vermeeren, A. Lyoussi, A. Kuznetsov, M. Lazar, A. Klix , O. Palais and A. Hallén, "Improvements in Realizing 4H-SiC Thermal Neutron Detectors", EPI Web of Conferences 106, 05004 (2016), DOI: 10.1051/epjconf/201610605004, EDP Sciences, 2016

2015

RI75) Hamad, Hassan; Bevilacqua, Pascal; Planson, Dominique; Raynaud, Christophe; Tournier, Dominique; Vergne, Bertrand; Lazar, Mihai; Brosselard, Pierre, "2D Electric field imagery in 4H-SiC power diodes using OBIC technique" European Physical Journal - Applied Physics; Nov2015, Vol. 72 Issue 2, p1-6, 6p

RI74) M. Lazar, F. Laariedh, P. Cremillieu, D. Planson, J.-L. Leclercq, "The channeling effect of Al and N ion implantation in 4H-SiC during JFET integrated device processing", Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms, Nucl. Instr. Meth. Phys. Res., Vol. 365/15 pp 256–259 (2015)

RI73) T. Abi-Tannous, M. Soueidan, G. Ferro, M. Lazar, B. Toury, M.F. Beaufort, J.F. Barbot, J. Penuelas, D. Planson, "Parametric investigation of the formation of epitaxial Ti₃SiC₂ on 4H-SiC from Al-Ti annealing", Applied Surface Science, Volume 347, 30 August 2015, Pages 186-192

RI72) B. Bérenguier, L. Ottaviani, S. Biondo, M. Lazar, F. Milesi, O.Palais, F. Torregrosa, A. Lyoussi, E. Kalinina, A. Lebedev, "4H-SiC P + N UV Photodiodes For Space Applications", Materials Science Forum Vols 821-823 (2015) pp 644-647

RI71) F.Issa, L.Ottaviani, V. Vervisch, D.Szalkai, L.Vermeeren, A. Lyoussi, A. Kuznetsov, M. Lazar, A. Klix, O.Palais, R. Ferone, A. Hallén, "Study of the stability of 4H-SiC detectors by thermal neutron irradiation", Materials Science Forum Vols 821-823 (2015) pp 875-878

RI70) Konstantinos Zekentes, Antonis Stavriniadis, George Konstantinidis, Maria Kayambaki, Konstantinos Vamvoukakis, Emmanouil Vassakis, Konstantin Vassilevski, Alton B. Horsfall, Nick G. Wright, Pierre Brosselard, Shiqin Niu, Mihai Lazar, Dominique Planson, Dominique Tournier, Nicolas Camara, Matthias Bucher, "4H-SiC VJFETs with self-aligned contacts", Materials Science Forum Vols 821-823 (2015) pp 793-796

RI69) J. Pezard, J. Lhuillier, Z. El-Friakh, V. Soulière, B. Vilquin, P. Rojo Romeo, M. Lazar, "Realization and characterization of Graphene on 4H-SiC for Tera-Hertz transistors", Materials Science Forum Vols 821-823 (2015) pp 941-944

RI68) S. Sejlil, F. Laariedh, M. Lazar, D. Carole, C. Brylinski, D. Planson, G. Ferro, C. Raynaud, H. Morel, "VLS grown 4H-SiC buried P+ layers for JFET lateral structures", Materials Science Forum Vols 821-823 (2015) pp 789-792

RI67) T. Abi-Tannous, M. Soueidan, G. Ferro, M. Lazar, B. Toury, M.F. Beaufort, J.F. Barbot, J. Penuelas and D. Planson, "A study on the chemistry of epitaxial Ti₃ SiC₂ formation on 4H-SiC using Al-Ti annealing", Materials Science Forum Vols 821-823 (2015) pp 432-435

RI66) Nicolas Thierry-Jebali, Arthur Vo-Ha, Davy Carole, Mihai Lazar, Gabriel Ferro, Hervé Peyre, Sylvie Contreras, Pierre Brosselard, "Improvement of the Specific Contact Resistance on P-Type 4H-SiC by Using a Highly P-Typed Doped 4H-SiC Layer Selectively Grown by VLS Transport", Materials Science Forum Vol. 806 (2015) pp 57-60 , Online available since 2014/Oct/31 at www.scientific.net, ISBN print: 978-3-03835-294-5

RI65) Arthur Vo-Ha, Mickael Rebaud, Mihai Lazar, Alexandre Tallaire, Veronique Soulière, Gabriel Ferro, Davy Carole, "Heteroepitaxy of P-Doped 3C-SiC on Diamond by VLS Transport", Materials Science Forum Vol. 806 (2015)

pp 33-37

, Online available since 2014/Oct/31 at www.scientific.net, ISBN print: 978-3-03835-294-5

2014

RI64) Issa, F. ; Vervisch, V. ; Ottaviani, L. ; Szalkai, D. ; Vermeeren, L. ; Lyoussi, A. ; Kuznetsov, A. ; Lazar, M. ; Kliks, A. ; Palais, O. ; Hallen, A., "Radiation Silicon Carbide Detectors Based on Ion Implantation of Boron", IEEE TRANSACTIONS ON NUCLEAR SCIENCE, Volume: 61 Issue: 4 Pages: 2105-2111 Part: 2 Published: AUG 2014

RI63) Arthur Vo-Ha, Mickael Rebaud, Davy Carole, Mihai Lazar, Alexandre Tallaire, Veronique Soulière, Jose Carlos Pinero, Daniel Araújo, Gabriel Ferro, "3C-SiC Seeded Growth on Diamond Substrate by VLS Transport", Materials Science Forum Vols. 778-780 (2014) pp 234-237

Online available since 2014/Feb/26 at www.scientific.net, ISBN print: 978-3-03835-010-1

RI62) Nicolas Thierry-Jebali, Mihai Lazar, Arthur Vo-Ha, Davy Carole, Veronique Soulière, Anne Henry, Dominique Planson, Gabriel Ferro, Leszek Konczewicz, Sylvie Contreras, Christian Brylinski, Pierre Brosselard, "Applications of Vapor-Liquid-Solid Selective Epitaxy of Highly p-Type Doped 4H-SiC: PiN Diodes with Peripheral Protection and Improvement of Specific Contact Resistance of Ohmic Contacts", Materials Science Forum Vols. 778-780 (2014) pp 639-644, Online available since 2014/Feb/26 at www.scientific.net, ISBN print: 978-3-03835-010-1

RI61) Fatima Issa, Vanessa Vervisch, Laurent Ottaviani, Dora Szalkai, Ludo Vermeeren, Abdallah Lyoussi, Andrej Kuznetsov, Mihai Lazar, Axel Kliks, Olivier Palais, Anders Hallén, Nuclear Radiation Detectors Based on 4H-SiC p+-n Junction, Materials Science Forum Vols. 778-780 (2014) pp 1046-1049, Online available since 2014/Feb/26 at www.scientific.net

ISBN print: 978-3-03835-010-1

2013

RI60) A. Vo-Ha, D. Carole, M. Lazar, D. Tournier, F. Cauwet, V. Soulière, N. Thierry-Jebali, P. Brosselard, D. Planson, C. Brylinski, G. Ferro, "Understanding the growth of p-doped 4H-SiC layers using vapour-liquid-solid transport", Thin Solid Films, Volume 548, 2 December 2013, Pages 125-129

RI59) Thierry-Jebali, N, Vo-Ha, A, Carole, D, Lazar, M, Ferro, G, Planson, D, Henry, A, Brosselard, P, "Very low specific contact resistance measurements made on a highly p-type doped 4H-SiC layer selectively grown by vapor-liquid-solid transport", APPLIED PHYSICS LETTERS Volume: 102 Issue: 21 Article Number: 212108 DOI: 10.1063/1.4809570 Published: MAY 27 2013

RI58) A. Vo-Ha, D. Carole, M. Lazar, D. Tournier, F. Cauwet, V. Soulière, D. Planson, C. Brylinski, G. Ferro, "Selective growth of p-doped SiC on diamond substrate by vapor-liquid-solid mechanism from Al-Si liquid phase", Diamond and Related Materials, Volume 35, May 2013, Pages 24-28

RI57) Laariedh, F; Lazar, M; Cremillieu, P; Penuelas, J; Leclercq, JL; Planson, D, "The role of nickel and titanium in the formation of ohmic contacts on p-type 4H-SiC", SEMICONDUCTOR SCIENCE AND TECHNOLOGY Volume: 28 Issue: 4 Article Number: 045007 DOI: 10.1088/0268-1242/28/4/045007 Published: APR 2013

RI56) A. Vo-Ha, D. Carole, M. Lazar, D. Tournier, F. Cauwet, V. Soulière, D. Planson, C. Brylinski, G. Ferro, "p-Doped SiC Growth on Diamond Substrate by VLS Transport", Materials Science Forum Vols. 740-742 (2013) pp 331-334, Online available since 2013/Jan/25 at www.scientific.net

RI55) Nicolas Thierry-Jebali, Mihai Lazar, Arthur Vo-Ha, Davy Carole, Veronique Soulière, Farah Laariedh, Jawad ul Hassan, Anne Henry, Erik Janzén, Dominique Planson, Gabriel Ferro, Christian Brylinski and Pierre Brosselard, "Electrical Characterization of PiN Diodes with p+ layer Selectively Grown by VLS Transport", Materials Science Forum Vols. 740-742 (2013) pp 911-914, Online available since 2013/Jan/25 at www.scientific.net

RI54) D. Carole, A. Vo-Ha, A. Thomas, M. Lazar, N. Thierry-Jebali, D. Tournier, F. Cauwet, V. Soulière, C. Brylinski, P. Brosselard, D. Planson, G. Ferro, "Study of the Nucleation of p-doped SiC in Selective Epitaxial Growth using VLS Transport", Materials Science Forum Vols. 740-742 (2013) pp 177-180, Online available since 2013/Jan/25 at www.scientific.net

2012

RI53) Thierry-Jebali, N; Hassan, J; Lazar, M; Planson, D; Bano, E; Henry, A; Janzen, E; Brosselard, P "Observation of the generation of stacking faults and active degradation measurements on off-axis and on-axis 4H-SiC PiN diodes", APPLIED PHYSICS LETTERS Volume: 101 Issue: 22 Article Number: 222111 DOI: 10.1063/1.4768440 Published: NOV 26 2012

RI52) S. Biondo, M. Lazar, L. Ottaviani, W. Vervisch, V. Le Borgne, M.A. El Khakani, J. Duchaine, F. Milesi, O. Palais, D. Planson, "4H-silicon carbide thin junction based ultraviolet photodetectors", Thin Solid Films 2012 Volume 522, 1 November 2012, Pages 17–19.

RI51) Gabriel Civrac, Farah Laariedh, Nicolas Thierry Jebali, Mihai Lazar, Dominique Planson, Pierre Brosselard, Jawad Hassan, Anne Henry, Erik Janzén, Bertrand Vergne, Sigo Scharnholz, "600 V PIN Diodes Fabricated Using On-Axis 4H Silicon Carbide", Materials Science Forum Vols. 717-720 (2012) pp 969-972

RI50) D.M. Nguyen, Christophe Raynaud, Mihai Lazar, Gontran Pâques, Sigo Scharnholz, Nicolas Dheilley, Dominique Tournier, Dominique Planson, "OBIC Measurements on Avalanche Diodes in 4H-SiC for the Determination of Impact Ionization Coefficients", Materials Science Forum Vols. 717-720 (2012) pp 545-548

RI49) Davy Carole, Stéphane Berckmans, Arthur Vo-Ha, Mihai Lazar, Dominique Tournier, Pierre Brosselard, Veronique Soulière, Laurent Auvray, Gabriel Ferro, Christian Brylinski, "Buried Selective Growth of p-Doped SiC by VLS Epitaxy", Materials Science Forum Vols. 717-720 (2012) pp 169-172

RI48) Jean Lorenzzy, Romain Esteve, Mihai Lazar, Dominique Tournier, Davy Carole, Gabriel Ferro, "Study of the Lateral Growth by VLS Mechanism Using Al-Based Melts on Patterned SiC Substrate", Materials Science Forum Vols. 717-720 (2012) pp 165-168

RI47) S. Biondo, L. Ottaviani, M. Lazar, D. Planson, J. Duchaine, V. Le Borgne, M. A. El Khakani, F. Milesi, W. Vervisch, O. Palais and F. Torregrosa, "4H-SiC P+N UV Photodiodes : a Comparison between Beam and Plasma Doping Processes", Materials Science Forum Vols. 717-720 (2012) pp 1203-1206

RI46) Mihai Lazar, François Jomard, Duy Minh Nguyen, Christophe Raynaud, Gontran Pâques, Sigo Scharnholz, Dominique Tournier, Dominique Planson, "SIMS Analyses Applied to Open an Optical Window in 4H-SiC Devices for Electro-Optical Measurements", Materials Science Forum Vols. 717-720 (2012) pp 885-888

RI45) F. Laariedh, M. Lazar, P. Cremillieu, J.-L. Leclercq, D. Planson, "Investigations on Ni-Ti-Al ohmic contacts obtained on p-type 4H-SiC", Materials Science Forum Vol. 711 (2012), pp 169-173

RI44) S. Biondo, M. Lazar, L. Ottaviani, W. Vervisch, O. Palais, R. Daineche, D. Planson, F. Milesi, J. Duchaine, F. Torregrosa, "Electrical characteristics of SiC UV-Photodetector device: from the p-i-n structure behaviour to the Junction Barrier Schottky structure behaviour", Materials Science Forum Vol. 711 (2012), pp 114-117

RI43) J. Lorenzzy, N. Jegenyes, M. Lazar, D. Tournier, D. Carole, F. Cauwet, G. Ferro, "Elimination of twin boundaries when growing 3C-SiC heteroepitaxial by Vapour-liquid-solid mechanism on patterned 4H-SiC substrate", Materials Science Forum Vol. 711 (2012), pp 11-15

2011

RI42) J. Lorenzzy, M. Lazar, D. Tournier, N. Jegenyes, D. Carole, F. Cauwet, and G. Ferro, "3C-SiC Heteroepitaxial Growth by Vapor-Liquid-Solid Mechanism on Patterned 4H-SiC Substrate Using Si-Ge Melt", Crystal Growth & Design, 11 (2011) pp 2177–2182

RI41) Elias Haddad, Christian Martin, Charles Joubert, Bruno Allard, Maher Soueidan, Mihai Lazar, Cyril Buttay, Beatrice Payet-Gervy, "Modeling, Fabrication, and Characterization of Planar Inductors on YIG Substrates", Advances in Innovative Materials and Applications, Vo. 324 (2011) pp 294-297

RI40) Dominique Tournier, Pierre Brosselard, Christophe Raynaud, Mihai Lazar, Herve Morel, Dominique Planson, "Wide Band Gap Semiconductors Benefits for High Power, High Voltage and High Temperature Applications", Advanced Materials Research Vol. 324 (2011) pp 46-51

RI39) Cyril Buttay, Dominique Planson, Bruno Allard, Dominique Bergogne, Pascal Bevilacqua, Charles Joubert, Mihai Lazar, Christian Martin, Hervé Morel, Dominique Tournier, Christophe Raynaud, "State of the art of high

temperature power electronics”, *Materials Science and Engineering: B*, Vol. 176, No. 4 (2011) pp 283-288

RI38) D.M. Nguyen, C. Raynaud, N. Dheilily, M. Lazar, D. Tournier, P. Brosselard, D. Planson, "Experimental determination of impact ionization coefficients in 4H-SiC”, *Diamond and Related Materials*, Vol. 20, No 3 (2011) pp 395-397

RI37) Mihai Lazar, Fabrice Enoch, Farah Laariedh, Dominique Planson, Pierre Brosselard, "Influence of the Masking Material and Geometry on the 4H-SiC RIE Etched Surface State”, *Materials Science Forum Vols. 679-680* (2011) pp 477-480

RI36) Jean Lorenzini, Nikolettta Jegenyess, Mihai Lazar, Dominique Tournier, François Cauwet, Davy Carole, Gabriel Ferro, "Investigation of 3C-SiC Lateral Growth on 4H-SiC Mesas”, *Materials Science Forum Vols. 679-680* (2011) pp 111-114

2010

RI35) F. Simescu, D. Coiffard, M. Lazar, P. Brosselard and D. Planson, . "Study of trenching formation during SF6/O2 reactive ion etching of 4H-SiC”, *Journal of Optoelectronics and Advanced Materials (JOAM)* Vol. 12, No. 3, (2010) pp 766-769

2009

RI34) C. Raynaud, D-M. Nguyen, N. Dheilily, D. Tournier, P. Brosselard, M. Lazar, D. Planson, "Optical beam induced current measurements: principles and applications to SiC device characterization”, *Phys. Status Solidi A*, 1–11 (2009) / DOI 10.1002/pssa.200825183 Published: OCT 2009

RI33) S. Diaham, M.-L. Locatelli, T. Lebey, C. Raynaud, M. Lazar, H. Vang, D. Planson, Polyimide Passivation Effect on High Voltage 4H-SiC PiN Diode Breakdown Voltage, *Materials Science Forum* 615-617 (2009) pp 695-698

RI32) M. Soueidan, M. Lazar, D.M. Nguyen, D. Tournier, C. Raynaud, D. Planson, Process optimisation for high temperature SiC lateral devices, *Materials Science Forum*, Vols. 615-617 (2009) pp 585-588.

RI31) D. M. Nguyen, C. Raynaud, M. Lazar, H. Vang, D. Planson, “Comparison of Electrical Properties of Ohmic Contact Realized on p-type 4H-SiC”, *Materials Science Forum Vols. 600-603* (2009) pp 639-642

RI30) H. Vang, S. Scharnholz, C. Raynaud, M. Lazar, G. Pâques, D. Planson, Impact of RIE Etching on the Breakdown Voltage of 4H-SiC Mesa Diodes, *Materials Science Forum*, Vols. 600-603 (2009) pp 1011-1014

2007

RI29) E. Oliviero, M. Lazar, A. Gardon, C. Peaucelle, A. Perrat, J.J. Grob, C. Raynaud and D. Planson, "High energy N+ ion implantation in 4H-SiC”, *Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms*, Volume 257, Issues 1-2, April 2007, pp. 265-269

RI28) E. Oliviero, M. Lazar, H. Vang, C. Dubois, P. Cremillieu, J.L. Leclercq, J. Dazord, D. Planson. "Use of Graphite Cap to Reduce Unwanted Post-Implantation Annealing Effects in SiC”, *Materials Science Forum Vols. 556-557* (2007) pp. 611-614

RI27) H. Vang, C. Raynaud, P. Brosselard, M. Lazar, P. Cremillieu, J.L. Leclercq, S. Scharnholz, D. Planson, J.P. Chante, "1.2 kV Pin Diodes with SiCrystal Epiwafer”, *Materials Science Forum Vols. 556-557* (2007) pp. 901-904

RI26) M. Soueidan, G. Ferro, C. Jacquier, P. Godignon, J. Pezoldt, M. Lazar, B. Nsouli and Y. Monteil. "Improvement of 4H-SiC selective epitaxial growth by VLS mechanism using Al and Ge-based melts". *Diamond and Related Materials*, Volume 16, Issue 1, January 2007, pp. 37-45

2006

RI25) M. Lazar, H. Vang, P. Brosselard, C. Raynaud, P. Cremillieu, J.L. Leclercq, A. Deschamps, S. Scharnholz, D. Planson, "Deep SiC etching with RIE”, *Superlattices and Microstructures*, Volume 40, Issues 4-6, October-December 2006, pp. 388-392

RI24) H. Vang, M. Lazar, P. Brosselard, C. Raynaud, P. Cremillieu, J.-L. Leclercq, J.-M. Bluet, S. Scharnholz and D.

Planson " Ni-Al ohmic contact to p-type 4H-SiC", Superlattices and Microstructures, Volume 40, Issues 4-6, October-December 2006, pp. 626-631

RI23) P. Brosselard, D. Planson, S. Scharnholz, C. Raynaud, V. Zorngiebel, M. Lazar, J.-P. Chante, E. Spahn, Edge Termination strategies for a 4 kV 4H-SiC Thyristor, Solid-State Electronics, Volume 50, Issues 7-8, July-August 2006, pp. 1183-1188

RI22) G. Ferro, M. Soueidan, C. Jacquier, P. Godignon, T. Stauden, J. Pezoldt, M. Lazar, J. Montserrat, Y. Monteil, Improvement of 4H-SiC selective epitaxial growth by VLS mechanism using Al and Ge based melts, Materials Science Forum, vol. 527-529 (2006), p.275-278.

2005

RI21) M. Lazar, C. Jacquier, C. Dubois, C. Raynaud, G. Ferro, D. Planson, P. Brosselard, Y. Monteil, J.P. Chante, P-type SiC layers formed by VLS induced selective epitaxial growth, Materials Science Forum, vol. 483-486 (2005), pp.633-636.

RI20) P. Brosselard, T. Bouchet, D. Planson, S. Scharnholz, G. Pâques, M. Lazar, C. Raynaud, J.-P. Chante, E. Spahn, A 3.5 kV thyristor in 4H-SiC with a JTE periphery. Materials Science Forum, vol. 483-486 (2005), pp.1005-1008.

RI19) F. Moscatelli, A. Scorzoni, A. Poggi, M. Bruzzi, S. Lagormarsino, S. Mersi, S. Sciortino, M. Lazar, A. Di Placido, R. Nipoti, Measurements of Charge Collection Efficiency of p+/n Junction SiC Detectors, Materials Science Forum, vol. 483-486 (2005), pp.1021-1024.

2004

RI18) C. Raynaud, S.-R. Wang, D. Planson, M. Lazar, J.-P. Chante, OBIC analyses on 1.3 kV 6H-SiC p+n planar bipolar diodes protected by Junction Termination Extension, Diamond and Related Materials, Vol 13/9 (2004), p. 1697-1703.

RI17) J.P. Chante, D. Tournier, D. Planson, C. Raynaud, M. Lazar, M.L. Locatelli, P. Brosselard, SiC-Based Current Limiter Devices, Materials Science Forum, 2004, Vol. 457-460, p951.

RI16) C. Raynaud, M. Lazar, D. Planson, J.-P. Chante, Z. Sassi, Design, Fabrication and Characterization of 5 kV 4H-SiC p+n Planar Bipolar Diodes Protected by Junction Termination Extension, Materials Science Forum, 2004, Vol. 457-460, p1033.

RI15) M. Lazar, G. Cardinali, C. Raynaud, A. Poggi, D. Planson, R. Nipoti, J.P. Chante, The Role of the Ion Implanted Emitter State on 6H-SiC Power Diodes Behavior. A Statistical Study, Materials Science Forum, 2004, Vol. 457-460, p1025.

RI14) P. Brosselard, V. Zorngiebel, D. Planson, S. Scharnholz, J.-P. Chante, E. Spahn, C. Raynaud, M. Lazar, Influence of Different Peripheral Protections on the Breakover Voltage of a 4H-SiC GTO Thyristor, Materials Science Forum, 2004, Vol. 457-460, p1129.

2003

RI13) D. Tournier, X. Jorda, J. Montserrat, D. Planson, C. Raynaud, M. Lazar, J.P. Chante, F. Sarrus, Characterization of a 4H-SiC High Power Density Controlled Current Limiter, Materials Science Forum, 2003, Vol. 433-436, p871.

RI12) M. Lazar, C. Raynaud, D. Planson, J.-P. Chante, M.-L. Locatelli, L. Ottaviani, Ph. Godignon, Effect of ion implantation parameters on Al dopant redistribution in SiC after annealing : defect recovery and electrical properties of p-type layers, Journal of Applied Physics, September, 2003, Vol.94(5), p. 2992-2998.

RI11) S.R. Wang, C. Raynaud, D. Planson, M. Lazar, J.-P. Chante, OBIC measurements on 1.3 kV 6H-SiC bipolar diodes protected by Junction Termination Extension, Materials Science Forum, 2003, Vol. 433-436, p863.

2002

RI10) C. Raynaud, K. Isoird, M. Lazar, C.M. Johnson, N. Wright, Barrier height determination of SiC Schottky diodes by capacitance and current-voltage measurements, Journal of Applied Physics, 2002, Vol. 91, N°12, p9841.

RI9) M. Lazar, C. Raynaud, D. Planson, M.L. Locatelli, K. Isoird, L. Ottaviani, J.P. Chante, R. Nipoti, A. Poggi, G. Cardinali, A comparative study of high temperature Aluminum post-implantation annealing in 6H and 4H-SiC, Materials Science Forum, 2002, Vol. 389-393, p827.

RI8) K. Isoird, M. Lazar, M. L. Locatelli, C. Raynaud, D. Planson, J. P. Chante, Study of 4H-SiC High Voltage Bipolar Diodes under Reverse Biases Using Electrical and OBIC Characterizations, Materials Science Forum, 2002, Vol. 389-393, p1289.

RI7) L. Ottaviani, M. Lazar, M.L. Locatelli, J.P. Chante, V. Heera, W. Skorupa, M. Voelskow, P. Torchio, Annealing studies of Al-implanted 6H-SiC in an induction furnace, Materials Science Engineering B, 2002, Vol. 91-92, p325.

RI6) L. Ottaviani, M. Lazar, M.L. Locatelli, D. Planson, J.P. Chante, Ch. Dubois, Characteristics of aluminum-implanted 6H-SiC samples after different thermal treatments, Materials Science Engineering B, 2002, Vol. 90, N°3, p301.

2001

RI5) L. Ottaviani, M. Lazar, M.L. Locatelli, Y. Monteil, V. Heera, M. Voelskow, W. Skorupa, Investigation of Al-implanted 6H- and 4H-SiC Layers After Fast Heating Rate Annealings, Applied Surface Science, 2001, Vol. 184, N°1-4, p330.

RI4) F. Nallet, D. Planson, P. Godignon, M.L. Locatelli, M. Lazar, J.P. Chante, Experimental Characterization of a 4H-SiC High Voltage Current Limiting Device, Applied Surface Science, 2001, Vol. 184, N°1-4, p404.

RI3) K. Isoird, M. Lazar, L. Ottaviani, M.L. Locatelli, C. Raynaud, D. Planson, J.P. Chante, Study of 6H-SiC High Voltage Bipolar Diodes under Reverse Biases, Applied Surface Science, 2001, Vol. 184, N°1-4, p477.

RI2) M. Lazar, L. Ottaviani, M.L. Locatelli, C. Raynaud, D. Planson, E. Morvan, P. Godignon, W. Skorupa et J.P. Chante, High Electrical Activation of Aluminium and Nitrogen Implanted in 6H-SiC at Room Temperature by RF Annealing, Materials Science Forum, 2001, Vol. 353-356, p571.

2000

RI1) M. Lazar, L. Ottaviani, M.L. Locatelli, D. Planson, B. Canut et J.P. Chante, Improved Annealing Process for 6H-SiC p+-n Junction Creation by Al Implantation, Materials Science Forum, 2000, Vol. 338-342, p921.

Actes de colloques internationaux (CI) à comité de lecture

IEEE Conferences, International Semiconductor Conference (CAS) Sinaia, Romania 11-14 October, 2017

C93) J. F. Mogniotte; M. Lazar; C. Raynaud; B. Allard, "First steps of SiC integrated electronic functions for a smart power driver dedicated to harsh environments", Pages: 171 - 174

International Conference on Secondary Ion Mass Spectrometry - SIMS21 Kraków, Poland, 10- 15 September 2017.

C92) Benjamin Renouf, François Jomard, Christian Brylinski, Mihai Lazar, Jonathan Faugier-Tovar, "Diffusion in a multilayer W/WC/Hf on a porous W substrate"

11th European Conference on Silicon Carbide and Related Materials (ECSCRM), 25-29 September 2016, Halkidiki, Greece

CI91) J. Pezard, V. Souliere, M. Lazar, N. Haddour, F. Buret, C. Raynaud, D. Planson, "Realization and characterization of carbonic layers on 4H-SiC for electrochemical detections"

CI90) S. Sejlil, L. Lalouat, M. Lazar, D. Carole, C. Brylinski, F. Jomard, D. Planson, G. Ferro, C. Raynaud, "Very High Sustainable Forward Current Densities on 4H-SiC P⁺N⁻ Junctions formed by localized VLS P⁺ epitaxy"

CI89) D. Szalkai, L. Ottaviani, U. Fischer, F. Issa, A. Klix, V. Vervisch, M. Lazar, A. Lyoussi "Fast neutron detection up to 500°C with SiC-based sensors"

2016 E-MRS Spring Meeting and Exhibit Lille (France) May 2 to 6

CI88) S. Sejlil, M. Lazar, D. Carole, C. Brylinski, F. Jomard, D. Planson, G. Ferro, C. Raynaud, "Further Optimization of VLS Localized Epitaxy for Deeper 4H-SiC P+N Junctions"

SISC2015 46th IEEE Semiconductor Interface Specialists Conference, December 2-5, 2015

Key Bridge Marriott, Arlington, VA

CI87) S. Sejil, M. Lazar, D. Carole, C. Brylinski, D. Planson, G. Ferro and C. Raynaud, "Localized VLS Epitaxy Process as a P-type Doping Alternative Technique for 4H-SiC P/N Junctions"

IEEE Semiconductor Conference (CAS), 2015 International, 12-14 october 2015, Sinaia, Romania

CI86) M. Lazar ; D. Carole ; C. Raynaud ; G. Ferro ; S. Sejil ; F. Laariedh ; C. Brylinski ; D. Planson ; H. Morel, "Classic and alternative methods of p-type doping 4H-SiC for integrated lateral devices" Publication Year: 2015, Page(s):145 - 148

CI85) T. T. H. Nguyen-Bui ; M. Lazar ; J. L. Augé ; H. Morel ; L. V. Phung ; A. Aouani ; D. Planson "Vertical termination filled with adequate dielectric for SiC devices in HVDC applications", Publication Year: 2015, Page(s):233 - 236

16th International Conference on Silicon Carbide and Related Materials, Giardini Naxos, Italy, October 4 - 9, 2015

CI84) S. Sejil, M. Lazar, D. Carole, C. Brylinski, D. Planson, G. Ferro, C. Raynaud, "Optimization of VLS Growth Process for 4H-SiC P/N Junctions"

CI83) Thi Thanh Huyen Nguyen Bui, Mihai Lazar, Hervé Morel, Jean Louis Auge, Dominique Planson, Luong Viet Phung "Vertical termination filled with adequate dielectric for SiC devices in HVDC applications"

CI82) Tony Abi Tannous, Maher Soueidan, Gabriel Ferro, Mihai Lazar, Christophe Raynaud, Dominique Planson "Thermally stable ohmic contact to p-type 4H-SiC based on Ti₃SiC₂ phase"

CI81) Amira Souguir Aouani, Nicolas Thierry Jebali, Mihai Lazar, Dominique Tournier, Dominique Planson, "Study and optimization of a 600V Pseudo-vertical GaN on silicon rectifier by finite elements simulation"

EMRS Spring Meeting May 11-15, 2015. Lille (France) (2015)

CI80) Julien PEZARD, Jeremy LHUILLIER, Zakarya EL-FRIAKH, Veronique SOULIERE, Pedro ROJO-ROMEO, Bertrand VILQUIN, Mihai LAZAR, "Realization of a single layer graphene field effect transistor »

IEEE Advancements in Nuclear Instrumentation Measurement Methods and their Applications (ANIMMA), 20-24 April 2015, Lisbon Congress Center

CI79) L. Ottaviani, V Vervisch, F. Issa, R. Ferrone, S. Biondo, W. Vervisch, D. Szalkai, A. Klix, M. Lazar, L. Vermeeren, A. Kuznetsov, A. Hallén, A. Lyoussi, "Silicon-Carbide based Thermal Neutron Detectors and their Applications"

IEEE NUCLEAR SCIENCE SYMPOSIUM & MEDICAL IMAGING CONFERENCE

21ST SYMPOSIUM ON ROOM-TEMPERATURE SEMICONDUCTOR X-RAY AND GAMMA-RAY DETECTORS, Washington State Convention Center • Seattle, WA USA • 8-15 November 2014

CI78) L. Ottaviani, V. Vervisch, F. Issa, R. Ferrone, S. Biondo, W. Vervisch, D. Szalkai, A. Klix, M. Lazar, L. Vermeeren, A. Kuznetsov, A. Hallen, A. Lyoussi, "Silicon-Carbide based Thermal Neutron Detectors"

IEEE Semiconductor Conference (CAS), 2014 International, 13-15 october 2014, Sinaia, Romania

CI77) D. Planson, P. Brosselard, K. Isoird, M. Lazar, L.V. Phung, C. Raynaud, D. Tournier, "Wide bandgap semiconductors for ultra high voltage devices. design and characterization aspects."

10th European Conference on Silicon Carbide and Related Materials - ECSCRM 2014 - Grenoble, France, 21-25 September, 2014

CI76) Selsabil SEJIL, Farah LAARIEDH, Mihai LAZAR, Davy CAROLE, Christian BRYLINSKI, Dominique PLANSON, Gabriel FERRO, Christophe RAYNAUD, Hervé MOREL, "4H-SiC P-N junctions realized by VLS for JFET lateral structures"

CI75) Julien PEZARD, Jeremy LHUILLIER, Zakarya EL-FRIAKH, Veronique SOULIERE, Pedro ROJO-ROMEO, Bertrand VILQUIN, Mihai LAZAR, "Graphene on 4H-SiC for terahertz transistors and ferroelectric non-volatile memories »

CI74) Tony ABI TANNOUS, Maher SOUEIDAN, Gabriel FERRO, Mihai LAZAR, Berangere TOURY-PIERRE, Marie France BEAUFORT, Jean Francois BARBOT, José PENUELAS, Dominique PLANSON, "A study on the chemistry of epitaxial Ti₃SiC₂ formation on 4H-SiC using Al-Ti annealing"

CI73) Baptiste BERENGUIER, Laurent OTTAVIANI, Stephane BIONDO, Mihai LAZAR, Frederic MILESI, Olivier PALAIS, Frank TORREGROSA, Abdallah LYOUSSI, Evgenia KALININA, Alexander LEBEDEV "4H-SiC P+N UV Photodiodes For Space Applications"

CI72) Fatima ISSA, Laurent OTTAVIANI, Vanessa VERVISCH, Dora SZALKAI, Ludo VERMEEREN, Abdallah LYOUSSI, Andrej KUZNETSOV, Mihai LAZAR, Axel KLIX, Olivier PALAIS, Anders HALLÉN, "Study of the stability of 4H-SiC detectors by thermal neutron irradiation"

CI71) Konstantinos ZEKENTES, Konstantin VASSILEVSKI, Alton B. HORSFALL, Nick G. WRIGHT, Antonis STAVRINIDIS, George KONSTANTINIDIS, Maria KAYAMBAKI, Konstantinos VAMVOUKAKIS, Emmanouil

VASSAKIS, Pierre BROSELARD, Shiqin NIU, Mihai LAZAR, Dominique PLANSON, Dominique TOURNIER, Nicolas CAMARA, "4H-SiC VJFETs with self-aligned contacts"

19th International Conference on Ion Beam Modification of Materials, IBMM LEUVEN, September 14-19, 2014
CI70) Mihai LAZAR, Farah LAARIEDH, Pierre CREMILLIEU, Dominique PLANSON, Jean-Louis LECLERCQ, "The channeling effect of Al and N ion implantation in 4H-SiC during JFET integrated device processing"

Fifteenth International Symposium on Reactor Dosimetry (ISR2014) 18 th -23 rd May 2014
Aix-en-Provence, France

CI969) F.Issa, V. Vervisch, L.Ottaviani, D.Szalkai, L.Vermeeren, A. Lyoussi, A. Kuznetsov, M. Lazar, A. Klix, O.Palais, A. Hallen "4H-SiC Thermal Neutron Detector based on Ion Implantation of Boron"

2014 MRS Spring Meeting & Exhibit April 21-25, 2014 San Francisco, California.MRS Proceedings / Volume 1693
Symposium DD – Silicon Carbide Materials, Processing and Devices

CI68) B. Bérenguier, L. Ottaviani, S. Biondo, O. Palais, M. Lazar, F. Milesi, F. Torregrosa, E. Kalinina, A. Lebedev, W. Vervisch and A. Lyoussi, "4H-SiC P+N UV Photodiodes: Influence of Temperature and Irradiation", DOI: <http://dx.doi.org/10.1557/opl.2014.565>

CI67) Vanessa Vervisch, Fatima Issa, Stéphane Biondo, Laurent Ottaviani, Wilfried Vervisch, Dora Szalkai, Ludo Vermeeren, Axel Klix, Anders Hallen, Andrej Kuznetsov, Mihai Lazar and Abdallah Lyoussi, "Thermal neutron detection enhancement by 10B implantation in silicon carbide sensor" DOI: <http://dx.doi.org/10.1557/opl.2014.691>

International Conference on Silicon Carbide and Related Materials, September 29 - October 4, 2013, Phoenix Seagaia Resort, Miyazaki, Japan.

CI66) A. Vo-Ha, D. Carole, M. Lazar, A. Tallaire, V. Souliere and G. Ferro "3C-SiC Seeded Growth on Diamond Substrate by VLS Transport"

CI65) F. Issa, L. Ottaviani, V. Vervisch, M. Lazar, A. Kuznetsov, A. Klix, D.Szalkai, O. Palais, L. Vermeeren and A. Lyoussi, "Nuclear Radiation Detectors Based on 4H-SiC p+-n Junction"

CI64) N. Thierry-Jebali, M. Lazar, A. Vo-Ha, D. Carole, V. Soulière, B. Asllani, A. Henry, D. Planson, G. Ferro, H. Peyre, L. Konczewicz, S. Contreras, G. Regula, C. Brylinski and P. Brosselard, "Applications of Vapor-Liquid-Solid Selective Epitaxy of Highly p-Type Doped 4H-SiC : PiN Diodes with Peripheral Protection and Improvement of Specific Contact Resistance of Ohmic Contacts"

DIAM 2013, Diamond and Carbon Materials Conference, 2-5 september 2013, Ruva del Garda, Italy

CI63) J. Pezard, M. Lazar, N. Haddour, F. Buret, "Insulated and conductive carbonic layers obtained by annealing of photoresist films for SiC biocompatible technology"

IEEE Advancements in Nuclear Instrumentation Measurement Methods and their Applications (ANIMMA), 2013 3rd International Conference on, Marseille , June 23-27, 2013

CI62) Vervisch, V. ; Issa, F. ; Ottaviani, L. ; Szalkai, D. ; Vermeeren, L. ; Klix, A. ; Hallen, A. ; Kuznetsov, A. ; Lazar, M. ; Lyoussi, A. "Nuclear radiation detector based on ion implanted p-n junction in 4H-SiC"

CI61) Issa, F.Ottaviani, L.Vervisch, V.Szalkai, D.Vermeeren, L.Lyoussi, A.Kuznetsov, A.Lazar, M. Klix, A.Palais, O.Hallén, A, "Radiation silicon carbide detectors based on ion implantation of boron"

HeteroSiC-WASMPE 2013, Nice, June 17-19 2013

CI60) A. Vo-Ha, M. Lazar, A. Tallaire, V. Soulière, G. Ferro, D. Carole, "Heteroepitaxy of p-doped 3C-SiC on diamond by VLS transport"

CI59) N. Thierry-Jebali*, A. Vo-Ha, D. Carole, M. Lazar, G. Ferro, H. Peyre, S. Contreras and P. Brosselard, "Improvement of the Specific Contact Resistance on p-type 4H-SiC by using a highly p-type doped 4H-SiC layer selectively grown by VLS transport"

9th European Conference on Silicon Carbide & Related Materials, September 2-6, 2012, Saint-Petersburg, Russia

CI58) N. Thierry-Jebali, M. Lazar, A. Vo-Ha, D. Carole, V. Soulière, F. Laariedh, J. Hassan, A. Henry, E. Janzén, D. Planson, G. Ferro, P. Brosselard, "Electrical characterization of PiN diodes fabricated on a p layer selectively grown by VLS transport"

CI57) L. Ottaviani, S. Biondo, W. Vervisch, M. Lazar, A. Lyoussi, F. Milesi, O. Palais , F. Torregrosa, "Study of UV Photodetectors based on thin junctions in Silicon Carbide"

CI56) A. Vo-Ha, D. Carole , M. Lazar , D. Tournier , F. Cauwet , V. Soulière , D. Planson , C. Brylinski , G. Ferro, "p-doped SiC growth on diamond substrate by VLS transport"

CI55) D. Carole, A. Vo-Ha, A. Thomas, M. Lazar, N. Thierry-Jebali, D. Tournier, F. Cauwet, V. Soulière, P. Chaudouet, B. Doisneau, C. Brylinski, P. Brosselard, D. Planson, G. Ferro "Study of the Nucleation of p-doped SiC in Selective Epitaxial Growth using VLS Transport"

International Conference on Diamond and Carbon Materials, September 3-6 2012, Granada, Spain

CI54) A. Vo-Ha, D. Carole, M. Lazar, D. Tournier, F. Cauwet, V. Soulière et al, "Growing p-doped SiC on diamond substrate by vapour-liquid-solid mechanism from Al-Si system"

International Conference on Silicon Carbide and Related Materials, September 11-16, 2011

Cleveland, Ohio, USA

CI53) M. Lazar, F. Jomard, D. M. Nguyen, C. Raynaud, G. Pâques, S. Scharnholz, D. Tournier, and D. Planson, "SIMS Analyses Applied to Open an Optical Window in 4H-SiC Devices for Electro-Optical Measurements"

CI52) Gabriel Civrac, Mihai Lazar, Dominique Planson, Pierre Brosselard, Jawad ul Hassan, Anne Henry, Bertrand Vergne, and Sigo Scharnholz, " 600 V PIN Diodes Fabricated Using On-Axis 4H Silicon Carbide"

CI51) J. Lorenzzi, R. Esteve, M. Lazar, D. Tournier, D. Carole, and G. Ferro, "Study of the Lateral Growth by VLS Mechanism Using Al-Based Melts on Patterned SiC Substrate"

CI50) D. M. Nguyen, C. Raynaud, M. Lazar, G. Pâques, S. Scharnholz, N. Dheilly, D. Tournier, and D. Planson, " OBIC Measurements on Avalanche Diodes in 4H-SiC for the Determination of Impact Ionization Coefficients"

CI49) S. Biondo, L. Ottaviani, M. Lazar, J. Duchaine, V. Le Borgne, M. A. El Khakani, F. Milesi, W. Vervisch, O. Palais, and F. Torregrosa, "4H-SiC P+N UV Photodiodes : a Comparison between Beam and Plasma Doping Processes"

CI48) D. Carole, S. Berckmans, A. Vo-Ha, M. Lazar, D. Tournier, P. Brosselard, V. Soulière, L. Auvray, G. Ferro, C. Brylinski, " Buried Selective Growth of p-Doped SiC by VLS Epitaxy"

EPE'11 ECCE Europe, the 14th European Conference on Power Electronics and Applications, 30 August to 1 September 2011 Birmingham, UK

CI47) Cyril BUTTAY, Christophe RAYNAUD, Hervé MOREL, Mihai LAZAR, Gabriel CIVRAC and Dominique BERGOGNE, "High-Temperature Behavior of SiC Power Diodes"

E-MRS 2011 SPRING MEETING Nice, France May 10-12, 2011

CI46) S. Biondo, L. Ottaviani, W. Vervisch, F. Milesi, O. Palais, M. Lazar, D. Planson, F. Torregrosa, "Silicon Carbide UV Photodetector based on thin p n junction"

HeteroSiC-WASMPE, Tours, June 27-30 2011

CI45) Farah Laariedh, Mihai Lazar, Pierre Cremillieu, Jean-Louis Leclercq, Dominique Planson, "The role of nickel on Ni-Ti-Al ohmic contacts obtained on p-type 4H-SiC"

CI44) Jean Lorenzzi, Nikolettta Jegenyess, Mihai Lazar, Dominique Tournier, Davy Carole, François Cauwet, Gabriel Ferro, "Elimination of twin boundaries when growing 3C-SiC heteroepitaxial by Vapour-Liquid-Solid mechanism on patterned 4H-SiC substrate"

CIMA, Beirut – Lebanon, March 15-17, 2011

CI43) E. Haddad, C. Martin, C. Joubert, B. Allard, M. Soueidan, M. Lazar, C. Buttay, B. Payet-Gervy , "Modeling, Fabrication, and Characterization of Planar Inductors on YIG Substrates "

CI42) Dominique Tournier, Pierre Brosselard, Christophe Raynaud, Mihai Lazar, Herve Morel, Dominique Planson, "Wide Band Gap Semiconductors Benefits for High Power, High Voltage and High Temperature Applications"

IMAPS High Temperature Electronics Network (HiTEN 2011), July 18-20, 2011, Oxford, UK

CI41) Cyril Buttay, Amandine Masson, Mihai Lazar, Christophe Raynaud, Hervé Morel, Jianfeng Li, Mark Johnson, "Die Attach of Power Devices Using Silver Sintering – Bonding Process Optimisation and Characterization"

8th European Conference on Silicon Carbide and Related Materials, Oslo, Norway, August 29-September 2, 2010

CI40) M. Lazar, F. Enoch, F. Laariedh, D. Planson, P. Brosselard, "Influence of the masking material and geometry on the 4H-SiC RIE etched surface state"

CI39) J. Lorenzzi, N. Jegenyess, M. Lazar, D. Tournier, F. Cauwet, D. Carole, G. Ferro, "Investigation of 3C-SiC lateral growth on 4H-SiC mesas"

CI38) L. Ottaviani, S. Biondo, J. Duchaine, F. Milesi, O. Palais, M. Lazar, D. Planson, F. Torregrosa, "4H-SiC P + N UV photodiodes : A Comparison between Beam and Plasma Doping Processes"

Microtherm, Lodz : Poland June 28 – July 1 (2009)

CI37) Cyril Buttay, Dominique Planson, Bruno Allard, Dominique Bergogne, Pascal Bevilacqua, Charles Joubert, Mihai Lazar, Christian Martin, Hervé Morel, Dominique Tournier, Christophe Raynaud, "State of the art of High Temperature Power Electronics"

EMRS 2009 – Laser and plasma processing for advanced materials, Strasbourg, France (2009)

CI36) F. Simescu, D. Coiffard, M. Lazar, P. Brosselard and D. Planson, "Study of trenching formation during SF₆/O₂ reactive ion etching of 4H-SiC"

IEEE/EPE-PEMC, the 13th International Power Electronics and Motion Control Conference, Pologne (2008)

CI35) Planson D., Tournier D., Bevilacqua P., Dheilily N., Morel H., Raynaud C., Lazar M., Bergogne D., Allard B., Chante J.-P., SiC Power Semiconductor Devices for new Applications in Power Electronics

7th European Conference on Silicon Carbide and Related Materials, Barcelona, Espagne (2008)

CI34) Diahm S, Locatelli ML, Lebey T, Raynaud C, Lazar M, Vang H, Planson D, "Polyimide Passivation Effect on High Voltage 4H-SiC PiN Diode Breakdown Voltage"

CI33) Soueidan M, Lazar M, Nguyen DM, Tournier D, Raynaud C, Planson D, "Process Optimization for High Temperature SiC Lateral Devices"

CIPS, Allemagne (2008)

CI32) Bergogne D., Morel H., Tournier D., Allard B., Planson D., Raynaud C., Lazar M., Normally-on devices and circuits, SiC and high temperature : using SiCJFETs in power converters

International Conference on Silicon Carbide and Related Materials, October 14-19, 2007, Otsu, Japon

CI31) H. Vang, S. Scharnholz, C. Raynaud, M. Lazar, G. Pâques, D. Planson, "Impact of RIE etching on the breakdown voltage of 4H-SiC mesa diodes"

CI30) D. M. Nguyen, C. Raynaud, M. Lazar, H. Vang, D. Planson, "Comparison of electrical properties of ohmic contact realized on p-type 4H-SiC"

6th European Conference on Silicon Carbide and Related Materials, ECSCRM 2006, Newcastle upon Tyne, UK, September 3rd - 7th, 2006

CI29) E. Oliviero, M. Lazar, H. Vang, C. Dubois, P. Cremillieu, J.-L. Leclercq, J. Dazord, D. Planson, Use of graphite cap to reduce post-implantation annealing unwanted effects in SiC

CI28) Heu Vang, Christophe Raynaud, Pierre Brosselard, Mihai Lazar, Pierre Cremillieu, Jean-Louis Leclercq, Sigo Scharnholz, Dominique Planson, Jean-Pierre Chante, 1.2kV 4H-SiC PiN Diode on SiCrystal Epiwafer

IBMM 2006 15th International Conference on Ion Beam Modification of Materials, Taormina, 18-22 Septembre 2006, Italie

CI27) Erwan Oliviero, Mihai Lazar, Alain Gardon, Christophe Peaucelle, Angela Perrat, Jean-Jacques Grob, Christophe Raynaud, Dominique Planson, High energy N⁺ ion implantation in 4H-SiC

CIPS 2006, 4th International Conference on Integrated Power Electronics Systems, June 7 to 9, Naples, Italie

CI26) J. Gié, M. Lazar, D. Planson, D. Bergogne, P. Bevilacqua, B. Allard, S. M'Rad, Towards an Integrated Inverter Based on Lateral JFET SiC

E-MRS/IUMRS ICEM 2006 Spring Meeting May 29 - June 2, 2006, Nice, France

CI25) Heu Vang, Mihai Lazar, Pierre Brosselard, Christophe Raynaud, Pierre Cremillieu, Jean-Louis Leclercq, Sigo Scharnholz, Dominique Planson, Ni-Al Ohmic contact to p-type 4H-SiC

CI24) Mihai Lazar, Heu Vang, Pierre Brosselard, Christophe Raynaud, Pierre Cremillieu, Jean-Louis Leclercq, Sigo Scharnholz, Dominique Planson, Deep SiC etching with RIE

International Conference on Silicon Carbide and Related Materials, Pittsburgh, Pennsylvania, 18-23 Septembre, 2005 :

CI23) G. Ferro, M. Soueidan, C. Jacquier, P. Godignon, J. Pezoldt, T. Stauden, M. Lazar, J. Montserrat, Y. Monteil, Improvement of 4H-SiC selective epitaxial growth by VLS mechanism using Al and Ge based melts

5th European Conference on Silicon Carbide and Related Materials, Bologna, Italie, Août 31- Sept. 4, 2004:

CI22) M. Lazar, C. Jacquier, C. Dubois, C. Raynaud, G. Ferro, D. Planson, P. Brosselard, Y. Monteil, J.P. Chante, P-type SiC layers formed by VLS induced selective epitaxial growth

CI21) P. Brosselard, T. Bouchet, D. Planson, S. Scharnholz, G. Pâques, M. Lazar, C. Raynaud, J.-P. Chante, E. Spahn, A 3.5 kV thyristor in 4H-SiC with a JTE periphery

CI20) F. Moscatelli, A. Scorzoni, A. Poggi, M. Bruzzi, S. Lagormarsino, S. Mersi, S. Sciortino, M. Lazar, A. Di Placido, R. Nipoti, Measurements of Charge Collection Efficiency of p+/n Junction SiC Detectors

ICIT'03 – IEEE International Conference on Industrial Technology, Maribor, Slovénie, Déc. 10 - 12, 2003

CI19) D. Planson, J.-P. Chante, M. Lazar, P. Brosselard, C. Raynaud, D. Tournier, M.-L. Locatelli, F. Nallet, Electrothermal simulations of silicon carbide current limiting devices

International Conference on Silicon Carbide and Related Materials, Lyon, France, Oct. 5 - 10, 2003 :

CI18) J.P. Chante, D. Tournier, D. Planson, C. Raynaud, M. Lazar, M.L. Locatelli, P. Brosselard, SiC-Based Current Limiter Devices,

CI17) C. Raynaud, M. Lazar, D. Planson, J.-P. Chante, Z. Sassi, Design, Fabrication and Characterization of 5 kV 4H-SiC p+n Planar Bipolar Diodes Protected by Junction Termination Extension,

CI16) M. Lazar, G. Cardinali, C. Raynaud, A. Poggi, D. Planson, R. Nipoti, J.P. Chante, The Role of the Ion Implanted Emitter State on 6H-SiC Power Diodes Behavior. A Statistical Study,

CI15) P. Brosselard, V. Zorngiebel, D. Planson, S. Scharnholz, J.-P. Chante, E. Spahn, C. Raynaud, M. Lazar, Influence of Different Peripheral Protections on the Breakover Voltage of a 4H-SiC GTO Thyristor,

EXMATEC'04 – 7th Expert Evaluation & Control of Compound Semiconductor Materials & Technologies, Montpellier, France, Juin 1 - 4, 2004

CI14) C. Jacquier, G. Ferro, P. Godignon, M. Lazar, J. Montserrat, O. Dezellus, Y. Monteil, Selective epitaxial growth of Al doped 4H-SiC by the Vapour-Liquid-Solid mechanism: effect of the pattern size

IEEE International Semiconductor Conference CAS 2003, Sinaia , Roumanie, Sept. 28- Oct 2, 2003 :

CI13) P. Brosselard, D. Planson, S. Scharnholz, V. Zorngiebel, M. Lazar, C. Raynaud, J.-P. Chante, E. Spahn, Design and simulation of a planar anode GTO thyristor on SiC, IEEE Proceeding pp. 219- 222

2002 MRS Fall Meeting, Symposium K Silicon Carbide -Materials, Processing and Devices ,Boston, Massachusetts, USA, Déc. 2-6, 2002 :

CI12) R. Nipoti, F. Moscatelli, A. Scorzoni, A. Poggi, G. Cardinali, M. Lazar, C. Raynaud, D. Planson, M.-L. Locatelli, J.-P. Chante, Contact Resistivity of Al/Ti Ohmic Contacts on p-Type Ion Implanted 4H- and 6H-SiC.

4th European Conference on Silicon Carbide and Related Materials, Linköping, Sweden, Sept. 1-5, 2002 :

CI11) S.R. Wang, C. Raynaud, D. Planson, M. Lazar, J.-P. Chante, OBIC measurements on 1.3 kV 6H-SiC bipolar diodes protected by Junction Termination Extension.

CI10) D.Tournier, X. Jorda, J.Montserrat, D. Planson, C. Raynaud, M. Lazar, J.P. Chante, F. Sarrus, Characterization of a 4H-SiC High Power Density Controlled Current Limiter.

International Conference on Silicon Carbide and Related Materials, Tsukuba, Japon, Oct. 28 - Nov. 2, 2001 :

CI9) M. Lazar, C. Raynaud, D. Planson, M.L. Locatelli, K. Isoird, L. Ottaviani, J.P. Chante, R. Nipoti, A.Poggi, G. Cardinali, A comparative study of high temperature Aluminum post-implantation annealing in 6H and 4H-SiC.

CI8) K. Isoird, M. Lazar, M. L. Locatelli, C. Raynaud, D. Planson, J. P. Chante Study of 4H-SiC High Voltage Bipolar Diodes under Reverse Biases Using Electrical and OBIC Characterizations.

IEEE International Semiconductor Conference CAS 2001, Sinaia , Roumanie, Oct. 9-13, 2001 :

CI7) M. Lazar, D. Planson, K. Isoird, M.L. Locatelli, C. Raynaud and J.P. Chante, 4H-SiC bipolar power diodes realized by ion implantation, IEEE Proceeding

Defects-Recognition, Imaging and Physics in Semiconductors,Rimini, Sept. 24-28, 2001:

CI6) L. Ottaviani, M. Lazar, M.L. Locatelli, J.P. Chante, V. Heera, W. Skorupa, M. Voelskow, P. Torchio, Annealing studies of Al-implanted 6H-SiC in an induction furnace.

43rd Electronic Materials Conference, Notre Dame, Indiana, USA, Juin 27-29, 2001 :

CI5) M. Lazar, K. Isoird, L. Ottaviani, M.L. Locatelli, C. Raynaud, D. Planson, J.P. Chante, Bipolar silicon carbide power diodes realized by aluminum implantations and high temperature rf-annealing.

EMRS 2001 Spring Meeting in Strasbourg, Juin 6-7, France :

CI4) L. Ottaviani, M. Lazar, M.L. Locatelli, Y. Monteil, V. Heera, M. Voelskow, W. Skorupa, Investigation of Al-implanted 6H- and 4H- SiC Layers After Fast Heating Rate Annealings.

CI3) F. Nallet, D. Planson, P. Godignon, M.L. Locatelli, M. Lazar, J.P. Chante, Experimental Characterization of a 4H-SiC High Voltage Current Limiting Device.

CI2) K. Isoird, M. Lazar, L. Ottaviani, M.L. Locatelli, C. Raynaud, D. Planson, J.P. Chante, Study of 6H-SiC High Voltage Bipolar Diodes under Reverse Biases.

3rd European Conference on Silicon Carbide and Related Materials, Kloster Banz, Germany, Sept. 3-7, 2000 :

CI2) M. Lazar, L. Ottaviani, M.L. Locatelli, C. Raynaud, D. Planson, E. Morvan, P. Godignon, W. Skorupa et J.P. Chante High Electrical Activation of Aluminium and Nitrogen Implanted in 6H-SiC at Room Temperature by RF Annealing.

International Conference on Silicon Carbide and Related Materials, Research Triangle Park, North Carolina, USA, Oct.

10-15, 1999 :

C11) M. Lazar, L. Ottaviani, Marie-Laure Locatelli, D. Planson, B. Canut et J.P. Chante Improved Annealing Process for 6H-SiC p+-n Junction Creation by Al Implantation.

Actes de colloques nationaux (CN) à comité de lecture

RAFALD 2016, Le deuxième congrès RAFALD dédié à la technologie ALD, 14 au 16 novembre 2016 Chatou (Yvelines).

CN18) Maxime Leménager, Andrei Sabac, Mihai Lazar, Florent Lallemand, Bruno Canut and Bruno Allard, "Highly reliable and high density capacitors with dielectric and electrodes deposited by ALD"

JNTE 2015, 4^{èmes} Journées Nationales sur les Technologies Emergentes en micro-anofabrication, Ecole Centrale de Lyon, Ecully, France - 18-20 Nove mber 2015

CN17) S. Sejjil, M. Lazar, F. Cayrel, D. Carole, C. Brylinski, D. Planson, G. Ferro, C. Raynaud "Improvement of VLS growth for 4H-SiC PN junction manufacturing"

CN16) T.T.H. Nguyen-Bui, M. Lazar, J-L. Auge, H. Morel, L.V. Phung, D. Planson "Vertical termination filled with adequate dielectric for SiC devices in HVDC applications"

CN15) J. Pezard, M. Lazar, B. Vilquin, P. Rojo Romeo and F. Buret "Graphene Field Effect Transistors on SiC for High Speed and Bio-sensing Applications"

SYMPOSIUM DE GENIE ELECTRIQUE (SGE'14) : EF-EPF-MGE 2014, 8-10 juil. 2014 Cachan

CN14) T. Abi-Tannous, M. Soueidan, G. Ferro, M. Lazar, B. Toury, J.F. Barbot, J. Penuelas et D. Planson, "Nouveaux contacts électriques sur SiC-4H de type p : réalisation de phases MAX"

CN13) Hamad Hassan , Bevilacqua Pascal , Planson Dominique , Raynaud Christophe , Tournier Dominique , Vergne Bertrand , Lazar Mihai , Brosselard Pierre, "Imagerie 2D du champ électrique dans les diodes SiC-4H haute tension par la technique OBIC" Présentation orale

Electronique de Puissance du Futur 2012
Bordeaux, 5-7 juillet 2012

CN12) N. Thierry-Jebali, G. Civrac, P. Brosselard, M. Lazar, D. Planson, E. Bano, J. Ul Hassan, A. Henry, "Caractérisation de l'influence de la désorientation cristalline sur les propriétés électroniques statiques de diodes PiN réalisées sur substrat de SiC-4H"

Journées Nationales du Réseau Doctoral en Micro-nanoélectronique, Cachan, 23-25 Mai 2011

CN11) F. Laariedh, M. Lazar, P. Cremillieu, J.-L. Leclercq, D. Planson, "Réalisation de contact ohmique sur SiC-4H type P"

MGE 2008, 4^{ème} Colloque sur les Matériaux du Génie Electrique, 15-13 Mai 2008, Toulouse

CN10) M Soueidan, M Lazar, D Tournier, D Planson, C Raynaud, H Morel, JM Bluet, A Sabac , "Contact ohmique de faible résistivité sur SiC-4H dopé type-P"

MADICA 2008, 6th Maghreb-Europe days on Materials And Their Applications To Devices And Sensors, Rabat, Marocco, October30- -November1st 2008

CN9) Z. Sassi, M. Lazar, C. Raynaud, T. Ben Salah, D. Planson, Etude physico-chimique du dopage par implantation ionique d'aluminium dans le carbure de silicium

EPF 2006, 11^{ème} édition, Electronique de Puissance du Futur, 5 et 6 Juillet 2006 - Grenoble

CN8) J. Gié, M. Lazar, P. Brosselard, D. Planson et C. Raynaud, Optimisation de la structure double RESURF d'un transistor JFET latéral SiC-4H pour le développement de convertisseurs de puissance intégrés

CN7).H. Vang, C. Raynaud, P. Brosselard, M. Lazar, P. Cremillieu, J.-L. Leclercq, S. Scharnholz, D. Planson, J.P. Chante, Diode PiN SiC-4H 1,2kV sur épi-wafer SiCrystal

Matériaux du Génie Electrique - MGE'2005, Lyon, Déc. 8-9, 2005

CN6) T. Morel, F. Chaboud, H. Vang, P. Brosselard, P. Cremillieu, J.-L. Leclercq, M. Lazar, D. Planson, S. Scharnholz, Gravure RIE profonde du SiC pour la réalisation de composants de puissance

CN5), D. Planson, C. Raynaud, M. Lazar, P. Brosselard, J. Gié, H. Vang, D. Tournier J.P. Chante, Composants de puissance en SiC

Electronique de Puissance de Futur, Toulouse, Sept. 15 - 17 2004

CN4) P. Brosselard, D. Planson, L. Di Cioccio, T. Billon, S. Scharnholz, M. Lazar, C. Raynaud, E. Spahn, JP. Chante
Conception d'un JFET 5kV en SiC-4H

CN3) S. Scharnholz, V. Zorngiebel, E. Spahn, P. Brosselard, D. Planson, M. Lazar, C. Raynaud, H. Vang, JP. Chante
Electrical characterization of 4H-SiC GTO-thyristors realized by ISL

CN2) D. Planson, M.L. Locatelli, M. Lazar, C. Raynaud, J.P. Chante, P. Brosselard, S. Zelmat, D. Tournier, High
Voltage And Specific Power Silicon Carbide Devices

Journées 2004 de la section électrotechnique du club EEA "Avion et électricité", Cergy-Pontoise, Mars 18-19 2004

CN1) B. Allard, G. Coquery, L. Dupont, Z. Khatir, M. Lazar, S. Lefebvre, R. Meuret, H. Morel, D. Planson,
Composant à semi-conducteur de puissance pour des applications à haute température de fonctionnement

Références

- [Amor'15] Mariana Amorim Fraga, Matteo Bosi and Marco Negri, " Silicon Carbide in Microsystem Technology — Thin Film Versus Bulk Material", 2015, INTECH Ed., <http://dx.doi.org/10.5772/60970>
- [Bard'15] H. J. von Bardeleben, J. L. Cantin, E. Rauls, U. Gerstmann, "Identification and magneto-optical properties of the NV center in 4H-SiC", *PHYSICAL REVIEW B*, 92, 064104 (2015)
- [Brun'16] Edward Robert Van Brunt, Alexander V. Suvorov, Vipindas Pala, Lin Cheng, "Methods of forming buried junction devices in silicon carbide using ion implant channeling and silicon carbide devices including buried junctions", Filed: June 5, 2014, Date of Patent: November 1, 2016, Assignee: Cree, Inc. <https://patents.justia.com/patent/9484413>
- [Bryl'17] Christian Brylinski "Oxydes de gallium Ga₂O₃: forces et faiblesse d'une nouvelle famille de semi-conducteurs à grand gap", OMNT – Avancées, tendances et perspectives, Avril 2017, p107
- [Burt'98] A. Burtsev, Y.X. Li, H.W. Zeijl and C.I.M. Beenakker, "An anisotropic U-shaped SF₆ -based plasma silicon trench etching investigation" *Microelectronic Engineering* 40 (1998) 85.
- [Canc'06] L. G. Cançado et al., *Applied Physics Letters* 88 (2006) 163106-1 163106-3
- [Chab'01] P. Chabert, "Deep etching of silicon carbide for micromachining applications: Etch rates and etch mechanisms" *J. Vac. Sci. Technol. B*, Vol. 19, No. 4, 2001, p.1339
- [Chen'08] H. Chen et al., *Analyst* 133 No. 9 (2008) 1182–1186.
- [Crof'02] J. Crofton. "Finding the optimum Al/Ni alloy composition for use as an ohmic contact 4H-SiC" *Solid-State Electronics* 46, pp. 109–113, (2002).
- [Crof'97] J. Crofton "Titanium and aluminum-titanium ohmic contact of p-type SiC" *Solid-State Electronics*, 41, pp. 1725–1729, (1997).
- [Crof'97b] Crofton J, Porter L M and Williams J R 1997 *Phys. Status Solidi b* 202 581
- [Du'07] D. Du et al., *Anal. Bioanal. Chem.* 387 (2007) 1059–1065.
- [Emets'09] Konstantin V. Emtsev, Aaron Bostwick, Karsten Horn, Johannes Jobst, Gary L. Kellogg, Lothar Ley, Jessica L. McChesney, Taisuke Ohta, Sergey A. Reshanov, Jonas Röhr, Eli Rotenberg, Andreas K. Schmid, Daniel Waldmann, Heiko B. Weber & Thomas Seyller, " Towards wafer-size graphene layers by atmospheric pressure graphitization of silicon carbide" *Nature Materials* 8, 203 - 207 (2009) Published online: 8 February 2009,doi:10.1038/nmat2382
- [Flem'00] J.R. Flemish, "Dry Etching of SiC", William Andrew Pub, New York, 2000, p. 151.
- [Foch'00] Henri FOCH, François FOREST, Thierry MEYNARD, Onduleurs de tension- Mise en œuvre, Techniques de l'ingénieur, Date de publication : 10 août 2000 Relu et validé le 01 juin 2015
- [Fraz'11] A. Frazzetto, F. Giannazzo, R. Lo Nigro, V. Raineri, F. Roccaforte, "Structural and transport properties in alloyed Ti/Al Ohmic contacts formed on p-type Al-implanted 4H-SiC annealed at high temperature" *Journal of Physics D: Applied Physics* 44, 255302, (2011).
- [Gero'91] F. Gerodolle and J. Pelletier, "Two-Dimensional Implications of a Purely Reactive Model for Plasma Etching" *IEEE Trans. Elect. Dev.*, 38, No. 9 (1991) 2025.
- [Goss'15] N. Gosset, M. Boufnichel, E. Bahette, W. Khalfaoui, R. Ljazouli, V. Grimal-Perrigouas, R. Dussar, " Single and multilayered materials processing by argon ion beam etching: study of ion angle incidence and defect formation" *Journal of Micromechanics and Microengineering*, IOP Publishing, 2015, 25, pp.095011
- [Heer'01] V. Heera, D. Panknin, W. Skorupa, " p-Type doping of SiC by high dose Al implantation—problems and progress", *Applied Surface Science* 184 (2001) 307–316
- [Ingr'90] S.G. Ingram, "The influence of substrate topography on ion bombardment in plasma etching" *J. Appl. Phys.*, 68 (1990) 500.
- [Ito'06] K. Ito, S. Tsukimoto, M. Muratami, "Effects of Al ion implantation to 4H-SiC on the specific contact resistance of TiAl-based contact materials" *Science and Technology of Advanced Materials*, 7, 496–501, (2006).
- [John'03] B J. Johnson and M A. Capano "The effect of titanium on Al–Ti contacts to p-type 4H-SiC" *Solid-State Electronics* 47, pp 1437, (2003).
- [John'04] Johnson B J and Capano M A 2004 *J. Appl. Phys.* 95 5616

- [Kaji'14] N. Kaji, H. Niwa, J. Suda, and T. Kimoto, "Ultrahigh-Voltage (> 20 kV) SiC PiN Diodes with a Space-Modulated JTE and Lifetime Enhancement Process via Thermal Oxidation," in *Silicon Carbide and Related Materials 2013, Pts 1 and 2*. vol. 778-780, H. Okumura, H. Harima, T. Kimoto, M. Yoshimoto, H. Watanabe, T. Hatayama, *et al.*, Eds., ed Stafa-Zurich: Trans Tech Publications Ltd, 2014, pp. 832-835.
- [Kaji'15] N. Kaji, H. Niwa, J. Suda, and T. Kimoto, "Ultrahigh-Voltage SiC p-i-n Diodes With Improved Forward Characteristics," *IEEE Transactions on Electron Devices*, vol. 62, pp. 374-381, 2015.
- [Kaka'01] Kakanakov R, Kassamakova L, Kassamakov I, Zekentes K and Kuznetsov N 2001 Mater. Sci. Eng. B 80 374
- [Koni 03] R. Konishi, R. Yasukochi, O. Nakatsuka, Y. Koide, M. Moriyama, M. Murakami, "Development of Ni/Al and Ni/Ti/Al ohmic contact materials for p-type 4H-SiC" .Mater. Sci. Eng., B 98, pp. 286-293, (2003).
- [Kons'98] A. O. Konstantinov, Q. Wahab, N. Nordell, U. Lindefelt, *Journal of Electronic Materials*, 27(4), pp 335-341, 1998
- [Kosu'14] R. Kosugi et al., "First experimental demonstration of SiC super-junction (SJ) structure by multi-epitaxial growth method," in Proc. 26th Int. Symp. Power Semiconductor Device ICs, 2014, pp. 346-349.
- [Laza'02] Mihai Lazar "Réalisation des composants de puissance en carbure de silicium par implantation ionique et recuit par induction à haute température" thèse de doctorat INSA Lyon (2002)
- [Lee'02] J. Lee, R.F. Davis, R. J. Nemanich, "Effects of surface oxide on wafer bonding of GaN and SiC", North Carolina State University, Raleigh, USA, February 12, 2002
- [Li'12] Y. Li and G. Han, *Analyst*, 137 (2012) 3160-3165.
- [Liao'16] Jonathan Liao and Richard Eden, Market Forecasts for silicon carbide & gallium nitride power semiconductors, IHS TECHNOLOGY, APEC, March 2016, Long Beach, California,
- [Lhor'15] A. Lohrmann et al., "Single-photon emitting diode in silicon carbide". *Nature Commun.* 2015 Jul 23;6:7783
- [Lull'01] G. Lulli, E. Albertazzi, R. Nipoti, M. Bianconi, A. Carnera, "The Monte Carlo Binary Collision Approximation Applied to the Simulation of the Ion Implantation Process in Single Crystal SiC: High Dose Effects", *Materials Science Forum*, Vols. 353-356, pp. 599-602, 2001
- [Miy'a'12] Miyake, Hiroki "Interface Control of AlGaN/SiC Heterojunction and Development of High-Current-Gain SiC-Based Bipolar Transistors", Thèse de doctorat Kyoto University, 2012-03-26
- [Morv'99] Erwan Morvan "Modélisation de l'implantation ionique dans α -SiC et application à la conception de composants de puissance" thèse de doctorat INSA Lyon (1999)
- [Mosc'03] Moscatelli F, Scorzoni A, Poggi A, Cardinali G C and Nipoti R 2003 *Semicond. Sci. Technol.* 18 554
- [Muth'16] John Muth, NC State University- PowerAmerica, Semicon West, San Francisco, CA, July 12, 2016.
- [Niki'05] Nikitina I P, Vassilevski K V, Wright N G, Horsfall A B and O'Neill A G 2005 *J. Appl. Phys.* 97 083709
- [NICT'13] <https://www.nict.go.jp/en/press/2013/06/19-1.html>
- [Niwa'12] Niwa, H. ; Dept. of Electron. Sci. & Eng., Kyoto Univ., Kyoto, Japan ; Feng, Gan ; Suda, J. ; Kimoto, T ; *Power Semiconductor Devices and ICs (ISPSD)*, 2012 24th International Symposium on
- [Otta'12] Laurent Ottaviani "Réalisation de jonctions pn dans le SiC-6H par implantation ionique d'aluminium" thèse de doctorat INSA Lyon (1999)
- [Pari'04] A. Parisini, A. Poggi, and R. Nipoti, "Structural characterization of alloyed Al/Ti and Ti contacts on SiC," *Mater. Sci. Forum*, 2004, vol. 457-460, pp. 837-840.
- [Port'95] Porter L M and Davis R F 1995 *Mater. Sci. Eng. B* 34 83
- [Radu'17] M. Radulaski et al., "Scalable Quantum Photonics with Single Color Centers in Silicon Carbide" *IEEE Lasers and Electro-Optics (CLEO)*, 2017 Conference on, 14-19 May 2017, Added to IEEE Xplore: 26 October 2017
- [Rang'95] I W Rangelow, P Hudek and F Shi, "Bulk micromachining of Si by Lithography and Reactive Ion Etching (LIRIE), *Vacuum*, 46 No. 12 (1995) 1361.
- [Salv'16] Oriol Avino Salvado, et al.. Analyse de la robustesse des MOSFET SiC pour les applications diode-less. Symposium de Genie Electrique, Jun 2016, Grenoble, France.
- [Sanc'13] D. Sánchez-Molas et al. / *Sensors and Actuators B* 186 (2013) 293- 299
- [Sant'16] Thomas Santini, "Contribution à l'étude de la fiabilité des MOSFETs en Carbure de Silicium", Thèse INSA de Lyon 2016

- [Sidd'16] Amna Siddiqui, Hazem Elgabra, Shakti Singh, "The Current Status and the Future Prospects of Surface Passivation in 4H-SiC Transistors", IEEE Transactions on Device and Materials Reliability , 16/ 3, Sept. 2016, p419
- [Suvo'14] Alexander V. Suvorov, Vipindas Pala "Controlled ion implantation into silicon carbide using channeling and devices fabricated using controlled ion implantation into silicon carbide using channeling" Patent number: 9768259, Filed: May 19, 2014, Date of Patent: September 19, 2017, Assignee: Cree, Inc.
<https://patents.justia.com/patent/9768259>
- [Theo'08] Loic Theolier "Conception de transistors MOS haute tension (1200 Volts) pour l'électronique de puissance", thèse de doctorat de l'Université Paul Sabatier Toulouse III (2008) 177p
- [Tsuk'09] S. Tsukimoto, K. Ito, Z. Wang, M. Saito, Y. Ikuhara, and M. Murakami, "Growth and microstructure of epitaxial Ti₃SiC₂ contact layers on SiC," Mater. Trans, vol. 50, no. 5, pp. 1071–1075, March 2009
- [Udre'17] Florin Udrea,, Gerald Deboy,, and Tatsuhiko Fujihira, " Superjunction Power Devices, History, Development, and Future Prospects", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 64, NO. 3, MARCH 2017
- [Vass 01] K. Vassilevsk K. Zekentes, K. Tsagaraki, G. Constantinidis, I. Nikitina, "phase formation at thermal annealing of Al/Ti/Ni ohmic contact 4H-SiC" Mater. Sci Eng., B 80, pp. 370-373, (2001).
- [Vyov'98] M. A. Vyvoda H. Lee, M. V. Malyshev F. P. Klemens, M. Cerullo, V. M. Donnelly, D. B. Graves, A. Kornblit, and J. T. C. Lee, "Effects of plasma conditions on the shapes of features etched in Cl₂ and HBr plasmas. I. Bulk crystalline silicon etching" J. Vac. Sci. Technol. A, 16 (1998) 3247.
- [Wolf'17] https://www.wolfspeed.com/downloads/dl/file/id/884/product/0/complete_product_line_card.pdf; page internet consultée le 20 novembre 2017.
- [Xia'06] J. H. Xia, Rusli, S. F. Choy, R. Gopalakrishan, C. C. Tin, S. F. Yoon, J. Ahn, "CHF₃-O₂ reactive ion etching of 4H-SiC and the role of oxygen" Microelectronic Engineering 83, 381 (2006).
- [Yih'97] P. H. Yih, V. Saxena, A. J. Steckl, "A Review of SiC Reactive Ion Etching in Fluorinated Plasmas", Phys. Status Solidi B202, 605 (1997).
- [Zarg'16] S. A. Zargaleh, B. Eble, S. Hameau, J.-L. Cantin, L. Legrand, M. Bernard, F. Margailan, J.-S. Lauret, J.-F. Roch, H. J. von Bardeleben, E. Rauls, U. Gerstmann and F. Treussart "Evidence for near-infrared photoluminescence of nitrogen vacancy centers in 4H-SiC" Phys. Rev. B 94, 060102(R) (2016).
- [Zhang'14] H. Zhang et al., Anal. Chim. Acta 827 (2014) 86–94.